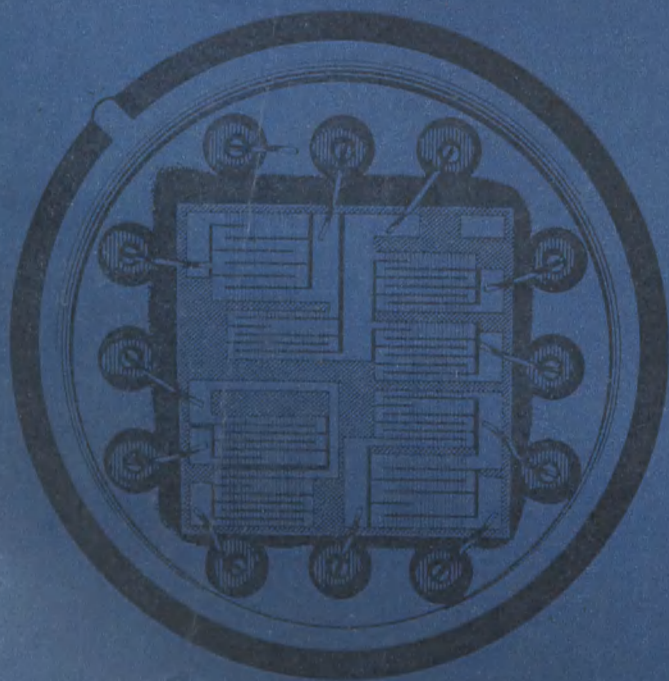


МИКРОЭЛЕКТРОНИКА

Ю. А. Овечкин

Ю. А. Овечкин

МИКРОЭЛЕКТРОНИКА



Ю.А.Овечкин

МИКРОЭЛЕКТРОНИКА

Допущено Министерством высшего и среднего специального образования СССР в качестве учебника для средних специальных учебных заведений.

**МОСКВА.
"РАДИО И СВЯЗЬ"
1982**



Scan AAW

ББК 32.84
О-31
УДК 621.

Овечкин Ю. А.

Микроэлектроника: Учебник для техникумов. —
О-31 М.: Радио и связь, 1982. — 288 с., ил.

75 к

Рассматриваются характеристики и параметры различных классов цифровых и аналоговых интегральных микросхем; излагаются методы изготовления полупроводниковых и гибридных интегральных микросхем; даются методы сборки и их конструкции. Обсуждаются вопросы надежности и особенности испытаний ИС. Приводятся сведения по перспективным направлениям микроэлектроники: БИС, микропроцессорам, функциональной электронике.

Для учащихся техникумов по специальности «Электронные вычислительные машины, приборы и устройства». Может быть полезен учащимся радиотехнических специальностей техникумов.

О 2403000000-127 52-82
046(01)-82

ББК 32.844

6ФО. 32

Рецензенты: Т. И. Самбурская
(Московский радиотехнический техникум),
канд. техн. наук доц. Ю. А. Малышев
(Московский институт электронного машиностроения)

Редакция литературы по электронной технике

Предисловие

Учебник написан в соответствии с программой предмета «Микроэлектроника» и предназначен для изучения основных направлений развития микроэлектроники, физических свойств и технических возможностей микросхем. В основу учебника положены лекции, читавшиеся автором в Московском институте радиотехники, электроники, автоматики. Учитывая его назначение, автор стремился по возможности упростить излагаемый материал, сделав его доступным для учащихся техникумов. Для этой же цели материал снабжен значительным числом иллюстраций.

Особое внимание уделено логическим микросхемам ввиду того, что учебник в первую очередь предназначен для учащихся по специальности «Электронные вычислительные машины, приборы и устройства».

Автор выражает благодарность рецензентам Т. И. Самбурской и канд. техн. наук. доц. Ю. А. Малышеву за ценные замечания и советы при рецензировании рукописи. Автор благодарит А. Ю. Овечкина за помощь, оказанную при подготовке рукописи.

Отзывы и критические замечания по книге автор просит направлять по адресу: 101000, Москва, Главпочтамт, а/я 693.

Введение

Одной из основных задач, поставленных XXVI съездом КПСС, является ускорение научно-технического прогресса на базе широкого внедрения во все области народного хозяйства современной и высоконадежной радиоэлектронной аппаратуры, выполняющей самые разнообразные функции.

Особенностью современного этапа развития науки и техники является все усиливающийся процесс внедрения микроэлектроники во все отрасли народного хозяйства. Успехи современной электроники в значительной степени определяют технический уровень очень многих отраслей промышленности. Однако улучшение характеристик радиоэлектронных систем неизбежно приводит к их усложнению, в результате чего возрастает вероятность выхода системы из строя, увеличиваются ее габариты, масса и потребляемая мощность. Быстрый рост сложности радиоэлектронной аппаратуры потребовал поиска принципиально новых путей ее реализации, что нашло свое отражение в замене дискретных элементов интегральными микросхемами (ИС).

Микроэлектроника — научно-техническое направление электроники, которое с использованием комплекса физических, химических, схмотехнических и технологических методов решает задачу создания ИС и миниатюрных электронных устройств.

Первым поколением элементной базы радиоэлектронной аппаратуры были электронные лампы, вторым — полупроводниковые приборы, третьим — интегральные микросхемы, четвертым — большие интегральные схемы (БИС). Закладываются основы развития функциональной микроэлектроники.

По технологии изготовления ИС делятся на полупроводниковые и гибридные. Основным преимуществом полупроводниковых ИС является возможность изготовления высококачественных активных элементов.

Изготовление полупроводниковых ИС требует серьезных капитальных затрат на оборудование. При сложности, трудоемкости технологического процесса изготов-

ления и длительности срока от момента выдачи технического задания на проектирование до выхода годной микросхемы возможность создания большой партии ИС в едином или многократно повторяющемся технологическом цикле делает технологию полупроводниковых микросхем экономически целесообразной только в условиях массового производства.

В гибридной ИС содержатся тонкопленочные или толстопленочные пассивные элементы и полупроводниковые активные навесные элементы — компоненты ИС. Гибридная тонкопленочная технология предпочтительна в тех случаях, когда необходимо изготовить сравнительно небольшое количество специализированных микросхем — микросборок.

Достоинством тонкопленочной технологии является ее гибкость, выражающаяся в возможности выбора материалов с оптимальными параметрами и характеристиками и в получении, по сути дела, любой требуемой конфигурации пассивных элементов. При этом допуски на параметры элементов могут быть доведены до 1—2%. Это важно в тех случаях, когда точность номиналов параметров пассивных элементов и их стабильность имеют решающее значение (например, при изготовлении некоторых видов фильтров, фазочувствительных и избирательных схем, генераторов и т. п.).

Технология изготовления схем на основе толстых пленок отличается простотой и не требует сложного и дорогостоящего оборудования. Толстопленочные ИС характеризуются высокой надежностью при небольшой себестоимости.

Одно из главных достоинств изделий микроэлектроники — значительное увеличение надежности аппаратуры благодаря высокой надежности ИС, значительному уменьшению числа соединений и широким возможностям резервирования как целых узлов, так и отдельных элементов. Поскольку внутренние паяные соединения в микросхемах отсутствуют, а из внешних необходимо паять лишь входные и выходные выводы, вероятность выхода из строя микросхемы вследствие нарушения соединений не больше, чем у дискретных полупроводниковых приборов, например транзисторов. Интенсивность отказов λ полупроводниковых микросхем в настоящее время достигает 10^{-9} 1/ч.

Высокая надежность микросхем обуславливается в первую очередь высоким уровнем автоматизации производства.

Поскольку развитие микроэлектроники теснейшим образом связано с созданием малогабаритных, надежных и экономичных вычислительных систем, где используется большое число однотипных элементов, то в первую очередь созданы различные типы логических микросхем. Особенно широкое распространение получили логические микросхемы на биполярных транзисторах, построенные на основе транзисторно-транзисторной логики (ТТЛ).

Гибридные ИС применяются в приемно-передающей аппаратуре связи, усилителях высокой частоты, микрофонных усилителях, СВЧ устройствах и т. д. Микросхемы находят все большее применение в бытовой вещательной аппаратуре, например все каскады телевизоров с малым уровнем сигнала собираются на микросхемах. В ближайшее время видеоманитофоны, переносные и автомобильные радиоприемники также будут выполнены на микросхемах.

Широкое использование принципов микроэлектроники при разработке СВЧ аппаратуры позволит строить системы космической связи и телеуправления, а также бортовые и наземные радиолокационные системы на основе микросхем СВЧ диапазона. Вполне понятно, что СВЧ микросхемы как самостоятельные изделия не могут найти столь универсального применения, как, например, цифровые микросхемы, поскольку требуют согласования по СВЧ трактам как с внешними цепями, так и между собой. Изготовлены гибридные микросхемы СВЧ усилителей на транзисторах, генераторы на транзисторно-варакторных цепочках, лавинно-пролетных диодах и диодах Ганна, переключатели и фазовращатели и т. д. Разрабатываются также полупроводниковые ИС перечисленных устройств.

Увеличение функциональной сложности и плотности упаковки элементов и компонентов привело к появлению больших интегральных схем, в которых вместо отдельных элементов (усилительный каскад, триггер, логическая ячейка и т. п.) используются интегральные узлы и даже целые устройства (регистр, счетчик, усилитель, преобразователи аналого-цифровой и цифроаналоговой, запоминающее устройство и даже процессор ЭВМ). Считается, что по сложности БИС эквивалентна как минимум 100 логическим схемам. Показателем степени сложности микросхем является степень интеграции $K = \lg N$, где N — число элементов и компонентов входящих в

ИС. Для микросхемы 1-й степени интеграции $N \leq 10$ и $0 \leq K \leq 1$, для 2-й $10 \leq N \leq 100$ и $1 \leq K \leq 2$, для 3-й $100 \leq N \leq 1000$ и $2 \leq K \leq 3$. В ИС 5-й степени интеграции содержится до 10^5 элементов на кристалл и на одной кремниевой пластине создаются схемы, которые могут выполнять функции целой ЭВМ. Для реализации БИС наиболее пригодны структуры металл — диэлектрик — полупроводник (МДП-структура). Схемы на МДП-структурах значительно проще в изготовлении, потребляют меньшую мощность.

Развитие микроэлектроники связано с использованием оптических и магнитооптических явлений, сверхпроводимости, электрохимических явлений в жидких и твердых электролитах и т. д. Все более широко начинают использоваться результаты исследования биологических систем. Сущность этого направления микроэлектроники заключается не в простом физическом воспроизведении классических схем, а в непосредственном выполнении требуемых функций электронной системой. Это направление получило название «функциональная микроэлектроника». Использование функциональных приборов обещает значительно сократить число составляющих элементов, снизить стоимость, габариты и, главное, резко повысить надежность систем.

Одним из новых и перспективных в микроэлектронике является направление, основанное на использовании некоторых закономерностей биологических систем. Нейристоры представляют логически полную систему элементов. Они открывают возможность создания устройств большой сложности на основе только одного типа элементов и двух способов их соединения. Это позволяет создавать практически все устройство в едином технологическом цикле, выполнить всю сложную схему в объеме одного кристалла. Первыми шагами в этом направлении являются создание адаптивных элементов для обучающихся систем, разработка нескольких вариантов нейристоров, являющихся простейшими моделями нейрона.

По-видимому, только на уровне органических молекул может быть построена собственно молекулярная электроника, чтобы обеспечить требуемые для молекулярных элементов функциональные возможности. Естественно, потребуются разработка не только новой технологии, но и существенно новый подход к схемотехнике.

Опыт применения ИС подтвердил их неоспоримое

преимущество как основной элементной базы современной радиоэлектронной аппаратуры. Резко повысилась надежность, улучшились технико-экономические характеристики аппаратуры.

Микросхемы классифицируются как по методам их изготовления, так и по используемым в них физическим явлениям.

В условное обозначение микросхем включены четыре элемента: первая цифра указывает на конструктивно-технологическое исполнение; вторая и третья цифры — на номер разработки данной серии (первые три цифры соответствуют номеру серии микросхем); следующий индекс, состоящий из двух букв, — функциональное назначение данной микросхемы; последняя цифра или две — порядковый номер разработки микросхемы по функциональному признаку в данной серии. Например, запись 133ТМ2 означает, что это полупроводниковая микросхема серии 133, представляющая собой два *D*-триггера с порядковым номером разработки 2.

По технологическому исполнению микросхемы разделяются на полупроводниковые и совмещенные (первые цифры в условном обозначении 1, 5, 7), гибридные (2, 4, 6, 8), пленочные (3). Для микросхем широкого применения перед первым элементом условного обозначения ставится буква К.

По характеру выполняемой функции микросхемы разделяются на классы (генераторы, усилители, преобразователи, логические элементы, элементы ЗУ и т. д.). Каждый класс в свою очередь подразделяется на группы, например усилители подразделяются на синусоидальные, постоянного тока, импульсные, высокой, промежуточной и низкой частот, операционные и дифференциальные видеоусилители, повторители.

Классы и группы микросхем и их обозначения (в скобках) приведены в табл. В. 1.

Микросхемы группируются также по сериям. Микросхемы, входящие в одну серию, имеют одинаковые технологии, напряжения питания, надежность, а также допустимые уровни внешних воздействий. Микросхемы характеризуются не только функциональными свойствами, но и эксплуатационными параметрами, характеризующими предельно допустимые механические и климатические нагрузки, конструктивными параметрами, характеризующими габаритные и присоединительные размеры, а также параметрами рабочего режима, опре-

Таблица В.1

Класс	Группа
Усилители	Высокой частоты (УВ), синусоидальные (УС), промежуточной частоты (УР), постоянного тока (УТ), низкой частоты (УН), видеоусилители (УБ), считывание и воспроизведение (УЛ), импульсные (УИ), индикации (УМ), операционные и дифференциальные (УД), повторители (УЭ), прочие (УП)
Генераторы	Гармонических сигналов (ГС), прямоугольных сигналов (ГТ), линейно изменяющихся сигналов (ГЛ), сигналов специальной формы (ГФ), шума (ГМ), прочие (ГП)
Преобразователи	Частоты (ПС), длительности (ПД), фазы (ПФ), формы (ПМ), мощности (ПМ), напряжения (ПН), аналог — код (ПК), декодирующие (код — аналог) (ПД), код — код (ПР), уровня (согласователи) (ПУ), прочие (ПП)
Модуляторы	Амплитудные (МА), частотные (МС), фазовые (МФ), импульсные (МИ), прочие (МП)
Детекторы	Амплитудные (ЖА), частотные (ДС), фазовые (ДФ), импульсные (ДИ), прочие (ДП)
Триггеры	J-типа (ТВ), D-типа (ТМ), RS-типа (ТР), T-типа (ТТ), комбинированные типов DT, RST и др. (ТЛ), Шмитта (ТК), динамические (ТД), прочие (ТП)
Ключи и коммутаторы	Транзисторные (КТ), диодные (КД), оптоэлектронные (КЭ), тока (КТ), напряжения (КН), прочие (КП)
Фильтры	Верхних частот (ФВ), нижних частот (ФН), полосовые (ФЕ), заградительные (ФГ), режекторные (ФР), сглаживающие (ФС), прочие (ФП)
Схемы задержки	Пассивные (БМ), активные (БР), прочие (БП)
Логические элементы	И (ЛИ), ИЛИ (ЛЛ), НЕ (ЛН), И—НЕ (ЛА), ИЛИ—НЕ (ЛЕ), И—ИЛИ (ЛС), И—НЕ, ИЛИ—НЕ (ЛБ), И—ИЛИ—НЕ (ЛР), И—ИЛИ—НЕ/И—ИЛИ (ЛК), ИЛИ—НЕ/ИЛИ (ЛК), расширители (ЛД), прочие (ЛП)
Элементы запоминающих устройств	Матрицы-накопители: ОЗУ (РМ) и ПЗУ (РВ), ОЗУ со схемами управления (РУ), ПЗУ (масочное) со схемами управления (РЕ), ПЗУ со схемами управления и однократным программированием (РТ), ПЗУ со схемами управления и с многократным программированием (РР), ОЗУ со схемами управления (РУ), прочие (РП)
Элементы арифметических и дискретных устройств	Регистры (ИР), сумматоры (ИС), полусумматоры (ИЛ), счетчики (ИЕ), шифраторы (ИШ), дешифраторы (ИД), комбинированные (ИК), прочие (ИП)

Класс	Группа
Наборы элементов, микросборки	Резисторов (НР), конденсаторов (НЕ), диодов (НД), транзисторов (НТ), комбинированные (НК), прочие (НП)
Схемы селекции и сравнения	Амплитудные (СА), временные (СВ), частотные (СС), фазовые (СФ), прочие (СП)
Многофункциональные схемы	Импульсные (ХИ), цифровые (ХЛ), аналого-импульсные (ХЕ), аналого-логические (ХВ), аналого-импульсно-логические (ХК), прочие (ХП)
Вторичные источники питания	Выпрямители (ЕВ), преобразователи (ЕМ), стабилизаторы напряжения (ЕН), стабилизаторы тока (ЕТ), прочие (ЕП)
Формирователи	Импульсов прямоугольной формы (АГ), импульсов специальной формы (АФ), адресных токов (АА), разрядных токов (АР), прочие (АП)

деляющими совокупность условий, необходимых для правильного функционирования микросхемы.

Основной задачей учебника «Микроэлектроника» является освещение в доступной для учащихся техникумов форме основных направлений развития микроэлектроники. В книге рассматриваются устройство, методы изготовления, характеристики и параметры различных классов микросхем. Основное внимание уделено схемотехнике ИС. Технология производства микросхем излагается в объеме, необходимом для правильного их применения.

В гл. 1—4 описываются принципы изготовления микросхем, технология, характеристики элементов, конструктивное исполнение. В гл. 5—6 рассматриваются вопросы схемотехники цифровых и линейных (аналоговых) микросхем. В гл. 7—11 рассматриваются перспективные направления микроэлектроники (большие интегральные схемы и функциональная микроэлектроника), а также вопросы испытания микросхем и их надежность.

Глава 1.

ТЕХНОЛОГИЧЕСКИЕ ПРОЦЕССЫ ИЗГОТОВЛЕНИЯ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

1.1. Диффузия

Процесс изготовления полупроводниковых интегральных микросхем состоит из следующих основных этапов: диффузии, эпитаксиального выращивания, оксидирования, фотолитографии, селективного травления и осаждения тонких пленок. Некоторые из них повторяются по несколько раз.

В основе изготовления тонкопленочных микросхем лежат процессы последовательного нанесения тонких пленок. Рассмотрим кратко перечисленные технологические процессы.

Большинство методов образования p — n -переходов в ИС основано на использовании явления диффузии в твердом теле. Диффузией атомов или молекул называется процесс их переноса, происходящий в результате хаотического теплового движения. При неравномерном распределении и наличии градиента концентрации вещества создается направленное диффузионное движение, стремящееся выравнять концентрацию во всем объеме. В этом случае движение частиц хотя и носит хаотический характер, но существует некоторая составляющая скорости движения, направленная в сторону уменьшения концентрации. Скорость процесса характеризуется коэффициентом диффузии D , который определяется массой вещества, проникающего через единичное сечение за единицу времени, при градиенте концентрации, равном единице.

Теория диффузии разработана швейцарским физиком Фиком. Первый закон Фика определяет количество вещества m , проникающего в направлении x через единичное сечение в секунду при градиенте концентрации dN/dx :

$$m = - D dN/dx.$$

Второй закон Фика связывает изменение концентрации вещества во времени с изменением его градиента концентрации:

$$dN/dt = Dd^2N/dx^2.$$

Рассмотрим образец кремния с однородной концентрацией акцепторной примеси. Повысим температуру этого материала до 1200°C , приведя одновременно одну из

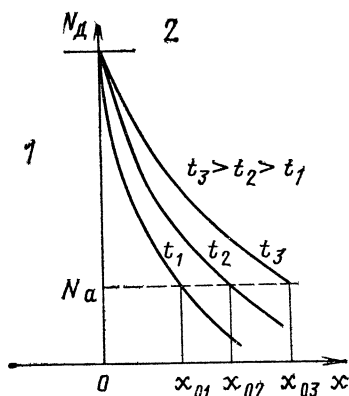


Рис. 1.1. Кривые изменения концентрации фосфора в кремнии, легированном акцепторной примесью при различных временах диффузии:

1 — объем газа; 2 — поверхность кремния

его поверхностей в соприкосновение с объемом газа, имеющего однородную концентрацию N_d донорной примеси, например фосфора. Атомы фосфора будут диффундировать из газовой фазы в кремний, образуя градиент, при котором концентрация фосфора понижается по мере удаления от поверхности, соприкасающейся с газовой фазой (рис. 1.1).

Если диффузия происходит в течение достаточно длительного времени t , кремний будет однородно легирован фосфором с концентрацией N_d . Рассмотрим концентрацию фосфора вблизи поверхности кремния Δx .

В момент времени t , равный нулю, концентрация фосфора внутри области Δx равна нулю. При диффузии концентрация фосфора внутри этой области будет возрастать. При $\Delta x \rightarrow 0$ имеем концентрацию фосфора на поверхности, обычно называемую поверхностной концентрацией. На определенной глубине от поверхности, где концентрация донорной примеси равна концентрации акцепторной, образуется p — n -переход. Если диффузия продолжается, то глубина залегания перехода x_0 перемещается вглубь твердого тела (x_{02}, x_{03}) (см. рис. 1.1). Для образования транзисторной структуры типа p — n — p необходимо провести еще одну диффузию акцепторной примеси в слой n -типа. На рис. 1.2 показан результирующий профиль примесей после диффузии акцепторной примеси в область кремния n -типа. Из этой кривой видно, что образование

p — n -перехода происходит при компенсации примесей. Параметрами диффузионных слоев являются поверхностная концентрация N_0 и глубина p — n -перехода x_j .

На вид распределения продиффундировавшей примеси влияют следующие факторы: время диффузии, температура, растворимость примеси в твердой фазе, а также поверхностное состояние исходного материала,

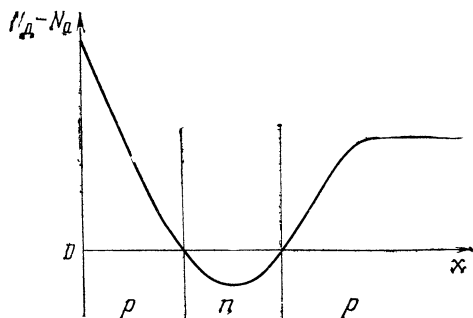


Рис. 1.2. Профиль примесей в кремнии при образовании транзисторной структуры

Возрастание температуры вызывает увеличение скорости диффузии: чем выше температура, тем большая энергия сообщается атомам диффузанта, что приводит к увеличению скорости их движения через кристаллическую решетку. Практически процессы диффузии в кремнии проводятся при температуре 1000 — 1300°C . При такой температуре заданный профиль образуется от нескольких минут до десятков минут.

Сильное влияние температуры на процесс диффузии обусловливается сильной температурной зависимостью коэффициента диффузии. Увеличение температуры на несколько градусов вызывает увеличение коэффициента диффузии вдвое. При этом увеличиваются как глубина p — n -перехода, так и количество продиффундировавшей примеси (рис. 1.3). Выполнить более трех последовательных диффузий в кремнии практически нельзя, так как во время каждой последующей диффузии число атомов примеси, необходимое для компенсации ранее введенных атомов примеси, увеличивается экспоненциально, а подвижность дырок и электронов обратно пропорциональна

полному количеству примесей, содержащемуся в материале полупроводника. Уменьшение подвижности ухудшает все электрические параметры изготавливаемых из этого материала приборов.

Несмотря на то, что, изменяя параметры диффузионного процесса, можно получить большое разнообразие диффузионных профилей, все созданные диффузией рас-

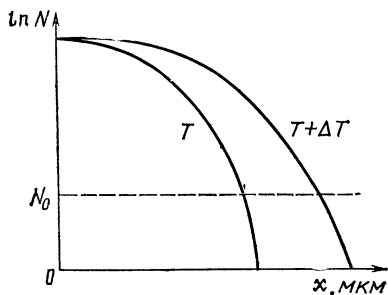


Рис. 1.3. Смещение кривой изменения концентрации примеси в кремнии при увеличении температуры

пределения примесей характеризуются концентрацией, непрерывно понижающейся с увеличением расстояния от поверхности кремния. Однако существуют интегральные микросхемы, где получение заданных электрических свойств требует градиентов концентрации, которые были бы или прерывистыми, или возрастали по мере удаления от поверхности. Для соз-

дания таких градиентов требуются принципиально другие методы введения примеси в кремний, например, эпитаксиальная технология позволяет создавать градиенты концентрации, которые совершенно невозможно получить с помощью диффузионной технологии.

Метод, сочетающий в себе эпитаксиальный и диффузионный процессы, позволил изготавливать весьма сложные интегральные схемы.

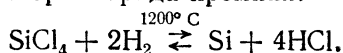
1.2. Эпитаксиальный процесс

Эпитаксия — это процесс, в результате которого можно расположить атомы на монокристаллической подложке так, что структура решетки полученного слоя является точной копией структуры кристалла подложки. Механизм эпитаксиального процесса заключается в том, что атомы в газообразной фазе движутся к поверхности раздела, на которой выращивается слой, и перемещаются вблизи нее, пока не приобретут устойчивое состояние и не образуют жесткую структуру.

При выращивании эпитаксиальной пленки требуемого типа проводимости атомы примеси внедряются в кристаллическую решетку при выращивании пленки. Отношение числа атомов примеси к числу атомов кремния в газовой фазе регулируется таким образом, чтобы пленка содержала требуемую концентрацию примесей. При изменении типа или концентрации примеси в газовой фазе характеристики эпитаксиальной пленки могут изменяться почти неограниченно, причем без необходимости компенсации.

При выращивании эпитаксиальной пленки одного типа проводимости на подложке другого типа проводимости получается хороший исходный материал для изготовления полупроводниковых интегральных микросхем.

Реакция, используемая для эпитаксиального выращивания чистого кремния, заключается в восстановлении водородом тетрахлорида кремния:



Обычно требуются эпитаксиальные пленки с нужной концентрацией примеси. Для этого необходимо, чтобы в реакционной камере протекали одновременно две реакции в пропорциях, обеспечивающих желаемую концентрацию примесей в пленке. Это осуществляется введением тетрахлорида кремния и фосфина для легирования донорной примесью или диборана для легирования акцепторной примесью. Описанные реакции удобны для образования n - или n^+ -, p - или p^+ -, а также чередующихся n - и p -слоев. Профиль концентрации примеси для пластины показан на рис. 1.4. Эпитаксиальная пленка толщиной 22 мкм с концентрацией доноров 10^{17} см^{-3} выращивается на подложке с концентрацией акцепторной примеси $7 \cdot 10^{15} \text{ см}^{-3}$. Эпитаксиальная пленка n -типа имеет удельное сопротивление 0,1 Ом·см, подложка p -типа — удельное сопротивление 2 Ом·см.

Технология получения эпитаксиальной пленки состоит в следующем. После механической полировки и тщательной очистки пластины, используемые в качестве подложки, помещаются на графитовой лодочке, а лодочка помещается в реакционную камеру. Эта система герметизируется и наполняется азотом, вытесняющим воздух. Затем в реакционную камеру впускается водород со скоростью потока 30 л/мин. Пластины нагреваются до 1200°C специальным ВЧ нагревателем. Затем в реакци-

онную камеру впускаются пары хлористого водорода. Соотношение количества водорода и хлористого водорода 100:1. Реакция ведется в течение 6 мин, затем с поверхности пластины стравливается слой 3 мкм. В этот момент подача хлористого водорода прекращается и подаются тетрахлорид кремния и фосфин. Реакция должна протекать 40 мин, в результате на подложке p -типа выращивается пленка n -типа толщиной 20 мкм.

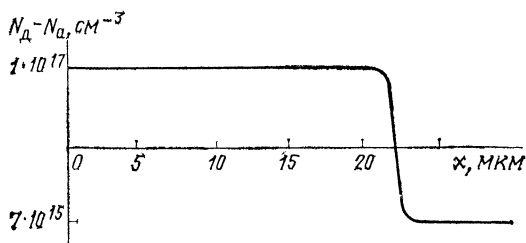


Рис. 1.4. Профиль концентрации в пластине кремния с эпитаксиальной пленкой

Положительными факторами описанного процесса являются: совершенство кристаллической структуры; возможность регулирования толщины и удельного сопротивления пленки;

однородность толщины и удельного сопротивления по сечению одной пластины и от пластины к пластине в одном процессе.

Рост монокристалла обычно является медленным процессом, так как должно соблюдаться равновесие между ростом слоя и удалением атомов, которые могут привести к образованию несовершенных кристаллических структур. Скорость роста совершенных кристаллов зависит от чистоты газовых реагентов и от температуры. Так, например, при 1200°C они составят 1 мкм/мин, а при 1270°C — 5 мкм/мин. Очень важно, чтобы поверхность подложки была чистой и имела правильную кристаллическую структуру.

Скорость выращивания обычно поддерживается постоянной, а время процесса осаждения регулируется. Удельное сопротивление и тип проводимости эпитаксиального слоя определяются видом и количеством примесей, вводимых в решетку при выращивании.

1.3. Окисление

При изготовлении интегральных микросхем широко используется двуокись кремния. Пленка двуокиси кремния очень прочна, не имеет пор, химически инертна и

может применяться для защиты поверхности микросхемы от воздействия окружающей среды. Пленка используется для маскирования поверхности кремния при проведении диффузии.

Вследствие того что скорость диффузии зависит от коэффициента диффузии D , нанесение на поверхность кремния материала с крайне малым значением D предохранит кремний от диффузии. Коэффициент диффузии целого ряда примесных элементов в двуокись кремния на несколько порядков меньше коэффициента диффузии тех же элементов в кремний. Поэтому двуокись кремния обычно используется как маскирующее вещество, предохраняющее кремний от диффузии.

Окись кремния может быть наращена на кремний или нанесена химическим путем, а затем снята с тех мест, где предполагается диффузия. Для эффективного маскирования требуется слой двуокиси кремния толщиной от 0,2 до 1 мкм в зависимости от температуры и времени диффузии. Слой двуокиси кремния такой толщины получают при температуре 1000—1200° С в присутствии водяного пара, влажного или сухого кислорода. При использовании водяного пара процесс роста двуокиси кремния протекает наиболее быстро, а в атмосфере сухого кислорода слой двуокиси кремния получается наиболее плотным.

При образовании окисного слоя кремний берется из кремниевой пластины, а кислород — из окружающего газа. Окисная пленка образуется гораздо быстрее на сильно легированной поверхности кремния.

1.4. Фотолитография

Для выборочной диффузии необходимо выборочно либо наносить слой окиси, либо удалять его. Последнее проще, а потому используется гораздо чаще. С пластины кремния, целиком покрытой окисным слоем, фотолитографическим методом удаляется окисел с тех мест, где должна произойти диффузия. Для этого на кремниевую пластину, покрытую сплошным слоем окисла, наносится тонкая (около 0,7 мкм) пленка светочувствительного вещества (фоторезиста). Затем пластина накрывается стеклянной маской (фотошаблоном) с прозрачными и непрозрачными областями и облучается ультрафиолетовыми лучами. Под прозрачными областями маски ультра-

трафиолетовое излучение полимеризует фоторезист. Полимеризованный фоторезист нерастворим в трихлорэтилене, в то время как неполимеризованный хорошо растворяется в нем. Поэтому после обработки поверхности пластины трихлорэтиленом слой фоторезиста остается только в местах, соответствующих прозрачным областям маски. Затем пластина помещается в сосуд с разбавленной плавиковой кислотой, которая растворяет двуокись кремния в местах, не защищенных фоторезистом. На кремний плавиковая кислота не действует. Полимеризованный фоторезист удаляется горячей серной кислотой, после чего пластина готова к диффузии. Таким образом, фотолитография используется для создания на выбранных в соответствии с рисунком маски участках пластины окон в слое окисла.

Для изготовления микросхемы необходимо иметь несколько фотошаблонов разной конфигурации. При последовательном их использовании требуется высокая точность совмещения. С помощью системы совмещения рисунок на маске совмещается с полученным ранее на пластине рисунком, при этом маска и рисунок на пластине просматриваются через микроскоп. Когда совмещение достигнуто, пластину прижимают к поверхности маски.

Полупроводниковые микросхемы занимают площадь подложки b несколько квадратных миллиметров, что позволяет на одной пластине диаметром 35—40 мм получить одновременно около 100 микросхем.

При изготовлении комплекта фотошаблонов сначала вычерчивается комплект топологических чертежей, на которых изображены увеличенные в несколько сотен раз поэтапные рисунки для одного типа микросхемы. Чем крупнее чертеж, тем точнее будет выполнен уменьшенный фотошаблон. Затем каждый чертеж фотографическим методом уменьшается и на специальной шагомножительной установке наносится на фотопластину, которая и является фотошаблоном.

При изготовлении нескольких микросхем на одной пластине кремния потребуется несколько таких шаблонов на одной пластине. Размножают эти маски, аккуратно двигая их от позиции к позиции и фотографируя в каждой на фотопластину больших размеров. Каждый элемент маски перемещается сначала по оси X , а затем по оси Y , образуя таким образом матрицу шаблонов на пластине. Наконец, производится фотографическое

уменьшение этой пластины и процесс изготовления маски заканчивается.

1.5. Осаждение тонких пленок

Одним из основных этапов изготовления интегральных микросхем является создание тонких пленок. В полупроводниковых микросхемах пленки осаждаются на окисное покрытие кремниевой пластины для обеспечения межсоединений отдельных компонентов, узлов и устройств, а также для создания контактных площадок, к которым присоединяются выводы микросхем.

Существует несколько методов формирования тонких пленок. В табл. 1.1 приведены методы формирования тонких пленок, используемых в качестве тонкопленочных элементов гибридных микросхем.

Таблица 1.1

Метод получения тонкой пленки	Элементы
Вакуумное напыление (термическое, электронно-лучевое испарение) Катодное распыление	RC-схемы, резисторы, конденсаторы
Осаждение ионным пучком	Диэлектрики для конденсаторов, резисторы, изоляция
Химическое осаждение из газовой фазы	Диэлектрики, резисторы
Анодирование	Конденсаторы, резисторы, коммутация
Механическое нанесение	Защитные покрытия, диэлектрики конденсаторов
	Резисторы, изоляция, проводники

Вакуумное напыление. Чаще всего используется вакуумное напыление и катодное распыление. Для обоих методов применяются однотипные вакуумные установки. Весь процесс проводится в сверхчистой среде в вакуумной камере.

Метод вакуумного напыления заключается в следующем. Металл, расплавленный электронным лучом (или другим способом), испаряется и оседает (конденсируется) на поверхности находящихся вблизи него предметов, покрывая их тонким слоем. Меняя исходный материал и маски (трафареты), через которые он напыляется, можно за один цикл операций изготавливать большое число проводников, сопротивлений и емкостей, т. е. получать готовые схемы.

Упрощенная схема установки для вакуумного напыления показана на рис. 1.5. Установка имеет несколько испарителей (по числу распыляемых материалов). При высоком вакууме атомы металла летят к подложке по прямым линиям без столкновений. При этом, конденсируясь на подложке, они точно воспроизводят рисунок экрана. Для прямолинейного распространения атомов

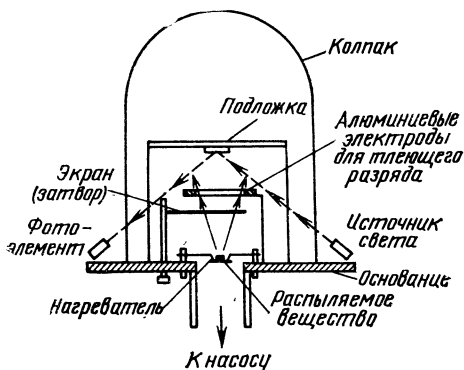


Рис. 1.5. Схема установки для вакуумного напыления

приемлемым является давление $p < 0,13$ пА. В процессе напыления контролируется толщина наносимой пленки. Время напыления — от нескольких секунд до нескольких минут.

Катодное распыление. Наряду с термическим испарением в вакууме широко применяется катодное распыление. Источником напыляемого материала здесь служит поверхность катода, бомбардируемого ионизированными частицами разреженного газа. Частицы, попадая на катод, отдают свою энергию атомам или молекулам катода и выбивают атомы материала катода из него. Выбитые частицы движутся по направлению к высокому положительному потенциалу, оседают на поверхность подложки и образуют на ней пленку.

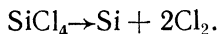
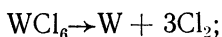
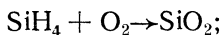
Для распыления изоляционных и полупроводниковых материалов между электродами создается высокочастотное поле. Меняющийся потенциал ВЧ поля позволяет осуществлять последовательную бомбардировку поверхности мишени положительными ионами и нейтрализацию накопленного положительного заряда высокопод-

вижными электронами. Распыление выполняется при высоком вакууме ($p < 0,13$ Па).

Ионное осаждение. При ионном осаждении используется как напыление из подогреваемого источника, так и тлеющий разряд. Сначала между катодом и анодом создается разряд. Затем нагревается спираль и начинается процесс напыления (рис. 1.6). Скорость напыления растет до тех пор, пока скорость реактивно напыляемых ионов не достигнет скорости ионов у подложки. Ионное осаждение дает лучшую адгезию осаждаемой пленки с подложкой и применяется для получения пленок химических соединений, например окиси нитрида кремния.

Химическое осаждение из газовой фазы.

Этим методом получают пленку в результате химической реакции между двумя или более веществами или химического разложения. Химическое осаждение из газовой фазы позволяет получить все три типа тонких пленок — изолятор, проводник и полупроводник:



Особое значение имеет третья реакция. В зависимости от состояния поверхности и структуры кристалла получаемая пленка Si может быть моно- или поликристаллической. Это процесс эпитаксиального наращивания. Таким способом осаждают также тонкие пленки стеклообразных материалов, содержащих P, Al, B и т. д.

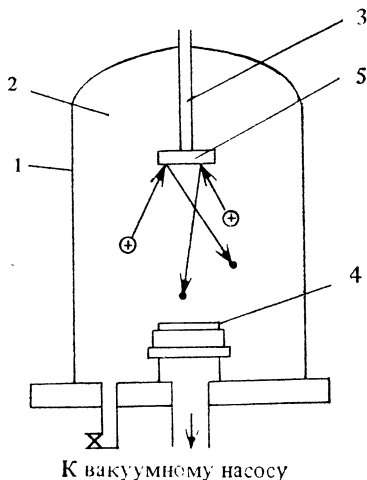


Рис. 1.6. Схема установки для катодного распыления и ионного осаждения:

1 — колпак; 2 — аргон; 3 — катод; 4 — подложка; 5 — распылитель и источник

Химическим осаждением из газовой фазы получают многие металлические тонкие пленки. Можно, например, получать пленки Mo и W, разлагая их галоидные или карбонильные соединения.

Одной из самых распространенных реакций химического осаждения из газовой фазы является реакция получения пленок SiO_2 . Эту реакцию осуществляют, исполь-

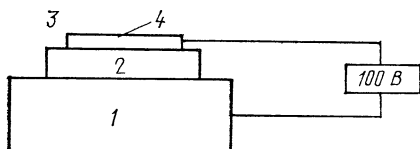


Рис. 1.7. Схема установки для плазменного анодирования:

1 — анод (нагреваемый); 2 — анодизированная подложка; 3 — плазма кислорода; 4 — металлическая пленка

зуя различные химические системы, например $\text{SiH}_4 + \text{O}_2$, $\text{Si}(\text{OR})_4$, CO_2 и др.

Анодирование. Наиболее распространенным методом получения тонких пленок при производстве гибридных схем посредством анодирования является анодное окисление. Примером может служить преобразование части танталовой пленки в окись тантала, которая служит диэлектриком конденсатора. К танталовой пленке, служащей анодом, прикладывается напряжение. На тантале образуется слой окиси, рост которой прекращается при толщине, определяемой приложенным напряжением. В качестве электролита используется раствор кислоты, например уксусной.

Иногда применяется метод плазменного анодирования. Процесс протекает в установке, аналогичной той, в которой проводится напыление (рис. 1.7), но вместо аргона вводится кислород. Материал катода (обычно Al) не должен легко распыляться, пленка имеет небольшой положительный потенциал по отношению к аноду. В плазме образуются O-ионы, которые направляются к аноду и окисляют пленку вследствие наличия электрического поля у поверхности, создаваемого электрическим смещением пленки относительно анода. Метод плазменного анодирования используется, например, для получения пленок Al_2O_3 на Al.

На рис. 1.8 показан процесс металлизации алюминия с помощью фотолитографии. С мест, где должны быть образованы контакты, удаляется двуокись кремния (рис. 1.8, а). На подготовленную таким образом пластину напыляют тонкий (1 мкм) слой алюминия (рис.

1.8, б). Далее пластина покрывается фоторезистом (рис. 1.8, в) и обрабатывается обычным способом: ультрафиолетовая засветка и полимеризация, удаление фоторезиста с необходимых областей (рис. 1.8, г) и затем удаление алюминия в местах, не защищенных фоторезистом, травлением едким натром (рис. 1.8, д). После удаления

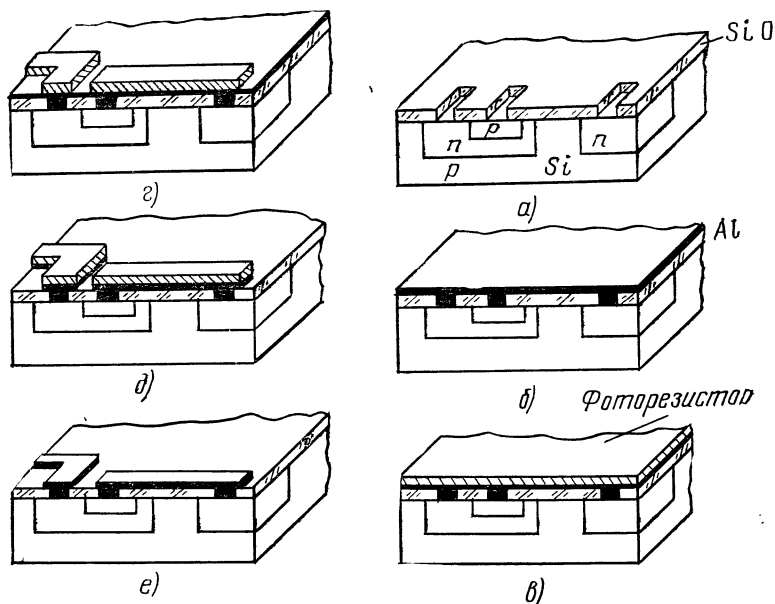


Рис. 1.8. Последовательность процесса металлизации алюминием

фоторезиста проводящая пленка на пластине остается лишь в нужных местах, образуя межсоединения (рис. 1.8, е). Очищенная пластина нагревается до температуры, близкой к температуре эвтектики сплава $Al - Si$. Эта операция обеспечивает надежное соединение пленки с подложкой.

В ряде случаев наносят серебряно-алюминиевый слой. Серебряный слой толщиной $0,01$ мкм наносится осаждением из паровой фазы. Слой Al толщиной до $0,5$ мкм также наносится из паровой фазы. Таким способом создается очень мелкозернистый слой, который хорошо сцепляется с подложкой.

ПОЛУПРОВОДНИКОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

2.1. Последовательность изготовления полупроводниковой микросхемы

На рис. 2.1 показаны полупроводниковая микросхема инвертора и его электрическая схема (элементы для наглядности расположены в одну линию). Все элементы размещены в одной кремниевой пластине p -типа. Для

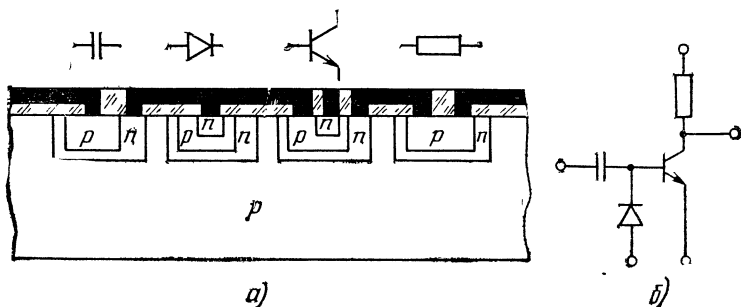


Рис. 2.1. Часть полупроводниковой микросхемы в разрезе (а) и ее схематическое изображение (б)

исключения взаимного влияния активные и пассивные элементы размещаются в островках, изолированных от подложки. Сверху подложка защищена изоляционным слоем, на который нанесены проводящие дорожки, соединяющие элементы между собой.

Активные элементы полупроводниковых микросхем: транзисторы, диоды, тиристоры и оптоэлектронные приборы — состоят из одного или более p — n -переходов. Любой p — n -переход обладает барьерной емкостью аналогично плоскому конденсатору, и такие конденсаторы чаще всего и применяются в микросхемах. В качестве резисторов используются участки полупроводника, обычно ограниченные p — n -переходами, т. е. слой кремния может выполнять функции резистора, а p — n -переходы могут быть границами.

Таким образом, в полупроводниковом кристалле с p — n -переходами можно создать набор элементов, дос-

таточный для большинства радиотехнических схем. Наиболее трудно создать в интегральном исполнении индуктивность требуемых номиналов и добротности, поэтому разработчики полупроводниковых микросхем стремятся избегать схемных решений, требующих индуктивных элементов.

Для производства микросхем применяется планарная технология, позволяющая одновременно получать большое число микросхем в едином технологическом процессе. На одной пластине кремния создаются различные структуры, образующие законченную схему, включающую активные и пассивные элементы. Основные процессы этой технологии те же, что и при изготовлении планарных транзисторов: локальная диффузия, эпитаксиальное выращивание, напыление с чередующимися фотолитографией и окислением.

Основными полупроводниковыми материалами, из которых в настоящее время изготавливаются полупроводниковые микросхемы, являются кремний и германий. Однако более перспективным является кремний. Он легко поддается селективной диффузии, имеет более высокое сопротивление и позволяет расширить интервал рабочих температур микросхем. На поверхности кремния легко создается окисная пленка, которая служит защитным покрытием при проведении ряда технологических операций и предохраняет готовую схему от внешних воздействий.

Для изготовления микросхем наиболее удобными оказались пленки кремния, полученные методом эпитаксиального выращивания. В этом случае процесс изготовления микросхем называется планарно-эпитаксиальным.

После окисления поверхности пластины необходимо выделить на ней локальные области, в которые должна проводиться диффузия. Для этой цели применяют метод фотолитографии. Для изготовления микросхем нужно несколько разных фотошаблонов (5 — 20). На рис. 2.2 показан набор фотошаблонов для изготовления несложной микросхемы. В окна, образованные в SiO_2 , проводят локальную диффузию примесей в кремний для создания диодных или транзисторных структур, резисторов, изолирующих переходов и т. п. При этом окисная пленка предохраняет кремний от нежелательного внедрения примеси на отдельных участках поверхности. Диффузия, как правило, проводится из газовой фазы. В качестве диффундирующих примесей обычно используются

бор, фосфор, сурьма, мышьяк. Глубина диффузии и поверхностная концентрация диффузионного слоя определяются временем и температурой диффузии.

Рассмотрим в качестве примера технологию изготовления полупроводниковой микросхемы планарно-эпитаксиальным методом. На хорошо отполированной пластинке кремния p -типа удельным сопротивлением

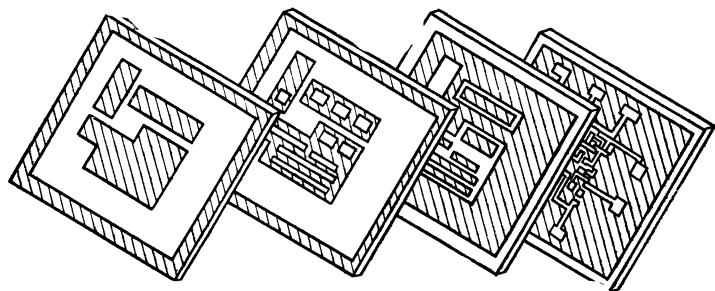


Рис. 2.2. Набор фотошаблонов

5 Ом·см выращивается эпитаксиальный слой кремния n -типа с $\rho=0,5$ Ом·см толщиной приблизительно 20 мкм (рис. 2.3, а). Для осуществления последующих циклов (фотолитография и диффузия) на эпитаксиальном слое методом термического выращивания создается слой двуокиси кремния (рис. 2.3, б). Через отверстия, протравленные в пленки двуокиси кремния (рис. 2.3, в), проводится диффузия бора, в результате область эпитаксиального слоя под отверстием приобретает проводимость p^+ -типа и образуются необходимые электрически изолированные участки n -типа для каждого элемента схемы (рис. 2.3, г). После проведения второй фотолитографии (рис. 2.3, д) осуществляют второй цикл диффузии для образования базовой области p -типа в эпитаксиальном слое n -типа (рис. 2.3, е). Следующий цикл заключается в создании области эмиттера n^+ -типа диффузией фосфора (рис. 2.3, ж, з). Одновременно с эмиттером создаются слои n^+ -типа под будущими контактами коллектора. Для создания контактов к различным областям транзистора в окисной пленке протравливаются «окна» (рис. 2.3, и). Затем по всей поверхности пластины осаждается в вакууме и в ненужных местах

сравляется алюминий (рис. 2.3, к). Далее проводятся фотолитография, травление и создаются межсоединения.

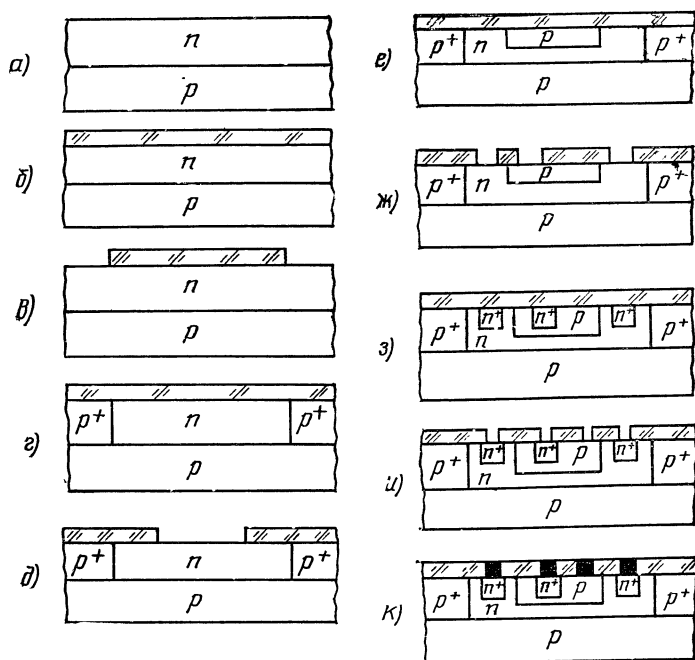


Рис. 2.3. Схема изготовления полупроводниковой микросхемы

На рис. 2.4 показан разрез интегральной схемы. Транзисторы размещены в одной изолированной области (1), а резисторы — в другой (2). Транзисторы имеют общий коллектор. Описанный процесс изготовления позволяет получить сразу несколько сотен микро-

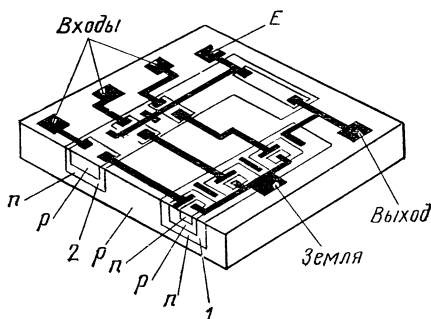


Рис. 2.4. Поперечное сечение микросхемы

схем малой степени интеграции или несколько десятков микросхем средней и высокой степени интеграции, т.е. столько, сколько может быть размещено на одной пла-

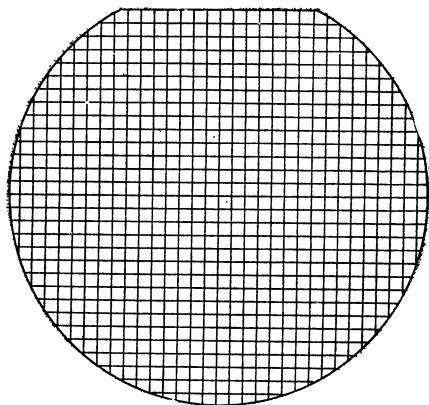


Рис. 2.5. Пластина кремния с микросхемами

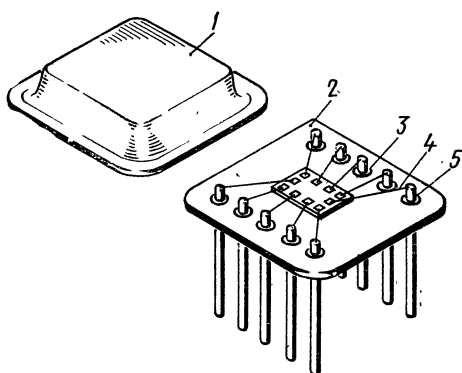


Рис. 2.6. Полупроводниковая микросхема со снятой крышкой корпуса

стине кремния диаметром около 70 мм (рис. 2.5). Пластина разделяется на отдельные микросхемы, которые герметизируются в корпусе. Предварительно контактные площадки микросхемы соединяются проводниками с выводами корпуса (рис. 2.6).

2.2. Методы изоляции элементов

При создании полупроводниковых микросхем необходима изоляция элементов друг от друга для исключения нежелательных связей между ними. Обычно для каждого элемента или группы элементов изготавливают отдельный островок — «карман», электрически изо-

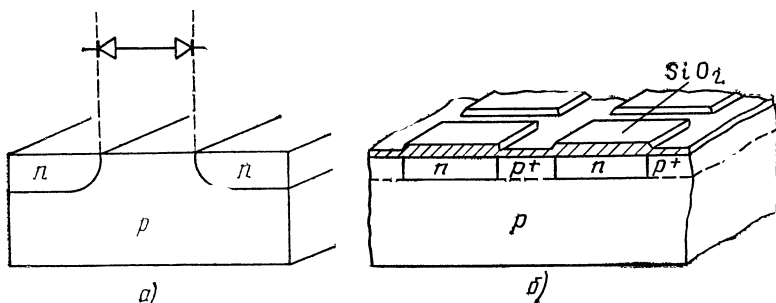


Рис. 2.7. Электрическая изоляция элементов p — n -переходом методом тройной диффузии (а) и методом разделительной диффузии (б)

лированный от других участков и от подложки. Разработано несколько способов изоляции.

Наиболее часто для этой цели применяются p — n -переходы, окружающие каждый элемент или группу элементов (рис. 2.7). Области, ограниченные этим переходом, являются чаще всего коллекторами транзисторов, в связи с чем этот метод получил название коллекторной или тройной диффузии (2.7, а). Получаются эти области диффузией в пластину p -типа донорной примеси. При включении p — n -перехода в обратном направлении между любыми двумя элементами схемы включены навстречу друг другу два p — n -перехода.

Метод тройной диффузии обеспечивает хорошую изоляцию между элементами. Ток утечки обычно не превышает 10^{-8} А. Напряжение пробоя между элементами и подложкой составляет 40—60 В. С учетом этого перехода транзисторы становятся четырехслойными структурами и в некоторых случаях могут быть использованы транзисторы как p — n — p -, так и n — p — n -типов. В то же время p — n -переход вносит определенную паразитную емкость (примерно 300 пФ/мм²), которую необхо-

димо учитывать при конструировании микросхем. Дополнительная емкость ограничивает частотный предел микросхем.

Для изоляции элементов полупроводниковых микросхем широкое распространение получил метод разделительной диффузии (рис. 2.7, б). При этом методе изоляции диффузия проводится во все области подложки,

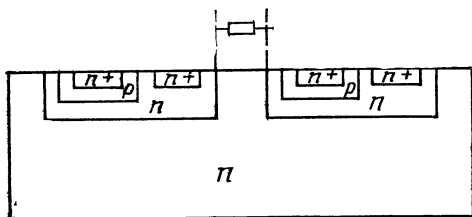


Рис. 2.8. Изоляция компонентов в высокоомной подложке

кроме областей, предназначенных для элементов. Преимущество этого метода перед методом тройной диффузии заключается в том, что области, отведенные для элементов, сохраняют более однородное удельное сопротивление. При использовании эпитаксиальных пленок разделительная диффузия проводится сквозь весь эпитаксиальный слой. В результате в определенных местах эпитаксиальная пленка p -типа преобразуется в пленку p -типа. Таким образом создаются изолированные участки n -типа, окруженные материалом n -типа.

Еще один метод изоляции заключается в использовании высокоомной подложки, например с $\rho > 100 \text{ Ом} \cdot \text{см}$. На рис. 2.8 показана схема такой изоляции. Этот метод применяется для высокочастотных схем, когда сопротивление самой подложки, включенное последовательно с элементами, обеспечивает изоляцию. Поверхностное сопротивление изолирующей области обычно достигает $1000 \text{ Ом}/\square$ (ом на квадрат). Частотные характеристики интегральной схемы с такой изоляцией элементов улучшаются, так как отсутствует изолирующий переход, имеющий значительную емкость.

Изоляция p — n -переходом дает хорошую воспроизводимость, высокий процент выхода годных микросхем и их низкую стоимость, что определило ее широкое применение при изготовлении микросхем.

Широко применяется метод изоляции с помощью пленки SiO_2 , позволяющий существенно снизить токи утечки и емкость коллектор — подложка. Метод заклю-

чается в следующем. В пластине кремния вытравливают лунки (рис. 2.9, б). Глубина травления должна несколько превышать необходимую толщину изолируемой области. Далее пластину покрывают слоем окисла толщиной 1—5 мкм (рис. 2.9, в). Затем изолирующий окисел покрывают поликристаллическим кремнием (рис. 2.9, г) и на последнем этапе удаляют лишний слой монокристал-

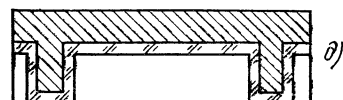
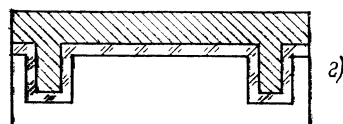
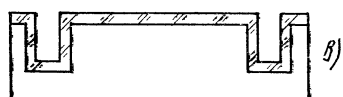
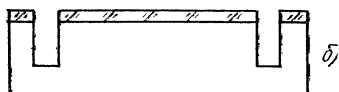
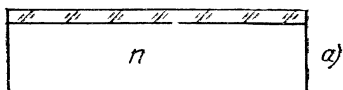
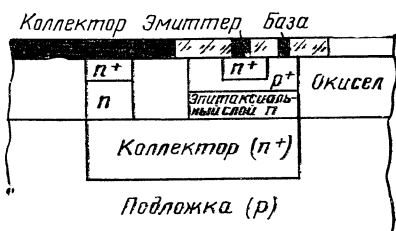


Рис. 2.9. Окисная изоляция элементов

Рис. 2.10. Изопланарный метод изоляции



лического кремния шлифовкой и травлением (рис. 2.9, д). Пластина в таком виде готова для дальнейшей обработки в обычном технологическом процессе изготовления интегральных схем.

Наиболее перспективным оказался так называемый изопланарный метод изоляции, использующий области с термически выращенным окислом (рис. 2.10). Электрический контакт к скрытой области коллектора окружен окисной областью. Маскирование активной области транзистора (скрытый слой коллектора, база и эмиттер) во время окисления осуществляется с помощью пленок нитрида кремния Si_3N_4 .

При изопланарном методе изоляции отпадает необходимость в отделении изолирующей области от базы

транзистора, чем достигается 40%-ная экономия площади. Другим преимуществом являются менее жесткие требования к допускам на размеры базы, эмиттера и контакта к коллектору, поскольку активная область, в которую проводится диффузия, окружена участками окисной изоляции.

2.3. Транзисторы

В полупроводниковых микросхемах наиболее широкое применение нашли диффузионные и эпитаксиально-диффузионные планарные транзисторы. При изготовлении транзисторов интегральных схем используются те же операции, что и при изготовлении дискретных тран-

зисторов. На рис. 2.11 показаны поперечное сечение и топология биполярного транзистора интегральной схемы. На нем видны все четыре слоя: диффузионные эмиттер и база, эпитаксиальный коллектор и подложка. Электрический контакт с эмиттерной, базовой и коллекторной областями создан с помощью алюминиевой металлизации.

На рис. 2.11, б показана структура $n-p$ -транзистора, изолированная с помощью окисной изоляции. При разработке микросхем число структур ограничено, так как изменение структуры влечет за собой дополнительные технологические операции, поэтому выбирают такую геометрию прибора, которая обеспечивала бы требуемые характеристи-

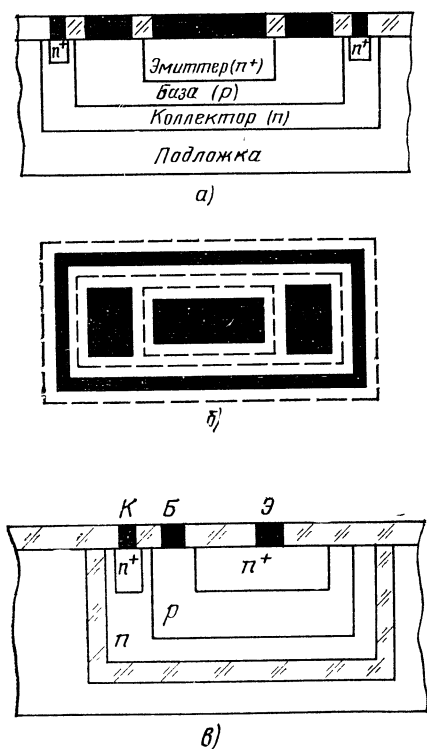


Рис. 2.11. Поперечное сечение (а) и топология (б) транзистора с изоляцией $p-n$ -переходом; структура транзистора с окисной изоляцией (в)

ки. Очевидно, что в одной микросхеме практически можно создать транзистор с любыми геометрией и размерами, а следовательно, в одной схеме могут быть созданы одновременно и высокочастотные, и мощные транзисторы. Для приведенной на рисунке геометрии транзистора эмиттер и база представляют собой прямоугольники. Соединение с базой осуществляется двумя контактами.

Диффузионный переход коллектор — база окружен металлизированной прямоугольной рамкой, которая является контактом коллектора. Ее окружает самый отдаленный от центра прямоугольник, определяющий границы $p-n$ -перехода, образованного между эпитаксиальным коллектором n -типа и подложкой p -типа. Размер эмиттера 20×30 мкм, размер базы 60×100 мкм, а изолированной области 200×180 мкм (рис. 2.11). Электрические характеристики такого транзистора аналогичны характеристикам дискретного ВЧ транзистора: $f_T \geq 500$ МГц, $U_{KЭmax} \geq 30$ В, $U_{ЭБmax} \geq 5$ В, $h_{21э} \geq 20$. Обратный ток переходов — обычно менее 1 мкА, паразитная емкость с подложкой $C_{кп} \leq 3$ пФ. Поскольку все транзисторы изготавливаются в одном и том же кристалле кремния за один технологический цикл, то это обеспечивает хорошее совпадение их электрических характеристик.

Для работы в режимах больших токов и малых напряжений насыщения могут применяться транзисторы, имеющие большие площади эмиттерного и коллекторного переходов (рис. 2.12).

Особенность транзисторов связана с их планарной конструкцией. Все контакты к основным областям транзистора, в том числе и контакт к коллектору, расположены сверху на одной плоскости. Такое расположение коллекторного контакта приводит к увеличению распределенного сопротивления тела коллектора по сравнению

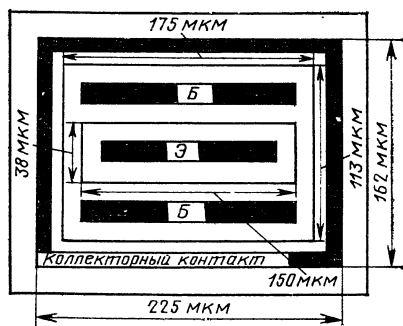


Рис. 2.12. Топология мощного транзистора

нию с сопротивлением тела коллектора дискретного транзистора, у которого коллекторный контакт расположен снизу. Вследствие образования добавочного последовательного с коллектором сопротивления увеличивается сопротивление насыщения прибора — до 10—100 Ом в зависимости от геометрии, тогда как в дискретных транзисторах оно равно 5—10 Ом.

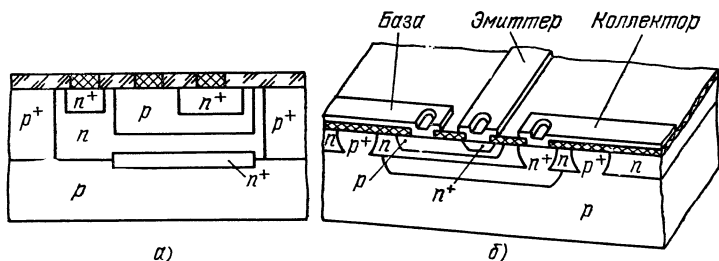


Рис. 2.13. Топология и структура транзисторов со скрытым n^+ -слоем

Концентрация примесей в коллекторе транзистора вблизи перехода коллектор — база значительно меньше, чем концентрация примесей в базе по другую сторону этого перехода, поэтому большая часть неосновных носителей в режиме насыщения накапливается в области коллектора, и время выхода транзистора из режима насыщения зависит в основном от свойств коллектора.

Относительно большое сопротивление тела коллектора обуславливает высокое остаточное напряжение коллектор — эмиттер в режиме насыщения, особенно при больших рабочих токах коллектора. Для снижения напряжения насыщения принимают специальные меры. Например, в структуре, показанной на рис. 2.13, в коллекторе транзистора для уменьшения сопротивления тела коллектора введен высоколегированный слой n^+ -типа. Этот слой получают путем дополнительной селективной диффузии донорной примеси перед наращиванием эпитаксиального слоя. В этом случае в коллекторе образуется электрическое поле, направленное от подложки в сторону коллектора. В режиме насыщения это поле тормозит движение дырок, инжектированных из базы в коллектор, и накопление их происходит в относительно высокоомной части, прилегающей к переходу коллектор — база.

Транзистор со скрытым слоем n^+ -типа в коллекторе имеет оптимальное распределение примесей, позволяющее получить минимальное значение $r_k C_{кб}$ и высокое пробивное напряжение коллекторного перехода. Подложка в этом случае практически не влияет на работу транзистора. Чтобы свести на нет влияние распределенного сопротивления коллектора, n^+ -слой выводят наружу (рис. 2.13, б).

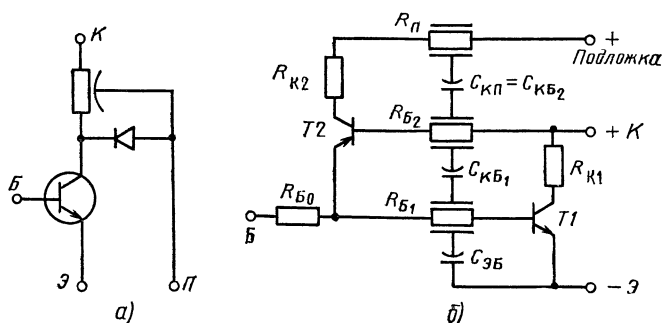


Рис. 2.14. Эквивалентные схемы транзистора

Еще одно отличие транзистора ИС вызвано влиянием изолирующего слоя. Характер этого влияния зависит от метода изоляции и технологии изготовления транзисторов. В меньшей степени подложка влияет на параметры транзисторов с диэлектрической изоляцией. Изолирующий $p-n$ -переход представляет собой диод, который соединен с коллектором и действует как зависящая от напряжения емкость, соединяющая коллектор с землей.

На рис. 2.14, а приведены эквивалентные схемы транзистора ИС ($R_{п}$, $R_{б2}$ и $R_{б1}$ — сопротивления областей подложки и базы транзисторов $T2$ и $T1$). Емкость коллектор—подложка $C_{кп}$ зависит от концентрации примесей в подложке и коллекторе, площади изолирующего перехода и напряжения смещения.

Для транзисторов, изготовленных методом односторонней изолирующей диффузии в эпитаксиальный слой, изолирующий переход состоит из двух областей. Для дна изолирующего перехода более высокоомной является подложка ($\rho = 10 \text{ Ом}\cdot\text{см}$). Эта часть перехода имеет удельную емкость, равную 100 пФ/мм^2 при обрат-

ном напряжении 1 В. Для боковой области изолирующего перехода более высокоомной является эпитаксиальная пленка. Удельная емкость этой части перехода составляет около 150 пФ/мм² при обратном напряжении 1 В. Если имеется скрытый слой n^+ -типа в коллекторе, то концентрация примесей в эпитаксиальной пленке может быть несколько уменьшена, что позволяет уменьшить и удельную емкость боковых областей изолирующего перехода.

Для транзисторов, имеющих диэлектрическую изоляцию, удельная емкость $C_{\text{нп}}$ зависит от толщины слоя двуокиси кремния (обычно 1—2 мкм) и составляет 15—30 пФ/мм², т. е. значительно меньше, чем минимальная удельная емкость изолирующего перехода. Емкость $C_{\text{нп}}$ оказывает особенно сильное влияние на время включения и время выключения транзистора, так как она является частью емкости нагрузки.

При одинаковых размерах областей и одинаковом распределении примесей транзистор, изолированный диэлектрической пленкой, имеет значительно большее время рассасывания $\tau_{\text{рас}}$, чем транзистор, изолированный переходом. Для снижения $\tau_{\text{рас}}$ в транзисторах, изолированных диэлектрической пленкой, в случае тонкого коллектора необходимо вводить атомы золота.

На предельную частоту усиления по току транзистора в схеме с общим эмиттером оказывают влияние эмиттерный переход, активная база, коллекторный переход, тело коллектора и время, связанное с зарядкой паразитной емкости изолирующего перехода. Если транзисторы работают при низких напряжениях, то базовые области можно выполнить очень узкими и тогда частотные характеристики транзистора приближаются к частотным характеристикам дискретных приборов.

Представленная на рис. 2.14, а эквивалентная схема транзистора ИС упрощенная. В действительности это четырехслойная структура ($n^+ - p - n - p$), которую можно представить в виде двух транзисторов: $n^+ - p - n$ -транзистор ($T1$) и паразитный $p - n - p$ -транзистор ($T2$) (рис. 2.14, б). Коллектор транзистора $T1$ соединен с базой транзистора $T2$, а эмиттер последнего связан с базой транзистора $T1$. Если учесть влияние сопротивлений различных областей структуры, включая подложку, а также распределенных емкостей, свойственных различным $p - n$ -переходам, то эквивалентная схема усложнится (рис. 2.14, б).

Если сумма коэффициентов усиления транзисторов $T1$ и $T2$ больше единицы ($\alpha_1 + \alpha_2 \geq 1$), то схема оказывается в неустойчивом состоянии, что нежелательно. Поэтому его частично или полностью устраняют, уменьшая коэффициент усиления транзистора $T2$ или подбирая соответствующее смещение.

Для снижения токов утечки и емкости изолирующего перехода к подложке схемы с помощью специального контакта подключают напряжение, смещающее изолирующий переход в обратном направлении. Если в схеме используют только положительное напряжение, то подложку p -типа присоединяют к корпусу.

Активному режиму работы основного транзистора соответствует режим отсечки паразитного, так как при этом эмиттерный и коллекторный переходы последнего смещены в обратном направлении. В этом режиме влияние паразитного транзистора на характеристики основного несущественно.

Когда основной транзистор находится в режиме насыщения, эмиттерный переход паразитного транзистора смещается в прямом направлении, и он работает в активном режиме. При этом через изолирующий переход в подложку может протекать значительный ток неосновных носителей, инжектированных из базы основного транзистора в его коллектор. Таким образом, в режиме насыщения паразитный транзистор может оказывать существенное влияние на характеристики основного транзистора.

Транзисторы $p-n-p$ получают с использованием как вертикальной, так и горизонтальной инжекции. Транзистор с вертикальной инжекцией изготавливается путем дополнительной диффузии для получения p^+ -области. Получается пять слоев (рис. 2.15, а). Кроме того, n^+ -слой для базы не годится, нужен n -тип, т. е. требуется еще одна дополнительная диффузия. Дополнительные операции усложняют технологический процесс, хотя характеристики транзистора получаются удовлетворительные ($h_{21a} = 20 - 40$).

Транзистор $p-n-p$ с вертикальной инжекцией может быть получен на той же структуре, что и $n-p-n$, но с использованием p -подложки. Эмиттером является область базы, а роль базы выполняет коллекторная n -область (рис. 2.15, б). Усиление такого транзистора сравнительно низкое ($h_{21a} \leq 4$).

Транзисторы $p-n-p$ с боковой (горизонтальной)

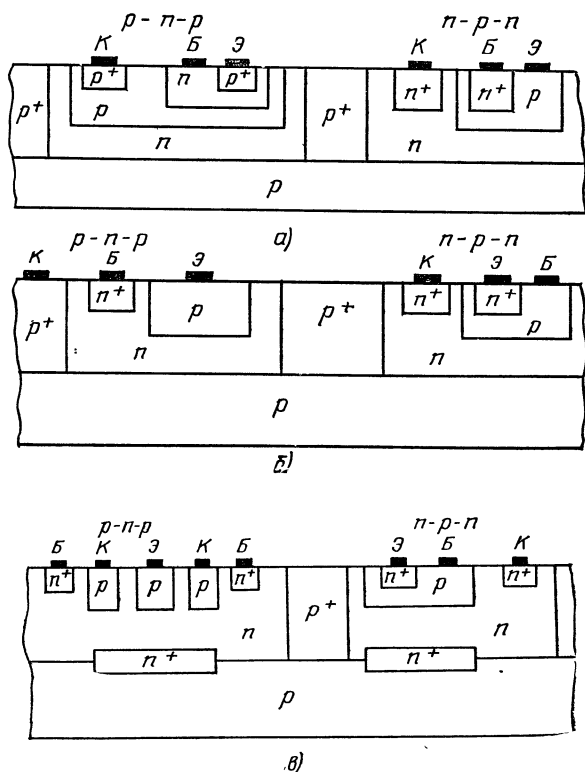


Рис. 2.15. Транзисторы с разными типами проводимости

инжекцией изготавливаются в едином технологическом цикле одновременно с $n-p-n$ транзисторами (рис. 2.15, в). Из-за широкой базы и высокого сопротивления эмиттерного слоя усиления транзистора недостаточно. Целесообразно конфигурацию коллектора выполнять замкнутой. Поскольку диффузия идет одинаково по бокам и в глубину, 50% тока эмиттера уходит в подложку, так как к ней подключено отрицательное напряжение ($-E$).

При образовании n^+ -слоя в транзисторе в области коллектора появляется электрическое поле (рис. 2.16), под действием которого дырки отталкиваются от подложки. В результате повышается эффективность эмиттера, а следовательно, и усиление (h_{21}). Максимально до-

пустимый ток коллектора ($I_{K\max}$) сравнительно мал, так как удельные сопротивления эмиттерного и коллекторного слоев высоки. Остаточное напряжение U_{KH} в режиме насыщения также высоко, что ограничивает использование транзисторов в цифровых схемах. Однако весьма эффективно его применение в паре с $n-p-n$ -транзистором в усилительных и генераторных схемах.

Разрабатывая полупроводниковую микросхему, необходимо учитывать следующее: транзисторы в составе микросхемы значительно дешевле дискретных приборов, поэтому появляется возможность проектировать схемы на 5—10 транзисторах вместо 2—3 в обычной схеме такой же стоимости; взаимное согласование транзисторов в полупроводниковой микросхеме упрощается, так как они располагаются на расстоянии сотых долей миллиметра друг от друга, в результате чего улучшается воспроизводимость электрических и тепловых характеристик.

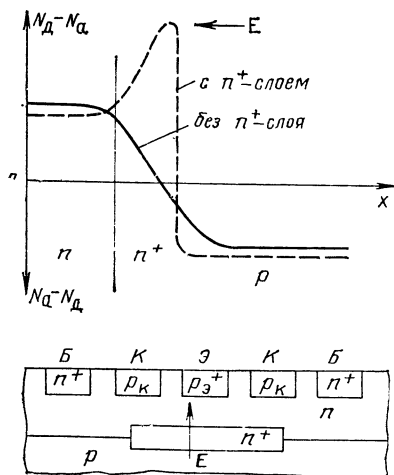


Рис. 2.16. Образование электрического поля в области скрытого p^+ -слоя

2.4. Диоды

В полупроводниковых микросхемах широкое применение находят диоды, выполняющие логические и ряд вспомогательных функций, например форсирование включения и выключения, фиксацию уровня напряжения, задание смещения и т. д.

При разработке микросхемы желательно применять диоды, эквивалентные переходам эмиттер — база или коллектор — база транзисторной структуры. В этом случае диоды изготавливаются в едином технологическом

Таблица 2.1

Параметры	Рис. 2.17, а	Рис. 2.17, б	Рис. 2.17, в	Рис. 2.17, г	Рис. 2.17, д
	$U_{KB}=0$	$U_{KB}=0$	$U_{B3}=0$	$I_K=0$	$I_3=0$
Пробивное напряжение, В	7	7	45	7	45
Емкость, пФ	3,52	4,0	3,26	1,9	3,26
Время восстановления, нс	9	100	53	56	85
Прямое напряжение, В	0,85	0,92	0,94	0,96	0,95

цикле с остальными элементами. На рис. 2.17 показаны пять возможных вариантов диодных соединений транзисторной структуры с диэлектрической изоляцией.

Основные параметры всех пяти вариантов включения транзисторных структур в качестве диода приведены в табл. 2.1. Наиболее пригодной схемой включения транзистора для использования в качестве быстродействующего диода в цифровых микросхемах является способ показанный на рис. 2.17, а. В этом случае мы имеем

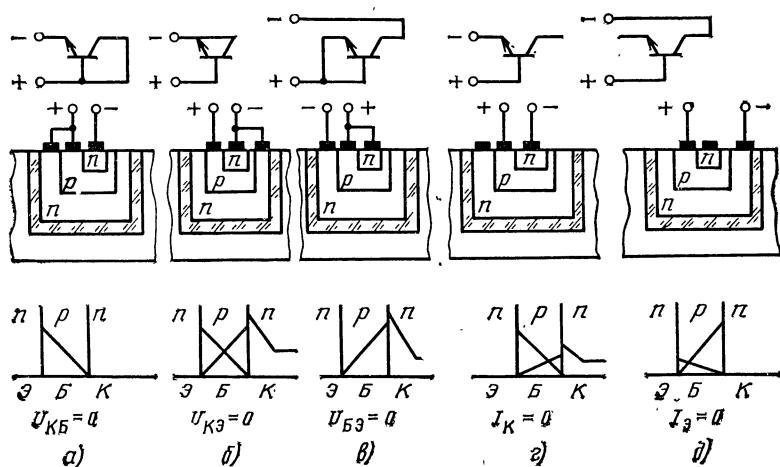


Рис. 2.17. Диодные соединения транзисторной структуры с диэлектрической изоляцией

самое низкое прямое напряжение, малое время накопления заряда и достаточное для импульсных схем предельное напряжение.

Схема, приведенная на рис. 2.17, *г*, также используется в переключающих цепях.

Рассмотрим диодное переключение транзистора, изолированного p — n -переходом. Если подложка подключена к самому низкому потенциалу, то переход коллектор — подложка всегда будет заперт и в этом случае, как и в предыдущем, имеются пять способов диодного включения транзистора (рис. 2.18). Особенностью такого диода является наличие третьего электрода — подложки, в цепи которого могут течь значительные токи.

Пробивное напряжение изолирующего перехода составляет примерно 70 В. Поэтому предельное напряжение диодов с изолирующим переходом ограничивается либо пробивным напряжением эмиттерного перехода, либо пробивным напряжением коллекторного перехода, т. е. как в диодах с диэлектрической изоляцией. Предельное напряжение диодов, полученных соединением по схемам рис. 2.18, *а*, *в*, *г*, ограничивается пробивным напряжением эмиттерного перехода, а при соеди-

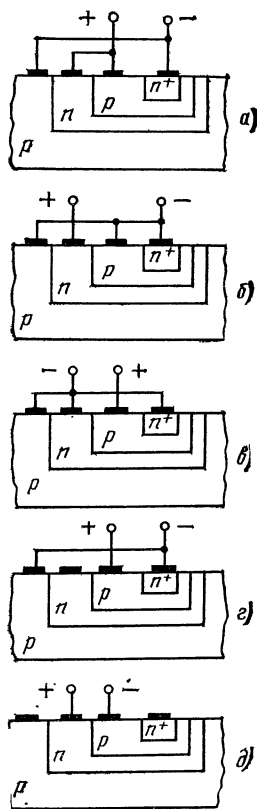


Рис. 2.18. Диодное соединение транзисторной структуры, изолированной p — n -переходом

нению по схеме рис. 2.18, *б* и *д* — пробивным напряжением коллекторного перехода.

В диодах с изолирующим переходом помимо обратных токов эмиттерного и коллекторного переходов при соединениях структуры, в которых используется вывод коллектора, течет обратный ток изолирующего перехода. Поскольку площадь и ширина этого перехода максимальны, то обратный ток наибольший. Наибольшее зна-

Таблица 2.2

Емкос.ь	Рис. 2.18, а	Рис. 2.18, б	Рис. 2.18, в	Рис. 2.18, г	Рис. 2.18, д
C_d	$C_{эб}$	$C_{кб}$	$C_{кб} + C_{эб}$	$C_{эб}$	$C_{кб}$
$C_{дп}$	$C_{кб}$	$C_{кп}$	$C_{кп}$	$\frac{C_{кп} C_{кп}}{C_{кп} + C_{кб}}$	$C_{кп}$

чение токов утечки наблюдается в схемах включения, показанных на рис. 2.18, в—д. Для схемы рис. 2.18, а ток подложки значительно меньше тока, втекающего в «диод». При включении по схеме рис. 2.18, б значительная часть входного тока ответвляется в подложку. Аналогично можно пояснить и остальные схемы включения.

В диодах с изолирующим переходом помимо проходной емкости C_d , шунтирующей переход диода, следует учитывать паразитную емкость диода на подложку $C_{дп}$. Для разных схем включения диодов значения этих емкостей приведены в табл. 2.2.

Наибольший заряд неосновных носителей накапливается в диоде при включении по схемам рис. 2.18, в—д. Поэтому у этих схем наибольшее время восстановления обратного сопротивления, коэффициенты утечки в подложку, а следовательно, и заряды избыточных носителей.

Наименьшее время восстановления имеют диоды, полученные в результате соединения по схеме рис. 2.18, а. Эта схема включения чаще всего и применяется в логических схемах.

Время диодного накопления зависит от времени жизни неосновных носителей в области инжекции:

$$t_{\text{восст}} \simeq 0,9 \tau \text{ для ступенчатого перехода,}$$

$$t_{\text{восст}} \simeq 0,5 \tau \text{ для плавного перехода.}$$

Известно, что в транзисторной структуре время жизни неосновных носителей составляет приблизительно 1 мкс. Для снижения времени накопления применяется диффузия золота, при этом время жизни неосновных носителей снижается примерно до 10 нс. Однако диффузия золота снижает коэффициент усиления и транзисторы могут иметь большую задержку включения.

В ряде случаев используется метод шунтирования перехода коллектор — база диодом с $p-n$ -переходом, но в этом случае некоторый избыточный заряд накапливается в самом диоде.

В результате поисков других путей уменьшения времени рассасывания избыточного заряда в транзисторах для изготовления коллектора и диода, шунтирующего переход коллектор — база, были использованы диоды с барьером Шотки, в которых отсутствуют инжекция и накопление зарядов (рис. 2.19). Структура транзистора, в котором диод с барьером Шотки шунтирует переход коллектор — база, показана на рис. 2.20.

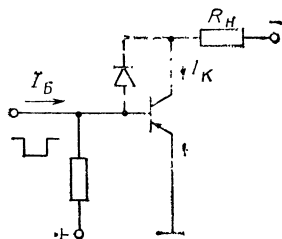


Рис. 2.19. Схема транзисторного ключа с диодом Шотки

Металлический электрод контакта металл — полупроводник n -типа подсоединяют к металлическому контакту базы, а полупроводник n -типа является коллекторной областью транзистора. Если диод Шотки выбран так, что падение напряжения на диоде меньше, чем на переходе коллектор — база открытого транзистора, то большая часть базового тока будет протекать через диод. При этом коллекторный переход не смещается в прямом направлении, избыточный заряд очень мал, а время рассасывания заряда значительно уменьшается по сравнению со временем рассасывания заряда в транзисторе без диода с барьером Шотки.

При изготовлении биполярного транзистора для формирования диода Шотки металл наносят в окно в ди-

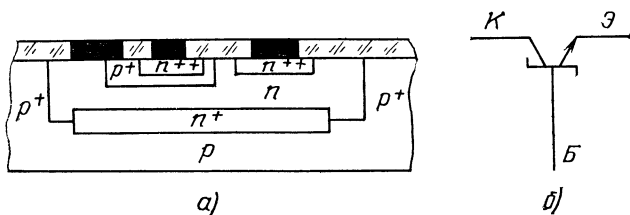


Рис. 2.20. Структура транзистора с диодом Шотки, включенным параллельно переходу коллектор — база (а), и его обозначение (б)

электрике для базового контакта. Размеры окна больше размеров области базы, и под ним находится коллекторная область. Полученный металлический электрод является одновременно омическим контактом к базе и выпрямляющим к коллекторной области. Для уменьшения краевых утечек в изготовленном по такой технологии контакте может применяться, например, металлическая планка, образующая барьер Шотки с полупроводником n -типа. Она наносится на диэлектрик по краям контакта.

2.5. Резисторы

Резисторы полупроводниковых микросхем могут быть получены несколькими способами. В качестве резистора могут быть использованы отдельные участки объема полупроводника (объемные резисторы), p — n -переход в прямом или обратном направлении и, наконец, транзисторные структуры.

В микросхемах чаще всего применяются резисторы, представляющие тонкий слой полупроводника, образованный при диффузии и изолированный от остальной части кристалла. Такие резисторы получили название диффузионных. Диффузионные резисторы являются линейными и хорошо согласуются с законом Ома в рабочем интервале напряжений. Существование градиента концентрации примеси в диффузионных слоях приводит к тому, что более высокую проводимость имеют сильнолегированные слои кремния, прилегающие к поверхности. Поэтому сопротивление диффузионной области может быть заменено поверхностным сопротивлением материала (R_s , Ом/□) и отношением длины l к ширине b диффузионного слоя резистора. Следовательно, сопротивление диффузионного резистора может быть рассчитано по формуле

$$R_d = \rho l / bd = \rho_s l / b, \quad (2.1)$$

где l и b — соответственно длина и ширина диффузионного слоя резистора, см; ρ — удельное сопротивление; ρ_s — удельное поверхностное сопротивление диффузионного слоя, ρ_s [Ом·см] = $\bar{\rho}/d$, где $\bar{\rho}$ — среднее удельное сопротивление диффузионного слоя, Ом·см; d — глубина залегания диффузионного слоя, см.

Таким образом, для требуемых в интегральной схеме R_d , l и b по формуле (2.1) рассчитывается ρ_s , а следовательно, и режим диффузии.

Если диффузионный резистор легирован донорной примесью N_d , то его удельное сопротивление

$$\rho = 1/qN_d\mu_n. \quad (2.2)$$

После подстановки (2.2) в (2.1) получим сопротивление резистора

$$R_d = l/q\mu_n N_d bd, \quad (2.3)$$

а для резистора, легированного акцепторной примесью,

$$R_d = l/q\mu_p N_a bd, \quad (2.4)$$

где q — заряд электрона; N_d и N_a — концентрации донорной и акцепторной примесей соответственно; μ_n и μ_p — подвижности электронов и дырок соответственно.

Основными параметрами диффузионного резистора являются: поверхностное сопротивление R_s , номинальное сопротивление резистора R , температурный коэффициент сопротивления резистора ТКР, максимально допустимая мощность P_{\max} , максимально допустимый ток I_{\max} , максимально допустимое напряжение U_{\max} .

Диффузионные резисторы, как правило, изготавливаются одновременно на одном из этапов создания транзистора. Резисторы с малым удельным сопротивлением создаются во время диффузии эмиттера, со средним удельным сопротивлением — во время диффузии для создания базы. Кроме того, резисторы могут быть изготовлены в области коллектора или материале подложки, когда требуются высокие номиналы сопротивлений. Удельное сопротивление коллекторного слоя близко к 1 Ом·см, базового слоя — к 0,1 Ом·см, а эмиттерного — еще меньше.

Диффузионные резисторы должны обладать возможно меньшими размерами, поэтому для их изготовления следует использовать высокоомные слои с малым поперечным сечением в виде узких зигзагообразных полосок (рис. 2.21). Концы полосок переходят в контактные площадки. Омические кон-

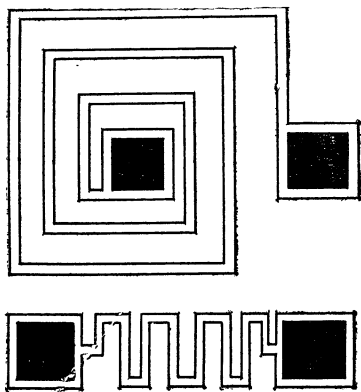


Рис. 2.21. Геометрия диффузионных резисторов

такты создаются на высоколегированных областях n^+ -типа. На сопротивление интегрального резистора оказывают влияние изгибы и отводы. На рис. 2.22 приводятся полученные эмпирически коэффициенты коррекции (значения в скобках), которые позволяют свести ошибки при расчете до минимума.

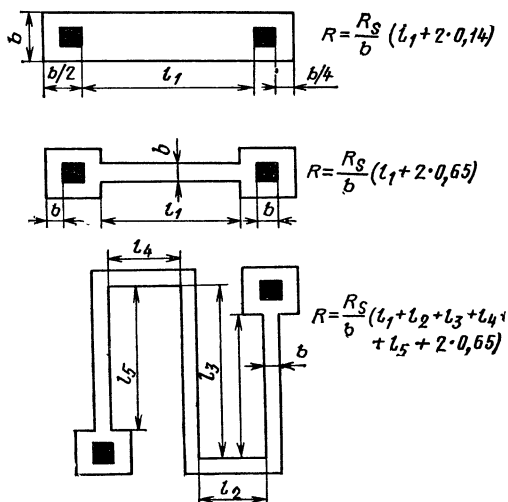


Рис. 2.22. Расчетные соотношения сопротивления диффузионных резисторов

Наиболее распространено для изготовления резисторов использование цикла диффузии при создании базы. На рис. 2.23 показаны разрез, геометрия и эквивалентная схема типичного резистора с сопротивлением 4 кОм, полученного в процессе диффузионного цикла образования базы. Слой n -типа используется для изоляции, а слой p -типа глубиной приблизительно 3 мкм определяет величину сопротивления. Удельное сопротивление слоя $\rho_s = 200 \text{ Ом}/\square$. Температурный коэффициент $\text{TKR} = 0,2 \div 0,3 \text{ \%}/^\circ\text{C}$.

На эквивалентной схеме (рис. 2.23, в) показаны «распределенный» транзистор и «распределенная» емкость, а также диффузионное сопротивление $R_1 + R_2$ p -области и сопротивление R_3 n -области, изолирующей диффузионный резистор от подложки.

Любая утечка тока между подложкой и n -слоем может быть умножена на величину $h_{21э}$ и будет действовать как шунтирующая утечка между резистором и подложкой:

$$I_{\text{Бпо}} = I_{\text{Кпо}} / (1 - \alpha_{p-n-p}).$$

Для уменьшения этого тока на n -область подают максимальное положительное напряжение. В этом слу-

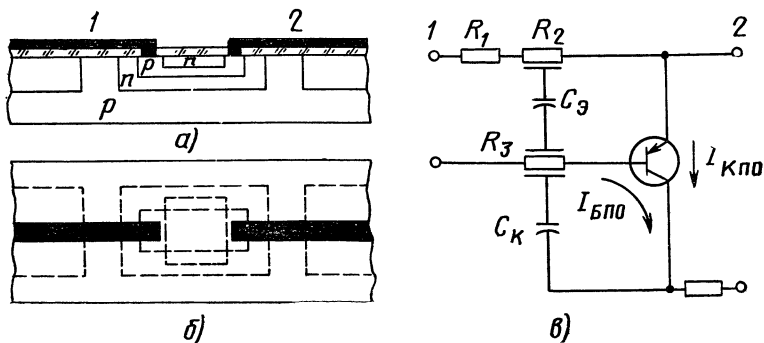


Рис. 2.23. Диффузионный резистор на основе базовой области:

a — структура; $б$ — геометрия; $в$ — эквивалентная схема

чае ток утечки будет складываться из токов утечки двух переходов:

$$I_{\text{Бпо}} = I_{\text{Бко}} + I_{\text{Кпо}}.$$

Как видно из эквивалентной схемы, с увеличением частоты сопротивление резистора падает вследствие шунтирующего действия распределенной емкости. На рис. 2.24 приведена частотная характеристика резистора. Из рисунка видно, что влияние распределенной емкости начинает сказываться на частотах выше 1 мГц. Резистор можно использовать до частоты 10 мГц. Однако в схемах, где нет связи через подложку, эф-

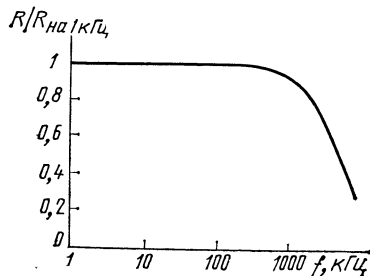


Рис. 2.24. Частотная характеристика диффузионного резистора

фект паразитной емкости значительно меньше и частотный диапазон значительно шире.

На рис. 2.25 приведены структуры и эквивалентная схема резистора на коллекторном слое интегрального транзистора. Удельное сопротивление коллекторного слоя $\rho_k = 0,1-1 \text{ Ом} \cdot \text{см}$. В зависимости от толщины эпи-

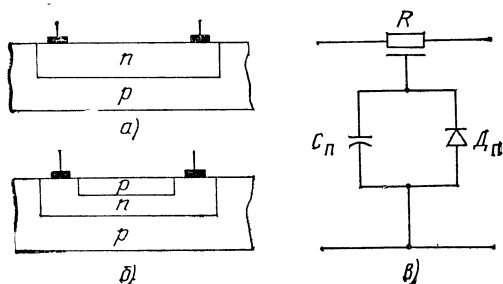


Рис. 2.25. Диффузионный резистор на основе коллекторной области

таксиальной пленки можно получить широкий диапазон значений поверхностных сопротивлений. Удельное сопротивление может быть значительно увеличено, если ввести базовую область, как показано на рис. 2.25, б.

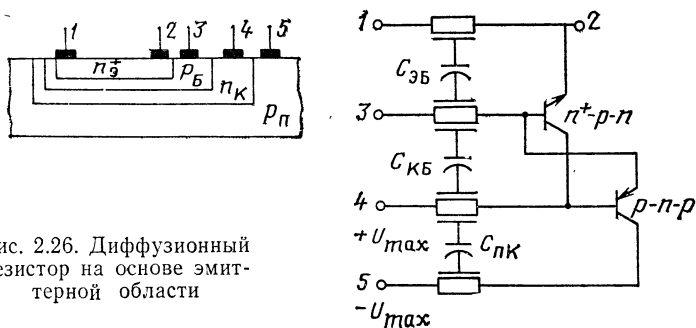


Рис. 2.26. Диффузионный резистор на основе эмиттерной области

На рис. 2.26 показаны структура и эквивалентная схема резистора на эмиттерном слое (n^+). Чтобы свести к минимуму утечки на подложку, необходимо паразитные транзисторы n^+-p-n и $p-n-p$ запереть. Для этого на базу n^+-p-n -транзистора (вывод 3) необходимо подать максимальный отрицательный потенциал, а на базу $p-n-p$ -транзистора (вывод 4) — максимальный положительный потенциал. При этом и на подложку должен быть подан максимальный отрицательный

потенциал схемы. Резистор на основе эмиттерного слоя применяется для получения малых значений номиналов резисторов (10—100 Ом).

Таким образом, все диффузионные резисторы изготавливаются на диффузионных слоях $n^+—p—n—p$ -структуры в едином технологическом процессе. Следовательно, регулировать сопротивление резистора можно, только изменяя его геометрические размеры.

Диффузионные резисторы имеют относительно большой температурный коэффициент сопротивления, обусловленный зависимостью от температуры подвижности дырок и электронов. Подвижность носителей обычно уменьшается с повышением температуры. Температурные изменения подвижности дырок уменьшаются с повышением концентрации. Сопротивление резистора обратно пропорционально подвижности дырок. Следовательно, диффузионные резисторы на p -слое имеют положительный температурный коэффициент, зависящий от концентрации примеси, а на n -слое — отрицательный.

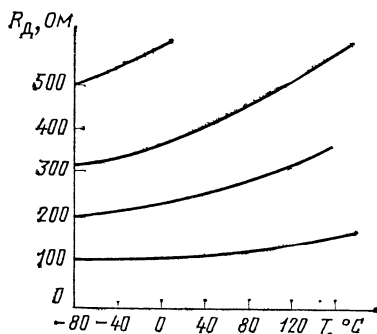


Рис. 2.27. Зависимость сопротивления диффузионных резисторов от температуры

Зависимости сопротивления резисторов от температуры показаны на рис. 2.27. Для резистора, выполненного из материала с малым удельным сопротивлением, температурная зависимость менее резкая. Для положительных температур (выше 25°C) ТКР составляет около 0,2 % на 1°C и несколько уменьшается при низких температурах. Очевидно, что самый низкий ТКР имеет эмиттерный слой, а самый высокий — коллекторный. Можно получить резисторы с очень малым ТКР, составленные из разных слоев (рис. 2.28). Например, для последовательного соединения слоев p и n^+ (рис. 2.28, а)

$$R = R_1 + R_2;$$

$$\text{TKR} = \frac{\Delta R}{R \Delta T} = \frac{1}{R} \left(\frac{\partial R_1}{\partial T} + \frac{\partial R_2}{\partial T} \right).$$

Можно подобрать участок с отрицательным температурным коэффициентом сопротивления

$$\text{TKR}_1 = -\frac{1}{R} \frac{\partial R_1}{\partial T}; \quad \text{TKR}_2 = \frac{1}{R_2} \frac{\partial R_2}{\partial T},$$

т.е. в определенном диапазоне температур ТКР близко к нулю.

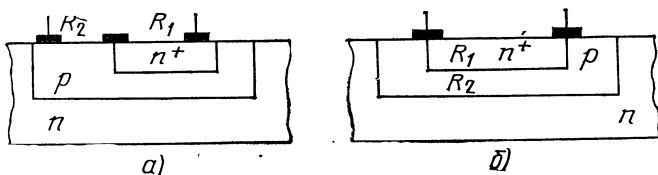


Рис. 2.28. Последовательное (а) и параллельное (б) включение диффузионных слоев резисторов с низким ТКР

Можно подобрать комбинацию параллельно включенных слоев n^+ и p (рис. 2.28, б), для которой

$$R = R_1 R_2 / (R_1 + R_2);$$

$$\text{TKR} = \frac{\Delta R}{R \Delta T} = \frac{R_2}{R_1 (R_1 + R_2)} \frac{\partial R_1}{\partial T} + \frac{R_1}{R_2 (R_1 + R_2)} \frac{\partial R_2}{\partial T}.$$

При определенной температуре здесь также можно добиться, чтобы суммарный температурный коэффициент равнялся нулю.

Для диффузионных резисторов характерна нелинейность сопротивления, обусловленная расширением p — n -перехода с увеличением напряжения и, следовательно, уменьшением сечения слоя и увеличением номинала.

Максимальное напряжение резистора ограничено обратным напряжением пробоя p — n -перехода, значение которого зависит только от концентрации примесей в материале.

Мощность рассеяния резистора ограничена главным образом его максимальной температурой. Максимальная температура резистора ограничивается требуемой стабильностью его номинала, изменением ТКР, максимальной температурой других резисторов. В микросхемах наиболее сильно нагреваются резисторы. С учетом перегрева и рассчитывается оптимальная площадь резистора:

Таблица 2.3

Слой	R_s , Ом/□	Разброс сопротивлений, %	TKR, %/°C	Распределенная паразитная емкость, Φ /мм ²	Толщина слоев, мкм
Слой базы	200—300	$\pm(10-20)$	$\pm(2-3) \cdot 10^{-1}$	150—130	2,5—3,5
Слой базы, ограниченный эмиттерным переходом	10^3-10^4	± 100	$\pm(3-15) \cdot 10^{-1}$	1000—1500	0,5—1,0
Слой коллектора	10^3-10^4	$\pm 15-25$	$\pm(3-5) \cdot 10^{-1}$	80—100	10—20
Слой эмиттера	2—3	± 20	$\pm(1-5) \cdot 10^{-2}$	1000—1500	1,5—2,5

если площадь мала, то это приводит к увеличению теплового сопротивления резистора и может привести к пробою.

В табл. 2.3 даны типовые значения параметров диффузионных резисторов.

В качестве резистора можно также использовать p — n -переход, смещенный как в прямом, так и в обратном направлении. Переход, смещенный в прямом направлении, используют на малых токах, т. е. используют линейный участок вольт-амперной характеристики. Сопротивление p — n -перехода, включенного в обратном направлении, может достигать значения 10^7 Ом. Недостаток такого резистора — сильная температурная зависимость.

2.6. Конденсаторы

В качестве конденсатора в интегральной схеме могут быть использованы барьерная емкость p — n -перехода, диффузионная емкость и емкость, полученная путем создания на поверхности полупроводника изоляционного слоя и нанесения на него слоя металла (МДП-структура). Однако в большинстве случаев применяется барьерная емкость.

Основными параметрами конденсатора являются: номинальная емкость C , удельная емкость $C_{уд}$, максимально допустимое напряжение U_{max} ; температурный коэффициент емкости ТКЕ, параметры паразитных элементов (емкости и сопротивления, включенного последовательно с полезной емкостью).

Емкость конденсатора, образованного p — n -переходом, зависит от площади перехода и ширины запорного слоя, а следовательно, от степени легирования и градиента концентрации примесей. Кроме того, барьерная емкость p — n -перехода зависит от приложенного напряжения. В большинстве случаев для создания конденсаторов не требуется дополнительных технологических операций, поскольку используются те же переходы, что и в транзисторной структуре.

Поэтому диапазон значений удельной емкости ограничен, так как концентрация примесей материала и градиент диффузии определяются свойствами коллекторной, базовой и эмиттерной областей транзисторов, расположенных вместе с конденсатором на общей подложке, т. е. в распоряжении разработчика имеются три удельные емкости для трех переходов: эмиттер — база

(ЭБ), база — коллектор (БК), коллектор — подложка (КП) (рис. 2.29). Поскольку эти три емкости для транзисторных профилей малы, то повышения емкости добиваются, увеличивая площадь переходов.

Конденсаторы на основе перехода эмиттер — база (рис. 2.29, а) обладают наибольшей удельной емкостью,

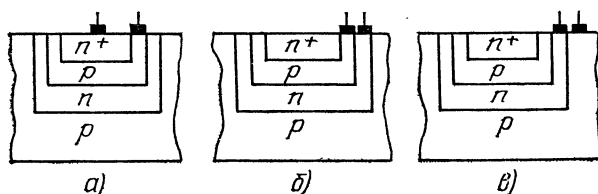


Рис. 2.29. Конденсаторы на основе переходов эмиттер—база (а), база — коллектор (б), коллектор — подложка (в)

но наименьшим пробивным напряжением. Недостатком конденсаторов является высокое последовательное сопротивление (тонкий слой базы). На рис. 2.30 показана эквивалентная схема конденсатора на основе перехода

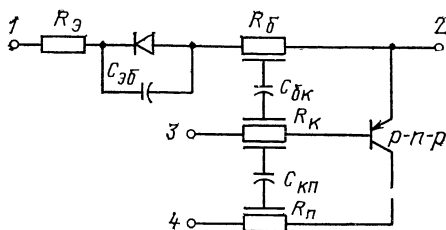


Рис. 2.30. Эквивалентная схема конденсатора на основе перехода эмиттер — база

эмиттер — база. Чтобы избавиться от действия паразитного транзистора $p-n-p$, на вывод 4 подается максимальное отрицательное, а на вывод 3 — максимальное положительное напряжение схемы. Конденсатор имеет паразитную емкость с подложкой.

Переход коллектор — база имеет низкую удельную емкость, но высокое пробивное напряжение. На рис. 2.29, б показано поперечное сечение конденсатора, обра-

зованного одновременно с переходом коллектор — база транзистора. Для этой структуры является проблемой изоляция конденсатора от других элементов, расположенных на той же подложке и имеющих $p-n$ -переходы. Емкость конденсатора на основе барьерной емкости определяется тем же выражением, что и емкость плоского конденсатора:

$$\dot{C} = \varepsilon \varepsilon_0 S_{p-n} / d_{p-n},$$

где $\varepsilon_0 = 8,85 \cdot 10^{-14}$ Ф/см — диэлектрическая проницаемость свободного пространства; ε — диэлектрическая проницаемость кремния; S_{p-n} — площадь и d_{p-n} — ширина $p-n$ -перехода.

Эмиттерный и коллекторный переходы являются несимметричными, и, следовательно, для них ширина запорного слоя

$$d_{p-n} = [2\varepsilon \varepsilon_0 (U_K - U)/eN]^{1/2},$$

где U_K — высота потенциального барьера; U — приложенное напряжение; N — концентрация примеси более высокоомного слоя (для эмиттерного перехода это базовый слой, для коллекторного — изоляционный слой).

Вертикальные стенки несколько увеличивают общую площадь перехода, особенно когда глубина диффузии достаточно большая. В этом случае при расчете общей емкости следует учитывать высоту вертикальных стенок $p-n$ -перехода.

В табл. 2.4 приведены значения удельной емкости и пробивного напряжения для трех переходов типовой транзисторной структуры.

Т а б л и ц а 2.4

Переходы	$C_{уд}, \frac{\text{пФ}}{\text{мм}^2}$	$U_{проб}, \text{В}$
ЭБ	1600	7
БК	160	45
КП	60	70

При проектировании конденсаторов необходимо обеспечивать возможно большую удельную емкость. Это позволит создавать конденсаторы с большими номинальными значениями или при низких номиналах экономить площадь, занимаемую конденсатором.

На рис. 2.31 показаны возможные способы соединения эмиттерного и коллекторного переходов в транзисторной структуре для увеличения емкости, получаемой на данной площади. Соединяя металлической дорожкой контакты эмиттерной и коллекторной областей, переходы включают параллельно (рис. 2.31, а). В резуль-

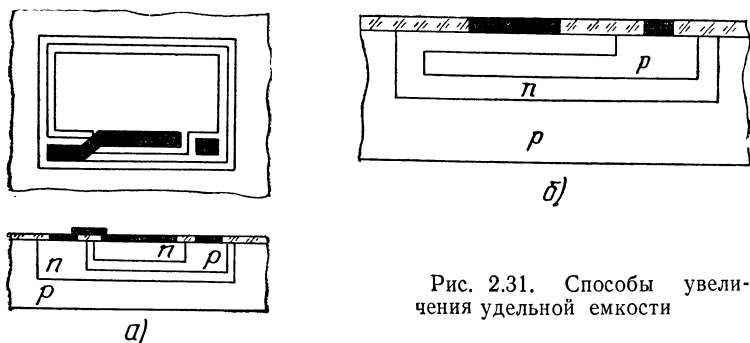


Рис. 2.31. Способы увеличения удельной емкости

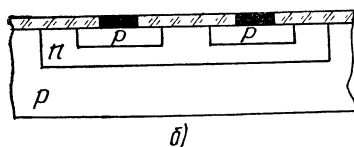
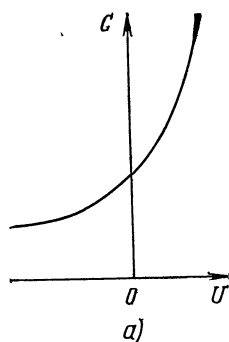


Рис. 2.32. Зависимость емкости конденсатора от напряжения (а); структура конденсатора, емкость которого не зависит от полярности напряжения (б)

тате область p -типа (база) представляет один электрод, а область эмиттера и коллектора — другой. При такой конфигурации эффективная площадь перехода увеличивается, а следовательно, увеличивается и полная емкость. Аналогичный результат можно получить, соединяя эмиттерную и коллекторную области с помощью диффузионной перемычки (рис. 2.31, б). Емкость изолирующего перехода $C_{\text{п}}$ в этом случае составляет примерно 10% от полной емкости C .

Емкость p - n -перехода имеет нелинейную зависимость от приложенного напряжения (рис. 2.32, а).

Уменьшить зависимость емкости от напряжения, а также исключить влияние полярности можно за счет встречного включения двух переходов (рис. 2.32, б). Однако при этом емкость, получаемая на данной площади, уменьшается в два раза.

Конденсаторы на p — n -переходе имеют ряд недостатков. С увеличением обратного напряжения емкость уменьшается. Такие конденсаторы могут работать лишь при одной полярности приложенного к ним напряжения. Подача напряжения другой полярности приводит к короткому замыканию двух электродов. Конденсаторы интегральных схем имеют сравнительно небольшую удельную емкость (не более 4000 пФ/мм²) и занимают площадь, значительно большую, чем транзисторы. ТКЕ конденсатора на p — n -переходе обычно не превышает 10^{-3} 1/°С.

2.7. Проводящие соединения и контактные площадки

Соединения элементов в полупроводниковой микросхеме осуществляются несколькими способами: нанесением токопроводящих металлических дорожек, изолированных от подложки слоем диэлектрика; с помощью высоколегированных диффузионных каналов в объеме полупроводника; с помощью проводочных соединений. Нанесение тонкопленочных проводников выполняется несколькими способами: химическое и электрическое осаждение, вакуумное напыление, катодное распыление и др. Однако наиболее широкое применение получил метод вакуумного напыления через отверстия в слое фоторезиста или через окна в маске с последующей фотолитографической обработкой для удаления лишней металлизации. При создании соединительных элементов с помощью фотолитографии проводящий материал наносят химическим и электролитическим осаждением.

Тонкопленочные проводники должны иметь хорошую адгезию с подложкой из Si и SiO₂, омический контакт с материалами p - и n -типов, низкое удельное сопротивление, низкий коэффициент диффузии в SiO₂. Наиболее часто применяются пленки Au, Ag, Al, Cu. Толщина их обычно составляет от 0,1 до 1 мкм.

Наличие тонкопленочных проводников на поверхности пластины, покрытой слоем двуокиси кремния, приводит к появлению распределенной емкости между меж-

соединениями и пластиной и паразитного последовательного сопротивления межсоединений.

Чтобы уменьшить ненужные падения напряжений, сопротивления межсоединений необходимо снижать до

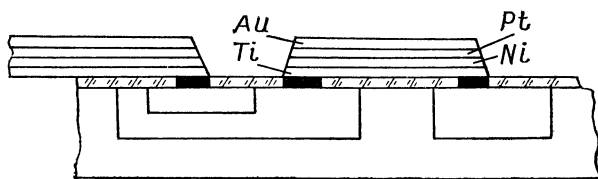


Рис. 2.33. Балочные межсоединения

минимума. Длину входных, выходных и питающих проводников следует по возможности уменьшать. Для улучшения характеристик микросхем эти паразитные элементы следует уменьшать до минимума. Это достигается уменьшением площади полосковых межсоединений и контактных площадок. Например, при толщине окисного слоя 1 мкм удельная паразитная емкость составляет 32 пФ/мм².

Наименьшим распределенным сопротив-

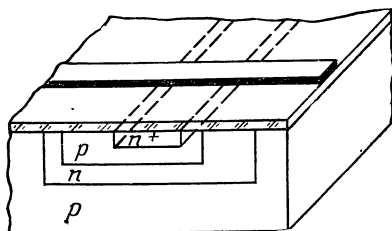
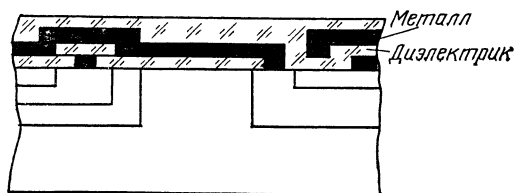


Рис. 2.34. Использование n^+ -слоя в качестве перемычек при взаимных пересечениях проводников

Рис. 2.35. Много-
слойные проводя-
щие соединения



лением обладают алюминиевые пленки. Так, например, алюминиевая пленка толщиной 1 мкм имеет поверхностное сопротивление 0,03 Ом/□. Сопротивление полоски из такой пленки шириной 0,025 мм и длиной 1,25 мм

равно 1,5 Ом. Если через такую полосу протекает ток 100 мА, падение напряжения на нем составляет 150 мВ.

Межсоединения в ИС можно осуществить с помощью балочных соединений (рис. 2.33). В окна окисной пленки напыляются последовательно какой-либо из благородных металлов (Pt, Au), затем титан или хром и вновь благородный металл. После этого на определенные участки пластины электролитически осаждаются полосы золота толщиной 12 мкм, которые в дальнейшем используются в качестве выводов.

Для случая взаимных пересечений проводников применяют перемишки, образованные методом диффузии. На рис. 2.34 показано пересечение металлической пленки и диффузионного проводника n^+ -типа. Если диффузионные перемишки короткие, то они имеют малое сопротивление и изолированы от подложки переходами, смещенными в обратном направлении.

Другой метод состоит в образовании перемишек в виде многослойных металлических пленок, чередующихся с диэлектрическими (рис. 2.35). Метод более сложен, но позволяет увеличить плотность монтажа микросхем. Кроме того, в этом случае получается более низкое сопротивление соединений. Такие межсоединения выполняются из алюминия, а в качестве диэлектрика служит структура из слоев двуокиси кремния и нитрида кремния.

Двуокись кремния обычно используется в качестве диэлектрика для отделения однослойного рисунка межсоединений от кремниевой подложки. Ввиду того что двуокись кремния очень медленно травится, применяется трехслойная структура диэлектрика двуокись — нитрид — двуокись. Это обеспечивает хорошее сцепление слоев с кремнием и алюминием и быстрое травление отверстий для межсоединений.

2.8. Элементы микросхем на МДП-структурах

МДП-структуры могут выполнять различные функции: усиление, генерацию, преобразование электрических сигналов, элемента памяти. МДП-транзисторы могут использоваться в качестве конденсаторов и резисторов, емкость и сопротивление которых можно изменять в определенных пределах, изменяя потенциал на управляющем электроде.

Функциональные возможности МДП-структур представляют особую ценность для микроэлектроники, так как обеспечивают возможность создания сложных ИС из однородных элементов, изготавливаемых по единой технологии. Выпускаемые в настоящее время ИС на МДП-структурах превосходит ИС на биполярных транзисторах по таким параметрам, как уровень интеграции, удельная потребляемая мощность и др., но существенно уступают им по быстродействию.

МДП-транзистор. Транзистор с МДП-структурой представляет собой активный полупроводниковый прибор, принцип действия которого основан на модуляции проводимости приповерхностной области полупроводника перпендикулярным к его поверхности полем. При воздействии внешнего поля на полупроводник в зависимости от типа электропроводности, потенциала у поверхности и степени легирования полупроводника можно получить в прилежащем к поверхности объеме:

слой, обогащенный носителями заряда, или слой повышенной электропроводности;

слой, обедненный носителями заряда, или слой пониженной электропроводности;

слой, проводимость которого другого типа, чем проводимость основного объема, отделенный от основного объема слоем с собственной проводимостью.

Существуют два типа МДП-транзисторов: с каналом *n*-типа и с каналом *p*-типа. В МДП-транзисторах ток переносится основными носителями без инжекции, этим объясняется их малая чувствительность к дефектам структуры исходного материала.

Принцип действия обоих транзисторов одинаков. Рассмотрим МДП-транзистор с каналом *n*-типа (рис. 2.36). В подложке из кремния *p*-типа с удельным сопротивлением от 1 до 10 Ом·см создают две сильнолегированные области *n*-типа с поверхностной концентрацией примеси от 10^{18} до 10^{20} атом/см³. На поверхности кремния над областью, в которой создается токопроводящий канал, выращивается тонкий слой 0,08—0,2 мкм изоляционного материала, образующий диэлектрик затвора. Затем изготавливаются три электрода: исток, затвор, сток.

В зависимости от наличия или отсутствия проводящего канала при нулевом (относительно истока) напряжении на затворе различают МДП-транзисторы со встроенным или с индуцированным (под действием напряжения на затворе) каналом. К настоящему времени реа-

лизуются все четыре возможных типа МДП-транзисторов: с встроенным и индуцированным каналом как для n -, так и для p -проводимости. Однако физические свойства кремния таковы, что МДП-транзисторы с индуцированным каналом p -типа и со встроенным каналом n -типа получить значительно легче, чем два других типа. Это объясняется наличием положительных зарядов в окисле затвора, которые отталкивают от поверхности полупро-

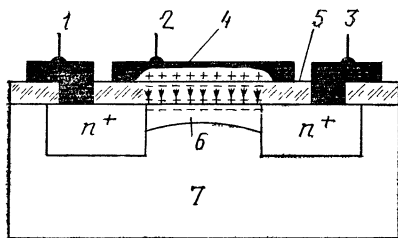


Рис. 2.36. Схематическое изображение МДП-транзистора с изолированным затвором с индуцированным каналом.

1 — исток; 2 — затвор; 3 — сток;
4 — алюминий; 5 — двуокись кремния;
6 — индуцированный канал; 7 — подложка

водника дырки и притягивают электроны, создавая проводящий n -канал в МДП-транзисторе даже при нулевом управляющем напряжении.

Транзисторы с каналом p -типа (рис. 2.37) в принципе могут работать как в режиме обогащения, так и в режиме обеднения. Структура такого транзистора ничем не отличается от транзистора с каналом n -типа, однако в этом случае подложка имеет электронную проводимость, а сток и исток представляют собой сильнолегированные области с проводимостью p -типа.

Благодаря расположенному под управляющим электродом (затвором) слою диэлектрика полевые транзисторы имеют значительно меньшие токи утечки по сравнению с биполярными транзисторами, чем обусловлено их чрезвычайно высокое входное сопротивление (около 10^{13} Ом), не зависящее от величины и полярности приложенного напряжения. Для описания МДП-транзистора используются следующие параметры: пороговое напряжение, крутизну вольт-амперной характеристики, сопротивление стока, быстродействие.

Пороговое напряжение $U_{\text{зипор}}$ определяют как напряжение, которое нужно подать на затвор для того, чтобы возник проводящий канал. Пороговое напряжение определяется толщиной окисла и концентрацией атомов примеси в подложке. В зависимости от типа транзистора пороговое напряжение может быть поло-

жительным, отрицательным или равным нулю. Так, например, для транзисторов с n -каналом в режиме обеднения пороговое напряжение отрицательно. У современных транзисторов оно составляет 2—4 В; у n -канальных транзисторов пороговое напряжение ниже, чем у p -канальных.

Пороговое напряжение зависит от технологического процесса. Получили распространение две разновидности

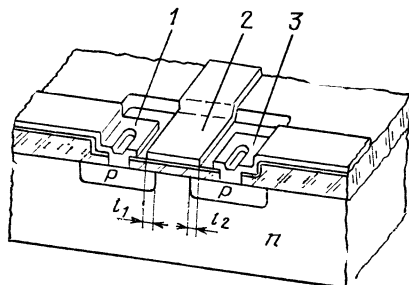


Рис. 2.37. МДП-транзистор с индуцированным p -каналом:

1 — исток; 2 — затвор; 3 — сток

p -канальной МДП-технологии — с высоким (—4 В) и с низким пороговым напряжением (—2 В).

Крутизна вольт-амперной характеристики

$$S = dI_c/dU_{зи} \text{ при } U_{си} = 0.$$

Сопротивление стока

$$R_{си} = dU_{си}/dI_c \text{ при } U_{си} < U_{нас}.$$

Значение $R_{си}$ типичного транзистора колеблется от 10 Ом до 1 МОм. Крутизна вольт-амперной характеристики изменяется с изменением как напряжения на затворе, так и отношения ширины канала к его длине. Для нормальных значений напряжения на затворе она может изменяться от 1 мкСм до многих тысяч сименсов в зависимости от геометрии конкретного прибора. Типичные значения лежат в пределах 1000—10 000 мкСм.

Поскольку токи в МДП-транзисторах переносятся только основными носителями, у них не наблюдаются такие характерные для биполярных транзисторов эффекты, как накопление и рассасывание неосновных носителей в базе, которые уменьшают скорость переключения. Поэтому собственная инерционность МДП-транзисторов чрезвычайно мала.

Однако в реальных МДП ИС ограничение по быстродействию обусловлено наличием RC -цепей, состоящих из сопротивления канала транзистора R и паразитных емкостей. Сопротивление R в первую очередь определяется длиной канала L_k и связано с пороговым напряжением $U_{\text{зипор}}$. При уменьшении $U_{\text{зипор}}$ снижается сопротивление канала, а в МДП-транзисторах с короткими каналами сокращается время пролета носителей между истоком и стоком, вследствие чего повышается быстродействие МДП ИС.

Быстродействие МДП-транзистора ограничивают зарядная и паразитная емкости. Первая связана с зарядами, запасаемыми на затворе и в канале; она шунтирует входной сигнал, снижая входное сопротивление транзистора (с увеличением частоты). Поскольку распределение зарядов на затворе и в канале изменяется при изменении напряжения, емкость также меняется с напряжением.

Как видно из рис. 2.37, между электродом затвора и диффузионными областями истока и стока имеется область перекрытия (около 4 мкм) по тонкому окислу (l_1, l_2). Во всех приборах с МДП-структурой, изготавливаемых методами планарной технологии, металл затвора должен перекрывать области истока и стока для компенсации неточностей совмещения при технологических операциях. Для затвора шириной 40 мкм емкость между затвором и каждым электродом составляет 0,04 пФ.

Другим фактором, существенно влияющим на быстродействие МДП ИС, является пороговое напряжение на затворе. Поэтому основные работы в области повышения быстродействия МДП ИС направлены в первую очередь на снижение паразитных емкостей МДП-структур, а также на уменьшение длины канала и порогового напряжения. Последнее позволяет снизить напряжение питания схемы и тем самым уменьшить потребляемую мощность.

На подложку подается напряжение, которое обеспечивает запирающие p — n -переходы сток — подложка и исток — подложка при всех используемых режимах работы и, следовательно, самоизоляцию канала. Таким образом, при правильно выбранном напряжении смещения подложки МДП-транзистор всегда изолирован от объема полупроводника, что обеспечивает изоляцию отдельных транзисторов в ИС, сформированной на одной подложке.

МДП-резистор. МДП-транзистор может быть использован также в качестве резистора. Когда $U_{зи}=0$, сопротивление канала велико. Сопротивление между выводами стока и истока в этом случае обратно пропорционально отношению ширины канала к его длине (b/L_k). Эта зависимость делает простым расчет геометрии для получения необходимого сопротивления резистора

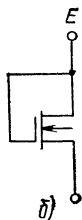
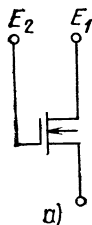


Рис. 2.38. Схемы включения полевого транзистора, используемого в качестве активного резистора

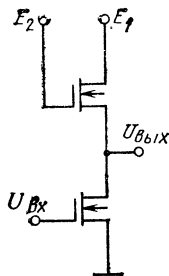


Рис. 2.39. Схема включения МДП-резистора с двумя источниками питания

ров. На рис. 2.38 приведены схемы МДП-транзистора, используемого в качестве резистора.

Транзистор может быть использован в качестве нагрузки при соединении затвора со стоком (рис. 2.38, б). Когда напряжение стока подано на такой резистор, напряжения затвора и стока равны, т. е. резистор работает в области насыщения. В этом случае максимальное выходное напряжение равно $U_{зипор}$. Минимальное выходное напряжение близко к нулю. Этого недостатка лишен линейный режим.

Резистор может работать в линейной области, если напряжение на затворе (E_2) больше (E_1), по крайней мере, на $U_{зип.р}$. Схема такого резистора показана на рис. 2.38, а. Выходное напряжение может быть близко к E_1 . Однако в этом случае появляется необходимость использования дополнительного источника питания с напряжением E_2 . Сопротивление затвора обычно больше 10^{14} Ом, так что от источника питания затвора ток не потребляется.

МДП-транзистор может быть применен в качестве резистора, сопротивление которого зависит от приложен-

ного к затвору напряжения. Схема такого резистора показана на рис. 2.39.

МДП-конденсатор. Структура МДП-конденсатора показана на рис. 2.40. Диэлектриком в таком конденсаторе является термически выращенная пленка SiO_2 . Одним из электродов является сильнолегированная область пластины, лежащая под окислом, другим — пленка напыленного металла (обычно алюминия). Высокоомный

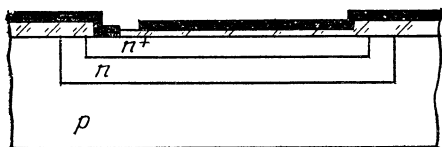


Рис. 2.40. МДП-конденсатор

n -слой используется в основном для изоляции n^+ -слоя от подложки p -типа. Основные характеристики МДП-конденсатора при толщине пленок SiO_2 0,05—0,1 мкм: $C_{уд} = 700 \div 500$ пФ/мм², $U_{проб} = 20 \div 40$ В, $ТКЕ = 10^{-2} \% / ^\circ\text{C}$.

Емкость МДП-конденсатора зависит в основном от площади и толщины окисной пленки. Так, например, при толщине окисного слоя 0,1 мкм удельная емкость составляет примерно 400 пФ/см² и пробивное напряжение свыше 50 В. Дальнейшее уменьшение толщины окисной пленки с целью увеличения удельной емкости связано с опасностью замыкания обкладок конденсатора вследствие неоднородности структуры очень тонкой пленки.

МДП-конденсаторы имеют малое последовательное сопротивление (5—10 Ом) и хорошую температурную стабильность.

2.9. Принципы изготовления МДП ИС

Технология изготовления МДП ИС по сравнению с биполярными ИС проще. Технологический цикл изготовления МДП ИС состоит из 22 основных операций, в то время как технологический цикл изготовления биполярных ИС — из 32. Трудоемкость изготовления МДП ИС на 30% ниже, чем биполярной ИС.

МДП ИС изготавливаются по планарной технологии. На рис. 2.41 приведена схема создания МДП ИС на

структурах с индуцированным каналом p -типа проводимости. Первичное окисление (1) кремния происходит при нагреве в печи в атмосфере влажного сверхчистого кислорода. Образуется пленка двуокиси кремния толщиной 1 мкм, которая используется в качестве диффузионной маски и изоляционного слоя. С помощью фотолитографии и химического травления вскрываются контактные окна в слое двуокиси кремния (2). Для изготовления перехода проводится диффузия легирующей примеси в области истока и стока (3). В связи с тем, что атмосфера диффузионной печи является окисляющей, происходит дальнейшее окисление кремния. В процессе повторной фотолитографии в окисле кремния вскрывается окно для выращивания изолирующего слоя в области затвора (4). Сверхчистый изолирующий слой выращивается в атмосфере сухого кислорода при высокой температуре (5). Контактные окна получают травлением окисла в областях стока и истока (6), при этом опять применяется фотолитография. Для создания межсоединения (7) при изготовлении затвора, а также контактов к стоку и истоку применяется алюминий.

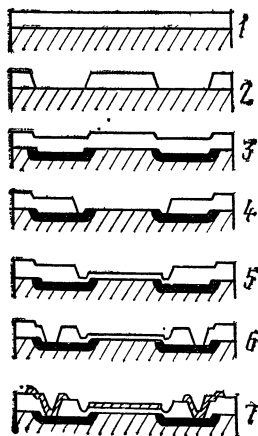


Рис. 2.41. Схема изготовления МДП ИС

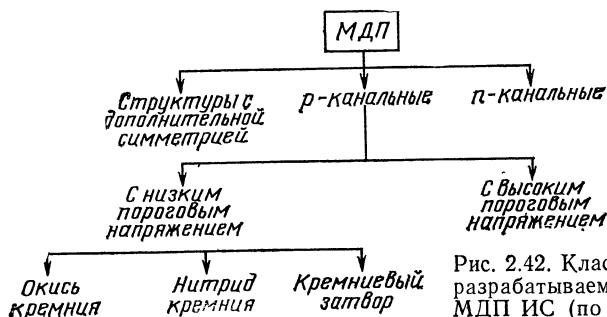
Совершенно аналогична описанной и схема технологического процесса изготовления n -канальных МДП ИС.

Основным недостатком p -канальных МДП ИС является малое быстродействие.

Классификация МДП ИС (по технологическим признакам) приведена на рис. 2.42. Большинство разработок ведется в направлении повышения быстродействия МДП ИС. Совершенствование технологии привело к созданию n -канальных МДП ИС, которые имеют большие преимущества по сравнению с p -канальными. Более высокая подвижность электронов по сравнению с дырками приводит к тому, что скорость переключения n -канальных МДП ИС намного выше, чем p -канальных. К тому же более низкий порог отпирания n -канальных приборов позволяет использовать источник питающего напряжения 5 В (стандартный для биполярных ИС).

Использование технологии ионного легирования для изготовления МДП ИС приводит к значительному уменьшению паразитных емкостей. Перекрытие затвором областей стока и истока снижается настолько, что емкости затвор-сток и затвор-исток становятся на порядок меньше, чем в диффузионных МДП ИС, и составляют

0,04 пФ. Возможность введения в кремний легирующих примесей в широком диапазоне концентраций и с более точной дозировкой, чем в процессе диффузии, позволяет регулировать пороговое напряжение в пределах от -2 до -4 В, получить оптимальное с точки зрения быстродействия и потребляемой мощности сопротивление канала, а также создавать на одном кристалле МДП-транзисторы со встроенным и индуцированным каналами. В процессе ионного легирования появляется возможность существенно уменьшить размеры областей истока и стока МДП-транзистора, в результате чего



снижаются емкости исток-подложка и сток-подложка. Структура прибора показана на рис. 2.43, где верхний слой p -типа получен с помощью ионного легирования. Основная часть $p-n$ -перехода стока расположена в малоемкостной области p -типа. Предельно достижимая частота МДП ИС, изготовленных методом ионного легирования, соответствует 100 МГц.

Пороговое напряжение на затворе прямо пропорционально поверхностному заряду на кремнии и толщине окисла и обратно пропорционально диэлектрической проницаемости изолятора между полупроводником и металлом затвора. Снизить пороговое напряжение можно уменьшая поверхностный заряд (или толщину окисла) или увеличивая диэлектрическую постоянную. Первоначальную толщину слоя окисла 0,075 мкм нельзя уменьшать из-за опасности возникновения дефектов.

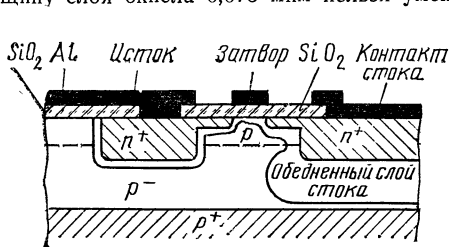


Рис. 2.43. Структура МДП-транзистора, изготовленного методом ионного легирования

Микросхемы на МДП-транзисторах с низким пороговым напряжением (2 В) получают все большее распространение. Поскольку для включения МДП-транзистора с низким пороговым напряжением необходимо подать на его затвор всего 2 В, а в ряде схем и более низкое напряжение, то можно осуществлять

простое согласование между биполярной схемой и МДП ИС.

В настоящее время используются три метода изготовления МДП ИС с низким пороговым напряжением: метод, основанный на использовании кремния, ориентированного в плоскости (100), а не в плоскости (111), как обычно; метод, при котором в качестве диэлектрика вместо двуокиси кремния используется нитрид кремния; метод, предполагающий применение кремниевого затвора вместо металлического. Каждый из этих методов обладает своими достоинствами и недостатками.

Первоначально была разработана технология, основанная на использовании пластин кремния, ориентированных в плоскости (100), вместо традиционно используемых для изготовления МДП-транзисторов пластин кремния, ориентированных в плоскости (111). Уменьшение порогового напряжения связано с тем, что поверхностный заряд в кремнии, ориентированном в плоскости (100), меньше по сравнению с зарядом в кремнии, ориентированном в плоскости (111). Поверхностный заряд обусловлен, в частности, наличием ненасыщенных связей между атомами на поверхности кристалла. А в плоскости (111) таких ненасыщенных связей больше, чем в плоскости (100). Рассматривая модель кристалла (рис. 2.44), можно заметить, что в плоскости (111) находится больше ребер, пересекающих поверхность, чем в плоскости (100).

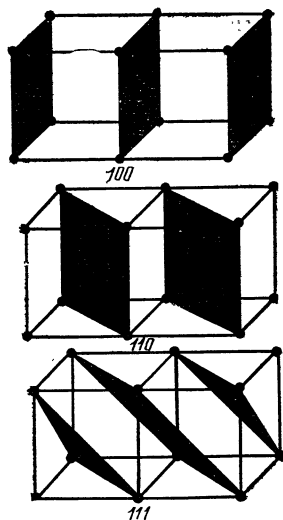


Рис. 2.44. Простая кубическая решетка кристалла кремния (затемнены три главные плоскости)

При использовании нитрида кремния вместо двуокиси кремния в качестве изолирующего слоя между затвором и каналом (рис. 2.45) пороговое напряжение, обратно пропорциональное емкости затвора, уменьшается (а емкость затвора увеличивается), так как диэлектрическая проницаемость нитрида кремния вдвое больше, чем проницаемость двуокиси кремния. При осаждении нитрида кремния непосредственно на кремний появляется сильный гистерезисный эффект в характеристике напряжение затвора — ток стока. Во избежание этого эффекта между слоем кремния и нитрида кремния наносят слой двуокиси кремния (см. рис. 2.45), в результате чего получается сложная структура диэлектрика. Коэффициент усиления МДП-транзистора применения диэлектрика из нитрида кремния повышается на 50%, увеличивается надежность приборов; кроме того, к этим приборам легче приваривать балочные выводы и их легче запрессовывать в пластмассу. Недостатки метода связаны с повышенным током утечки прибора, а также со сложностью технологического процесса осаждения пленки нитрида кремния.

Третий метод получения низкого порогового напряжения заключается в использовании в качестве материала затвора сильнолегированного кремния вместо металла. Для создания кремниевых затворов применяют поликристаллический кремний p -типа, у которого работа выхода меньше, чем у алюминия, используемого в обычных МДП ИС. Это приводит к уменьшению разности работ выхода материала затвора и полупроводниковой подложки и, кроме того, к уменьшению поверхностного заряда. Все это снижает пороговое напряжение. МДП-транзисторы с кремниевыми затворами обладают двумя достоинствами: автоматическим совмещением затвора и воз-



Рис. 2.45. МДП-транзистор с кремниевым затвором

можностью создания биполярных и МДП ИС на единой подложке без проведения разделительной n^+ -диффузии. Самосовмещение затвора становится возможным в связи с тем, что области, в которых создается слой диэлектрика под затвором, и сам кремниевый затвор образуются в результате многократного применения одного и того

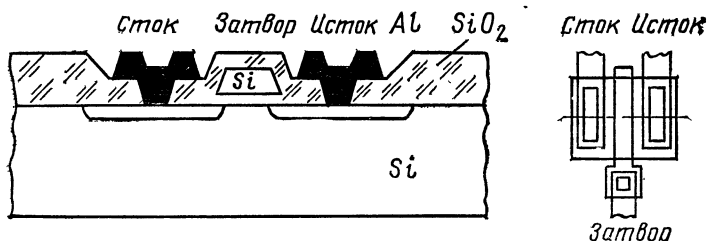


Рис. 2.46. МДП-транзистор с кремниевым затвором

же фотшаблона. При металлическом затворе требуются различные шаблоны, причем необходимость иметь допуски на совмещения приводит к вынужденному перекрытию областей стока и истока металлическим затвором. В результате увеличиваются емкость и размеры схемы, уменьшается быстродействие. Метод позволил снизить пороговое напряжение до 0,4 В, втрое увеличить быстродействие и уменьшить площадь схем почти в два раза и, следовательно, получить большее число функций на заданной площади кристалла. Структура транзистора с кремниевым затвором показана на рис. 2.46.

Повышенное быстродействие ИС достигается при создании структур с дополнительной симметрией, т. е. структур, содержащих p - и n -канальные МДП-транзисто-

ры на одной подложке, причем возбуждающий сигнал подается на затворы обоих приборов, соединенные вместе (рис. 2.47). Иногда их называют комплементарными (КМДП) структурами. Логический элемент на КМДП-транзисторах в статическом состоянии практически не потребляет мощности. Если на входе нулевое напряжение, p -канальный прибор открыт, а n -канальный закрыт; если на входе единица, то наоборот.

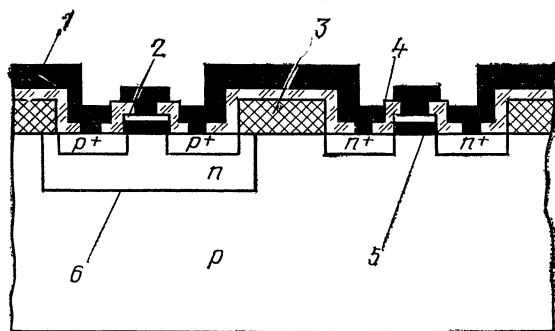


Рис. 2.47. Комплементарная МДП-структура:

1 — слой металлизации; 2 — затвор; 3 — толстый слой окиси; 4 — пассивирующий слой окиси; 5 — слой окиси затвора; 6 — область n -типа

Изготовление КМДП-структур существенно усложняет технологический цикл, приближая его по сложности к технологии производства биполярных структур. Однако КМДП ИС являются перспективными благодаря их быстросдействию и малой потребляемой мощности.

2.10. Приборы с зарядовой связью

Механизм действия приборов с зарядовой связью (ПЗС) заключается в генерации и накоплении неосновных носителей в потенциальных ямах, перемещении зарядов вместе с потенциальными ямами вдоль границы раздела диэлектрик — полупроводник с последующим детектированием.

Приборы с зарядовой связью имеют трехслойную структуру, созданную с использованием обычной МДП-технологии. Они отличаются необычной простотой (рис. 2.48). При окислении поверхности полупроводниковой пластины на этой поверхности создается тонкий изолирующий слой, на который наносятся металлические проводники и электроды. По сравнению с этапами, необходимыми для создания биполярных и обычных МДП ИС,

структура с зарядовой связью позволяет уменьшить число технологических операций соответственно в четыре и два раза.

На ПЗС можно создавать устройства памяти, задержки, логики и передачи изображения.

Рассмотрим работу прибора с двумя электродами на окисле (рис. 2.49). Отрицательное смещение, поданное на подложку n -типа, должно быть больше того порога, который требуется для образования однородного обедненного слоя на границе раздела между под-

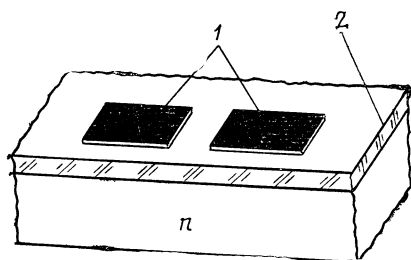


Рис. 2.48. Прибор с зарядовой связью
1 — слой металлизации; 2 — окисел кремния

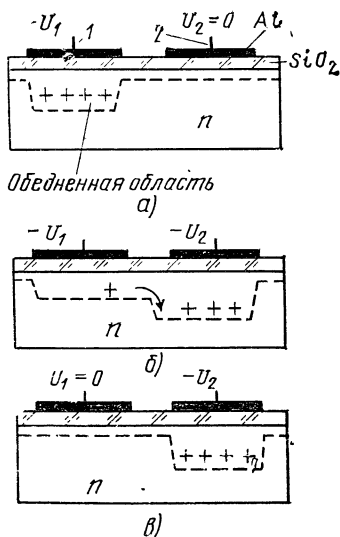


Рис. 2.49. Структура ПЗС

ложкой и изолятором. Увеличивая отрицательное напряжение (напряжение хранения), приложенное к электроду 1 (рис. 2.49, а), можно получить непосредственно под этим электродом более глубокий обедненный слой (потенциальную яму). В режиме хранения прибор может получать и хранить заряды (неосновные носители), созданные в полупроводнике с помощью какого-либо источника. Так как неосновными носителями в кремнии n -типа являются дырки, а электрод отрицателен по отношению к подложке, дырки притягиваются к электроду и задерживаются в потенциальной яме.

В режиме передачи информации создаются условия, при которых заряд переносится электроду 2. Этот перенос осуществляется при еще большем отрицательном потенциале (напряжение переноса), приложенном к электроду 1.

троду 2, под которым при этом создается еще более глубокая потенциальная яма (рис. 2.49, б). Теперь дырки, хранившиеся под электродом 1, притянутые к более глубокой яме, переходят к электроду 2. Первоначальные условия хранения восстанавливаются при снятии напряжения хранения с электрода 1 и при уменьшении на-

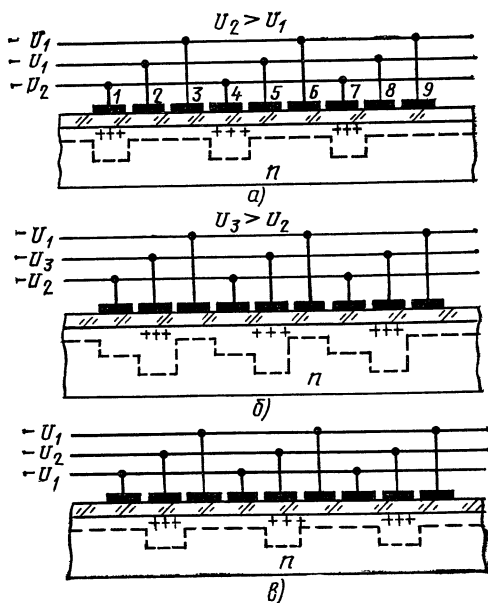


Рис. 2.50. Резистор сдвига на ПЗС

пряжения переноса на электроде 2 до напряжения хранения (рис. 2.49, в).

Как только установился режим хранения над электродом 2, процесс переноса может быть распространен на следующий электрод, пока заряды не передвинутся опять вдоль подложки. Таким образом, при использовании всего лишь двух значений напряжения можно передавать заряды по прибору от точки к точке. Управление передачей зарядов осуществляется тактовыми импульсами, подаваемыми на затворы ПЗС.

Чаще всего ПЗС используются для создания регистров сдвига. Управляющие затворы регистра объединены в электродную систему с числом фаз от одной до четы-

рех. Принцип действия трехфазного ПЗС регистра сдвига поясняется рис. 2.50. Каждый третий затвор ПЗС-регистра соединен с одной и той же фазовой шиной. Вначале напряжение хранения — U_2 прикладывается к одной системе электродов, скажем 1, 4, 7 и т. д., и меньшее напряжение смещения прикладывается к другим электродам. Напряжение — U_2 образует потенциальные ямы под электродами 1, 4, 7 и т. д. В результате заряды, инжектированные в полупроводник, притягиваются к этим областям. Будем считать, что инжекция осуществлена так, чтобы заряды находились под электродами 1 и 7 и отсутствовали под электродом 4.

На следующем этапе работы напряжение переноса — U_3 ($|U_3| > |U_2|$) прикладывается к следующей системе электродов: 2, 5, 8 и т. д. (рис. 2.50, б). Так как под этими электродами потенциальные ямы будут глубже, заряды из-под электродов 1 и 7 и состояние отсутствия зарядов под электродом 4 перейдут на один шаг вправо. Затем восстанавливаются начальные условия хранения (рис. 2.50, в). На электродах 2, 5 и 8 потенциал уменьшается до потенциала хранения — U_2 , а на других электродах напряжение уменьшается до $-U_1$. Таким образом, заряды (или состояние их отсутствия) могут переноситься вдоль прибора. Движение носителей заряда из одной потенциальной ямы в другую происходит благодаря трем различным механизмам: самоиндуцированному дрейфу, диффузии и эффекту краевого поля. Самоиндуцированный дрейф вызывается саморасталкиванием зарядов и приводит к быстрому их переносу, однако дрейф существует лишь при больших плотностях заряда. Диффузия приводит к экспоненциальному убыванию заряда под передающим электродом. Краевое поле действует в направлении переноса зарядов и может значительно ускорить процесс. Действие краевого поля приводит также к экспоненциальному убыванию зарядов.

Процесс переноса заряда в ПЗС может быть охарактеризован с помощью коэффициента эффективности η , представляющего относительную часть заряда, передаваемого в одном акте передачи. При этом потери передачи

$$\varepsilon = q_R + q_T = 1 - \eta,$$

где q_R — остаточный заряд; q_T — заряд, потерянный в процессе передачи. Эффективность переноса во многом зависит от скорости движения носителей заряда из одной потенциальной ямы в другую, поэтому электроны пред-

почтительнее дырок в качестве носителей заряда. Значительное влияние на эффективность переноса оказывает эффект захвата носителей на поверхностных состояниях.

Другим важнейшим параметром является время переноса, необходимое для перехода заряда между соседними электродами, оно значительно меньше 1 мкс.

Фактически время хранения может иметь порядок единиц секунд, в то время как тактовые частоты напря-

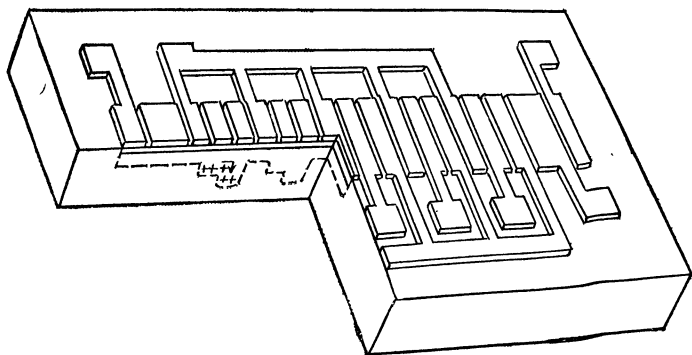


Рис. 2.51. Структура регистра сдвига на ПЗС

жения передачи могут в типичных случаях иметь порядок единиц мегагерц. По истечении времени хранения потенциальная яма заполняется неосновными носителями, появляющимися в результате тепловой генерации. Для увеличения времени хранения информации следует использовать полупроводники с большой шириной запрещенной зоны.

Циркуляция зарядов между электродами в заданной системе является основой всех применений. Однако в большинстве случаев требуется создание генератора зарядов на входе и детектора на выходе. Возможна генерация зарядов несколькими методами, например прямым смещением диффузионного $p-n$ -перехода в n -кремний вследствие поверхностного лавинного пробоя в МДП-структуре. Схемы детектирования могут создаваться обратным смещением $p-n$ -перехода или диода с барьером Шотки. Детектирование заряда осуществляется одним из двух методов: изменением емкости в зависимости от сохраняемого заряда и изменением с зарядом потенциала поверхностного электрода.

Разработан сдвиговый регистр с 24 электродами (рис. 2.51). Он может использоваться и как ЗУ с рециркуляцией, и как регулируемая линия задержки.

Ширина затвора ПЗС — не более 10 мкм, емкость затвора 0,4 пФ, длина канала (расстояние от середины одного электрода до середины другого) 10 мкм.

Время переноса заряда составляет менее 1 мкс, регистр работает в диапазоне нескольких мегагерц. ПЗС обеспечивают также запоминание информации в течение нескольких секунд. Были использованы напряжения переноса (напряжения на затворах) около 10 В, что сравнительно просто может быть обеспечено в кремниевых приборах.

Быстродействие МДП ИС можно повысить в 2—10 раз с помощью схемотехнических методов, которые в сочетании с существующими технологическими методами позволяют получить значительный выигрыш по быстродействию. Схемотехнические методы повышения быстродействия основаны на введении дополнительных управляющих сигналов. В некоторых схемах для повышения быстродействия без увеличения потребляемой мощности или размеров транзисторов используют принцип четырехфазной или многофазной синхронизации. Например, при некотором усложнении схемы и увеличении числа синхронизирующих сигналов (до четырех) были получены регистры сдвига с быстродействием 10 МГц и оперативные ЗУ с временем выборки менее 10 нс при обычной диффузионной технологии.

2.11. Топология полупроводниковых ИС

Характеристики полупроводниковых микросхем зависят не только от структуры, т. е. распределения по глубине кристалла локальных областей с различной проводимостью, но и от топологии (топологического чертежа) или конфигурации, размеров и формы элементов, их взаимного расположения и рисунка межсоединений.

При переводе электрической схемы в топологическую нужно не просто составить топологию каждого элемента и их соединения, но необходимо учитывать взаимосвязь элементов, обусловленную их взаимодействием и паразитными эффектами, присущими полупроводниковым микросхемам. Основными требованиями при разработке топологии являются: во-первых, достижение минимальных габаритов элементов и возможно высокой плотно-

сти их размещения и, во-вторых, изготовление всех элементов в едином технологическом цикле.

Разработка топологии включает следующие этапы:

1. Изображается электрическая схема с выводами, последовательность расположения которых соответствует расположению как контактных площадок, так и внешних выводов; где возможно, намечаются пересечения.

2. Определяется число изолированных областей. Для сокращения их числа следует сгруппировать те элементы, изоляция которых друг от друга необязательна. Площади изолированных областей следует делать минимальными.

3. Определяется геометрия элементов в зависимости от требуемых характеристик.

4. Располагают элементы таким образом, чтобы длины межэлементных соединений и число их пересечений были минимальными. Для улучшения теплового режима микросхемы элементы должны быть размещены так, чтобы рассеиваемая мощность распределялась по подложке по возможности равномерно. При разработке схемы расположения элементов следует придерживаться также следующих рекомендаций: все резисторы, подключенные к одному номиналу источника питания, следует расположить внутри одной изолированной области и использовать обкладки конденсаторов для пересечения межсоединений.

5. Контактные площадки должны быть расположены по периферии подложки. Должно быть обеспечено подсоединение выводов к подложке и исключена возможность перекрещивания присоединяемых к контактным площадкам проводочек, идущих к выводам корпуса.

6. Симметрии схемы, например дифференциального усилителя, добиваются не только в электрической схеме, но и в топологической, т. е. геометрия элементов симметричных частей схемы должна быть одинакова и располагаться эти элементы должны симметрично и на одинаковом расстоянии от источников тепла (нагрузочных сопротивлений, выходных транзисторов). В этом случае достигаются компенсация температурных эффектов и идентичность характеристик элементов. Транзисторы в такой схеме должны располагаться как можно ближе друг к другу.

Для улучшения изоляции между различными областями схемы и снижения влияния паразитных емкостей

между ними подложку (p -типа) соединяют с самым низким потенциалом схемы.

Разработка топологии завершается расчетом паразитных емкостей изолированных областей и уточнением характеристик микросхем.

На рис. 2.52, *а* показана топология типового интегрального усилителя: 1, 4—это контактные площадки,

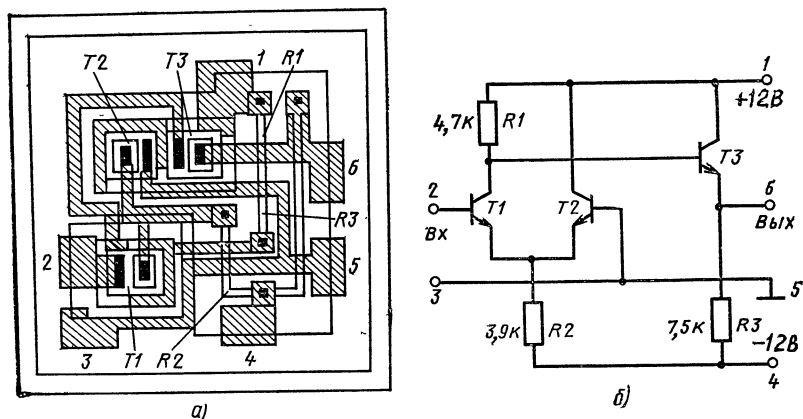


Рис. 2.52. Топология (*а*) и принципиальная электрическая схема (*б*) усилителя

через которые подается питание; 5, 6— выходные контакты; 2, 3— входные контакты. Соединение элементов осуществляется в одной плоскости.

Принципиальная электрическая схема представлена на рис. 2.52, *б*. Для такой схемы требуются только две изолированные области: область для транзистора $T1$ и область, в которой расположены транзисторы $T2$, $T3$ и все резисторы.

Входной транзистор $T1$ должен находиться в собственной изолированной области. Коллекторы транзисторов $T2$ и $T3$ соединены друг с другом и с положительным полюсом источника питания, поэтому они могут находиться в одной изолированной области. Все резисторы могут находиться в одной изолированной области, которая соединена с наибольшим положительным потенциалом. Так как поверхность кристалла защищена слоем двуокси кремния, тонкопленочные алюминиевые соединения

могут проходить по любому из диффузионных резисторов, не замыкаясь на них.

Наиболее важными размерами участков и промежутков являются:

расстояния между изолированными областями (10—15 мкм);

расстояние между краем изолированной области и компонентами (10—20 мкм);

минимальная ширина диффузионной области (5—15 мкм);

минимальный размер окна контакта в окисле (5—10 мкм);

минимальное расстояние от контактного окна до края диффузионной области (2—10 мкм);

минимальный зазор между диффузионными областями (10—20 мкм);

минимальный размер контактной площадки (2500 мкм²);

минимальное расстояние от края пластины до контактной площадки или диффузионной области (50 мкм);

ширина тонкопленочных межкомпонентных соединений (5—10 мкм);

расстояние между тонкопленочными соединениями (5—15 мкм).

Для изготовления такой схемы необходимы следующие фотошаблоны:

для разделительной диффузии акцепторной примеси;

для диффузии акцепторной примеси с целью получения базовых областей транзисторов, диффузионных резисторов и омического контакта к подложке;

для диффузии эмиттера — диффузии донорной примеси — с целью получения n^+ -эмиттеров транзисторов и омических контактов к коллекторам транзисторов;

для получения окон под контакты в слое двуокиси кремния;

для получения тонкопленочных межсоединений и контактных площадок.

Зная размер кристалла для заданного диаметра пластины кремния, можно определить число микросхем, которое можно разместить на пластине. Так, например, на пластине диаметром 25 мм можно получить более 250 микросхем малой степени интеграции, каждая из которых размещается на кристалле $1,2 \times 1,2$ мм.

Глава 3.

ГИБРИДНЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

3.1. Принципы изготовления

Пассивные элементы и все соединения гибридных интегральных схем представляют собой пленки из различных материалов, нанесенные на стеклянную или керамическую пластинку (подложку), а в качестве активных элементов применяются навесные дискретные полупроводниковые приборы. В таких схемах использовано достоинство пленочной технологии в сочетании с возможностями технологии полупроводниковых приборов.

На рис. 3.1, а в качестве примера приведена гибридная схема, содержащая нихромовые резисторы, золотые проводники и навесные транзисторы и диоды. Для изготовления такой схемы необходимы специальные фигурные трафареты-маски, которые позволяют наносить пленочные рисунки нужных размеров в определенных местах.

Сначала создаются соединения. Для этого через трафарет напыляют или наносят каким-либо другим способом полоски серебра, алюминия или золота. Затем через другой трафарет напыляют резисторы, представляющие собой пленочные полоски тантала, хрома или специальных сплавов. Варьируя как напыляемый материал, так и толщину слоя, можно менять номиналы резисторов. Для изготовления конденсатора через специальный трафарет напыляется металл. Затем меняется трафарет и напыляется диэлектрик, а затем снова металл.

После нанесения всех слоев устанавливаются диоды и транзисторы. Дискретные компоненты по размерам должны быть сравнимы с тонкопленочными элементами, поэтому в гибридных схемах применяют транзисторы и диоды, размеры которых либо максимально уменьшены, либо эти компоненты используются без корпуса. Соединение навесных деталей с элементами микросхемы может быть выполнено одним из известных методов: термокомпрессией, ультразвуковой сваркой, лучом лазера и др. При этом выводы навесных компонентов соединяются с металлизированными площадками на подложке. Существуют различные варианты конструктивного исполнения гибридных схем. Однако наибольшее призна-

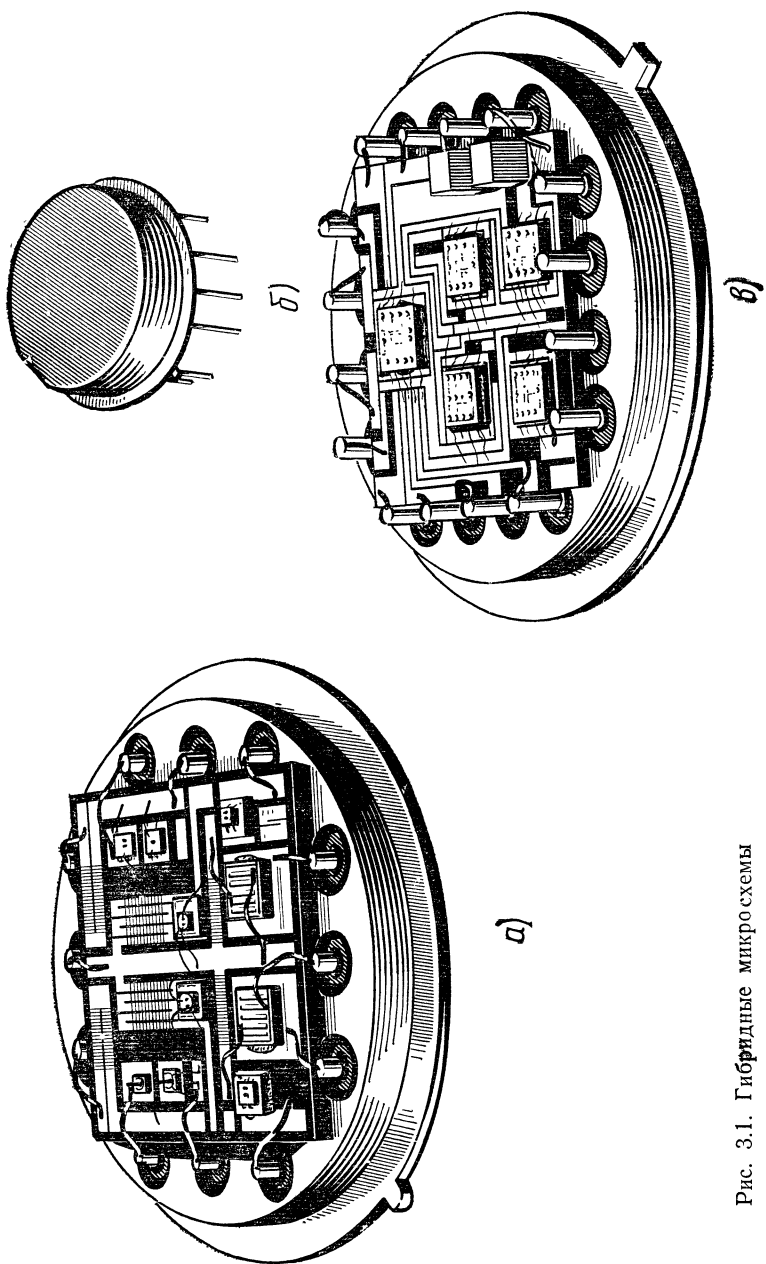


Рис. 3.1. Гибридные микросхемы

ние получила планарная конструкция. Для защиты от внешних воздействий обычно применяются металлические и керамические корпуса с металлическими выводами (рис. 3.1, б).

На рис. 3.1, в показана гибридная схема, в которой в качестве навесных элементов применены бескорпусные полупроводниковые ИС. Такие гибридные микросхемы называются многокристалльными.

Достоинствами гибридно-пленочной технологии являются высокая гибкость, т. е. возможность большого выбора различных материалов и методов изготовления пленочных элементов, и сравнительная простота разработки и изготовления большинства схем в гибридном исполнении. При изготовлении пассивных элементов гибридных схем применяется тонко- или толстопленочная технология. К толстым пленкам относятся пленки толщиной единицы — сотни микрометров, к тонким — толщиной до нескольких микрометров. С точки зрения применения пленки могут быть подразделены на проводящие, резистивные и диэлектрические. Самостоятельно пленочные микросхемы применяются очень редко в качестве резисторных или резисторно-емкостных ИС. Обычно они используются как основа гибридных ИС.

Процесс изготовления гибридных ИС состоит из следующих основных этапов: изготовление подложки, фотошаблонов и пленочной пассивной части ИС; подгонка резисторов; монтаж бескорпусных элементов и герметизация; контроль.

Тонкопленочные ИС. Тонкопленочная ИС состоит из изоляционной подложки, на которую нанесены тонкопленочные резисторы, конденсаторы, металлические проводники и контактные площадки (рис. 3.2). Следует учитывать, что тонкопленочные резисторы и конденсаторы имеют допуски, диапазон параметров, температурные коэффициенты, значительно лучшие, чем полупроводниковые. Лучшие частотные свойства тонкопленочных пассивных элементов обеспечивают существенное преимущество их в ВЧ и СВЧ схемах по сравнению с полупроводниковыми схемами.

Тонкопленочные ИС дешевле полупроводниковых, но размеры их больше.

Типовой технологический процесс создания тонкопленочной схемы из резисторов и конденсаторов с соответствующими межсоединениями состоит из следующих этапов:

напыление на подложку слоя тантала, который затем термически окисляют для защиты подложки от действия травителей при проведении последующих операций;

напыление второго слоя тантала с последующим его травлением для формирования нижних электродов конденсатора;

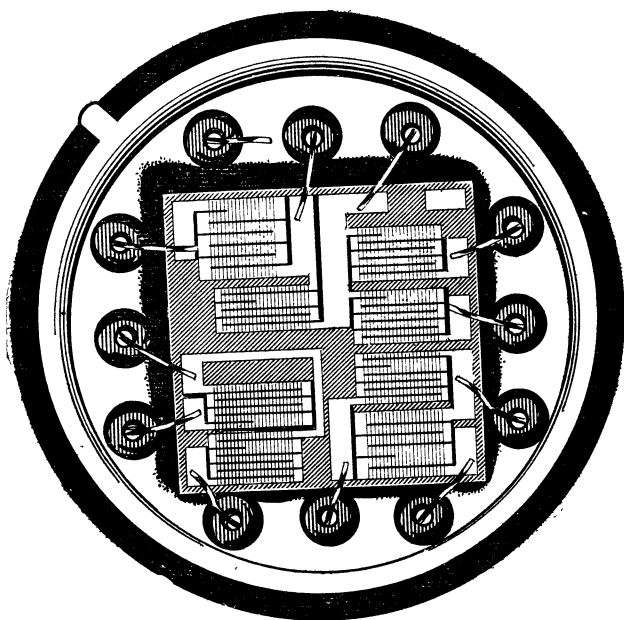


Рис. 3.2. Тонкопленочная микросхема

окисление тантала для образования диэлектрика конденсатора;

нанесение еще одного слоя тантала для создания верхнего электрода конденсатора и резисторов;

напыление слоя алюминия поверх слоя тантала для проводников и горизонтальных площадок;

травление алюминия для создания нужного рисунка проводников;

травление резистивного слоя тантала для образования отдельных резисторов.

Таблица 3.1

Элемент	Материал	ρ , Ом·см
Диэлектрик	SiO_2	10^{18}
Резистор	NiCr	10
Резистор	CrSiO_2	10
Проводник	Al	10^{-6}
Проводник	Mo	10^{-6}
Проводник	Pt	10^{-6}

Важнейшей характеристикой тонких пленок является удельное сопротивление ρ , которое может изменяться от 10^{-6} Ом·см для лучших проводников до 10^{18} Ом·см для лучших изоляторов. Механизмы проводимости тонких пленок неомические и наиболее вероятными являются туннелирование и автоэлектронная эмиссия. В табл. 3.1 приводится удельное сопротивление пленок наиболее часто применяемых материалов. Удельное сопротивление и другие параметры пленок зависят от их толщины.

3.2. Подложки

В качестве материала для изоляционной подложки тонкопленочных схем обычно применяются стекло, керамика, ситаллы. Наиболее распространенным материалом является глазурированная окись алюминия. Обычно применяются подложки прямоугольной или квадратной формы размерами 12×8 , 12×12 , 12×16 , 12×20 , 16×20 , 24×30 и 48×60 мм и т. д. Толщина подложек выбирается 0,6; 1,0; 1,6 мм.

Подложка должна иметь высокие механическую прочность и электропроводность, низкую теплопроводность. Поверхность подложки должна быть зеркальной. От степени шероховатости поверхности подложки зависит толщина наносимых пленок. Перед нанесением тонких пленок подложку шлифуют, полируют, затем дополнительно очищают, промывают, травят кислотами и просушивают. Непосредственно перед нанесением пленок подложку очищают ионной бомбардировкой в тлеющем разряде. Чистота подложки обеспечивает хорошую адгезию пленок к ней. Малейшие дефекты ведут к значительным изменениям свойств тонкопленочных элементов.

3.3. Проводники и контактные площадки

Проводящие пленки используются в качестве соединительных проводников, катушек индуктивности, обкладок конденсаторов.

Основным параметром тонкопленочных проводников является удельное поверхностное сопротивление ρ_s , которое представляет собой сопротивление пленки, ширина которой равна его длине, и выражается в омах на единицу площади

$$\rho_s [\text{Ом}/\square] = \rho/d,$$

где ρ — удельное сопротивление материала пленки; d — толщина пленки, мкм.

Сопротивление любой части проводника $R[\text{Ом}] = \rho_s l/b$, где l — длина проводника; b — его ширина.

Проводимость металлической пленки зависит от ее толщины. Удовлетворительные результаты получаются при толщине пленки 0,1 мкм.

К материалам для металлизированных токоведущих дорожек между элементами и контактными площадками предъявляются следующие требования:

1. Высокая адгезия к подложке — контактные площадки подвергаются термоударам в момент пайки или сварки, а также несут нагрузку от выводов навесных элементов.

2. Высокая электропроводность — при разработке микросхемы обычно задается нижний предел электропроводности соединений, обеспечивающих ее работоспособность. В реальных схемах сопротивление проводящих слоев соответствует удельному поверхностному сопротивлению 0,1—0,01 Ом/□.

3. Химическая стойкость — к ухудшению свойств пленки могут привести коррозия, структурные изменения, связанные с нарушением сплошности, химическое взаимодействие с другими слоями. Проводящие слои в микросхемах находятся в контакте с материалами слоев — резистивных элементов, обкладок конденсаторов и диэлектриков. Поэтому необходимо исключить химическое взаимодействие как в условиях эксплуатации, так и в процессе изготовления пленочной микросхемы.

4. Способность к пайке и сборке — контактные площадки предназначены как для внешнего контактирования с входными и выходными шинами и шинами питания, так и для внутрисхемного присоединения активных компонентов.

Электрическими параметрами контактных площадок в микросхеме являются переходное сопротивление, вольт-амперная характеристика и напряжение токовых шумов, вносимых контактами.

В качестве тонкопленочных проводников обычно используют напыляемые в вакууме золото и алюминий. Золото благодаря своей химической стойкости может применяться практически с любыми диэлектрическими материалами и не требует специальных мер защиты от коррозии. Алюминий широко применяется для обкладок конденсаторов и проводящих дорожек. Довольно широко используется серебро. Проводники покрываются припоем для пайки выводов и компонентов, а также для уменьшения их удельного сопротивления. Контактные площадки должны иметь одинаковые размеры и форму для предотвращения образования неровностей при покрытии их припоем и перекося навесных компонентов при монтаже. Монтаж должен осуществляться на расстоянии не менее 0,25 мм от края подложки. Ширина линий проводников и зазор между ними обычно составляют 0,25 мм, а ширина и длина контактных площадок — 0,5 мм.

Перечень металлов и процессов, чаще всего используемых для создания проводящих пленок, приводится в табл. 3.2.

Таблица 3.2

Материал	Процесс
Алюминий	Термическое распыление
Золото	Термическое и катодное распыление, электроосаждение
Медь	Термическое распыление, электроосаждение
Платина	Катодное распыление

В качестве проводящего слоя применяются также пленки химических соединений. Ни один из известных металлов не позволяет получить пленку, удовлетворяющую в полной мере всем требованиям. Даже золото не удовлетворяет одновременно таким требованиям, как хорошая адгезия и высокая проводимость. Однако многим требованиям можно удовлетворить, комбинируя отдельные материалы. Обычно применяют двух- или трех-

слойные пленки, нижняя служит для обеспечения высокой адгезии и омического контакта, средняя является основным проводящим слоем, а верхняя служит для повышения коррозионной стойкости пленок и обеспечения хорошего контакта к выводам.

Для нижнего слоя можно применять материалы, которые в окисленном состоянии имеют сродство с окислами, входящими в состав стекла или ситалла. Так, можно применять Mo, Cr, Ti, V. В качестве проводящего слоя применяются Ag, Cu, Au и Al.

3.4. Тонкопленочные резисторы

Тонкопленочные резисторы являются наиболее широко применяемыми элементами в гибридных ИС. Так, например, для линейных схем на один полупроводниковый прибор приходится в среднем 7—8 резисторов. Резисторы наносятся на плоские подложки в виде узких полосок, которые оканчиваются площадками, обладающими высокой проводимостью. Для получения больших сопротивлений тонкопленочному резистору придается сложная конфигурация (рис. 3.3).

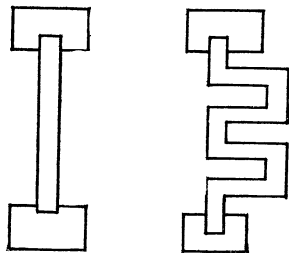


Рис. 3.3. Тонкопленочные резисторы

Параметрами тонкопленочных резисторов являются: полное сопротивление R , Ом; удельное поверхностное сопротивление пленки ρ_s , Ом/□; относительный допуск $\Delta R/R$, %; температурный коэффициент сопротивления ТКР, $1/^\circ\text{C}$; граничная частота f_R ; уровень шума F_R ; максимальная рассеиваемая мощность $P_{R\max}$; пробивное напряжение $U_{R\text{пр}}$.

Тонкопленочные резисторы сравнительно устойчивы к изменению температуры. В диапазоне температур от -60 до $+125^\circ\text{C}$ ТКР находится в пределах от -4 до $+2 \cdot 10^{-4}$ град $^{-1}$ для различных типов. Частотная характеристика резистора ограничивается паразитной емкостью.

Тонкопленочные резисторы, осаждаемые на пассивную подложку, имеют ничтожно малую паразитную емкость, тогда как на кремниевую подложку с окисным

слоем — значительную паразитную распределенную емкость относительно этой подложки. Для окисной пленки толщиной 1 мкм паразитная емкость составляет примерно 3000 пФ/см². Поэтому при изготовлении высокочастотных схем резистор следует осаждать в виде предельно узких полос.

Собственные шумы резистора складываются из тепловых шумов (флуктуация концентрации свободных электронов со временем) и токовых шумов, связанных с изменением контактных сопротивлений между зернами резистивного материала, между контактами и телом резистора.

Тонкопленочный резистор рассчитывается исходя из конструктивных, технологических и электрических требований (рис. 3.4). Ширина пленки выбирается в зависимости от требуемого сопротивления и мощности рассеивания. При заданном сопротивлении тонкопленочного резистора R определяется отношение его длины к ширине:

$$n = l/b = R/\rho_s, \quad (3.1)$$

т. е. число квадратов (рис. 3.4, *а*). Отсюда для данных R и b можно определить длину резистора $l[\text{мм}] = Rb/\rho_s$ и площадь, занимаемую им,

$$S_R = l(b + b_1) = nb(b + b_1) = Rb(b + b_1)/\rho_s,$$

где b_1 — расстояние между резисторами.

Минимальный линейный размер пленочных резисторов определяется в основном точностью нанесения масок и допуском на сопротивление.

Максимальная рассеиваемая мощность на резисторе P_R зависит от теплопроводности подложки, способа охлаждения и температуры окружающей среды. Минимальная длина l и ширина b резистора при рассеиваемой мощности P_R рассчитывается по заданным R , ρ_s и P_0 так, чтобы выполнялось неравенство

$$P_R \leq P_0 lb = P_0 Rb^2/\rho_s,$$

отсюда

$$b \geq \sqrt{\frac{P_R}{P_0} \frac{\rho_s}{R}}; \quad l \geq P_R/P_0 b,$$

где P_0 — удельная допустимая мощность рассеивания резисторов, обычно составляющая 1 Вт на квадратный сантиметр площади резистивной пленки.

Необходимо учитывать, что на углах и изгибах зигзагообразных резисторов формула (3.1) несправедлива. Необходимая поправка рассчитывается по формулам

$$R_{66'}^{aa'} = 2,55 \text{ для угла};$$

$$R_{66'}^{aa'} = (\pi - \theta) \rho_s / \ln(r_1/r_2) \text{ для изгиба (рис. 3.4, б).}$$

Зигзагообразные резисторы должны иметь четное число изгибов, в противном случае контактные площад-

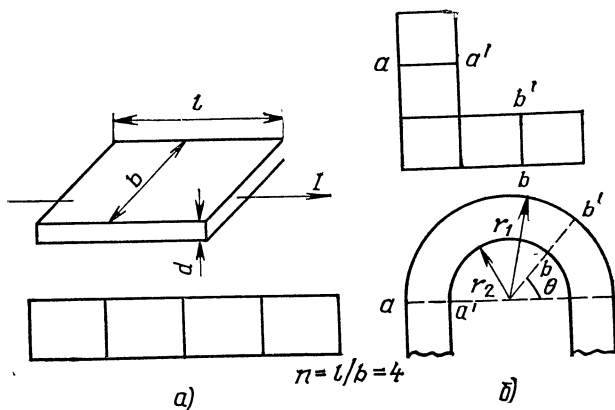


Рис. 3.4. К расчету тонкопленочного резистора

ки будут расположены рядом, что может привести к пробое или к потере дополнительной площади.

Для изготовления пленочных резисторов применяются благородные и полублагородные металлы (Au, Pt, Ir, Rh, Pd, Ni), тугоплавкие (Ti, Ta, W), полутугоплавкие (Ti, Zr, Cr), сплавы благородных металлов (Pt—Au, Pt—Ir, Pt—Ni), силицидные сплавы (MoSi₂, CrSi), керметы (системы из металлов и окислов), металлодиэлектрические смеси и окислы.

В табл. 3.3 приведен перечень наиболее часто применяемых материалов и технологические методы изготовления резисторов на их основе. В табл. 3.4 приведены типовые значения основных параметров пленочных резисторов из нихрома.

Сопротивление пленочных резисторов составляет $\pm 20\%$ от номинала. В результате ужесточения всех технологических режимов разброс сопротивлений в партии может быть уменьшен до $\pm 10\%$, однако в большин-

Т а б л и ц а 3.3

Материал	Процесс
Нихром (80 % Ni — 20 % Cr)	Термическое и катодное распыление
Оксид хрома	Термическое распыление
Нитрид тантала	Термическое и катодное распыление
Оксид олова	Электроосаждение, толсто пленочная технология
Керметы	Термическое и катодное распыление

Т а б л и ц а 3.4

Наименование параметра	Значение
Минимальный размер, мкм	50×50
Удельное сопротивление, Ом/□	100—20 000
TKR, 1/°C	$\pm 2 \cdot 10^{-4}$
Пробивное напряжение, В	50
Диапазон номиналов	50 Ом—1 МОм

стве случаев необходимо изготавливать схемы с допуском на сопротивления от ± 1 до ± 2 %. В связи с этим в технологии предусмотрена корректировка (подгонка) сопротивления резистора. Наиболее распространена подгонка с помощью струи воздуха, содержащей частицы окиси алюминия,—абразивная, термическая и лазерная подгонка.

Несмотря на то, что абразивная подгонка может обеспечить допуск $\pm 0,1\%$, целесообразны допуски от ± 1 до ± 2 %, так как дрейф сопротивлений составляет 0,5—1 %. Допуски около 3 % могут быть получены при сравнительно низкой стоимости процесса, поэтому они наиболее приемлемы.

При термической подгонке температура пленочного резистора повышается, что меняет его физические свойства, а следовательно, и сопротивление. Если пленка подвергается воздействию окислителя, например воздуха, происходит окисление ее поверхности и сопротивление увеличивается. Если имеется защитное покрытие, предохраняющее материал резистора от окисления, происходит отжиг материала и сопротивление уменьшается.

Лазерную подгонку сопротивлений можно производить двумя способами:

испарением резистора с ограниченного участка в результате воздействия луча лазера (при этом сопротивление резистора увеличивается);

отжигом металлокерамики менее мощным лучом лазера (при этом сопротивление резистора уменьшается). Поскольку эти два способа приводят к противоположному эффекту, иногда пытаются использовать их одновременно. Лазер обеспечивает высокую точность подгонки (до 0,01 %). Кроме того, в процессе подгонки схема может быть подключена к источнику питания для проверки ее характеристик.

3.5. Тонкопленочные конденсаторы

Тонкопленочные конденсаторы обычно имеют планарную структуру, получаемую осаждением трех пленочных слоев: проводник—диэлектрик—проводник (рис. 3.5). Емкость такого конденсатора прямо пропорциональна площади электродов и диэлектрической проницаемости диэлектрика и обратно пропорциональна расстоянию между пленками. Таким образом, для получения мак-

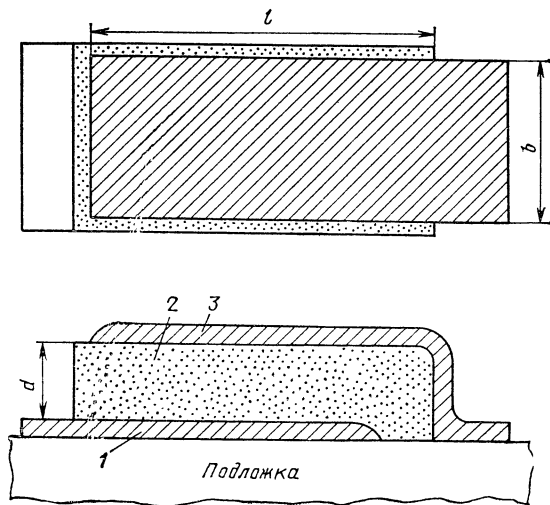


Рис. 3.5. Схематическое изображение тонкопленочного конденсатора:

1 — нижний электрод; 2 — диэлектрик; 3 — верхний электрод

симальной емкости при данной площади электродов необходимы диэлектрик с высокой диэлектрической проницаемостью и минимальное расстояние между электродами.

Основные параметры тонкопленочных конденсаторов: полная емкость C , Ф; удельная емкость C_0 , Ф/см²; максимальное напряжение U_{\max} , В; температурный коэффициент емкости ТКЕ, 1°/С; добротность Q ; тангенс угла диэлектрических потерь $\operatorname{tg} \delta$.

Полная емкость тонкопленочного конденсатора

$$C [\Phi] = \epsilon \epsilon_0 S/d = C_0 S,$$

где $C_0 = \epsilon \epsilon_0/d = C/S$, Ф/см² — удельная емкость; ϵ — диэлектрическая проницаемость среды; $\epsilon_0 = 10^{-13}$ Ф/см — диэлектрическая проницаемость вакуума; S — площадь верхнего электрода; d — толщина диэлектрика.

Температурный коэффициент емкости конденсатора не превышает $\pm (3-4) \cdot 10^{-4}$ 1°/С в диапазоне температур 20—85° С.

Тангенс угла диэлектрических потерь

$$\operatorname{tg} \delta = 1/R\omega C + r\omega C,$$

где r — сопротивление обкладок, Ом; ω — угловая частота; R — сопротивление диэлектрика. Из этого выражения видно, что при хорошем диэлектрике, т. е. при высоком R ($> 10^{10}$ Ом), частотные свойства пленочного конденсатора зависят в основном от сопротивления обкладок. Пленки алюминия, используемые в качестве обкладок конденсаторов, имеют $\rho_s = 0,1$ Ом/□. Если использовать материал с $\rho_s = 0,01$ Ом/□, то максимальная частота работы конденсатора возрастает в три раза.

Наиболее экономичное использование занимаемой площади обеспечивают тонкопленочные конденсаторы квадратной формы. Длина стороны квадратного конденсатора b [мм] = $\sqrt{C/C_0}$. Для прямоугольных конденсаторов длины сторон b и l связаны выражением bl [мм²] = $= C/C_0$.

Часто для максимального использования поверхности применяются конденсаторы несимметричной конфигурации или многослойные пленки. Емкость многослойного конденсатора

$$C_m [\Phi] = (m - 1) \epsilon \epsilon_0 S/d,$$

где m — число слоев.

Многослойные пленочные электролитические танталовые конденсаторы имеют емкость несколько микрофард.

Танталовые пленки обеспечивают наибольшую удельную емкость.

Большое внимание на качество пленочных конденсаторов оказывает нижняя обкладка. Наилучшие результаты получаются, если использовать алюминий. В последнее время перед нанесением алюминия на подложку напыляется тонкий подслои титана. При этом адгезия пленки алюминия к подложке значительно повышается. Для верхней обкладки используются алюминий, золото и другие металлы.

Пленки диэлектриков конденсаторов должны иметь высокие диэлектрическую проницаемость и пробивное напряжение и малый ток утечки.

Для получения больших емкостей на меньших площадях необходимо применять возможно более тонкие пленки диэлектрика толщиной 0,05 мкм.

Для изготовления конденсаторов методом вакуумного

Таблица 3.5

Способ изготовления	Диэлектрик	Нижний электрод	Диапазон емкости, пф	$\lg \delta$ на 1 МГц	ТКЕ $\cdot 10^{-6}$, $1/^\circ\text{C}$	U_{\max}	ε	d , мкм
Анодирование, реактивное катодное распыление	Ta_2O_5	Ta	$5 \cdot 10^2 - 5 \cdot 10^6$	0,003	250	50	25	0,06
Осаждение из газовой фазы	Ta_2O_5	Ta	$5 \cdot 10^2 - 5 \cdot 10^6$	0,003	250	30	20	0,1
Анодирование в плазме, реактивное катодное распыление, напыление	Al_2O_3	Ta	$5 \cdot 10^2 - 5 \cdot 10^6$	0,01	400—700	75	9	0,04
Напыление	SiO	Al	$10 - 10^3$	0,005—0,01	100—50	50	6	1,0

термического испарения с помощью масок в качестве диэлектрика используются окислы металлов и сернистые соединения, например SiO_2 , TiO_2 , GeO_2 , InS , Sb_2S_3 , и легкоплавкие стекла. Пленки сернистых металлов из-за высокой гигроскопичности и значительных механических напряжений постепенно уступают место окислам (SiO и GeO).

В табл. 3.5 приведены характеристики диэлектрических пленок, полученных различными способами, и параметры тонкопленочных конденсаторов на подложках из стекла и стеклокерамики.

Находят также применение оксидированные конденсаторы — на основе окисленных электрохимическим способом пленок металлов Ta , Al и Ti . Технология изготовления оксидированных конденсаторов основана на методах фотолитографии. Такие конденсаторы обладают высокими удельными емкостями. Так, на пленках Al_2O_3 удельная емкость достигает $0,04 \text{ мкФ/см}^2$, а на пленках Ta_2O_5 — $0,15 \text{ мкФ/см}^2$. Правда, частотные характеристики таких конденсаторов ограничивают область применения их до нескольких мегагерц. Кроме того, такие конденсаторы полярные, на нижнюю обкладку подают плюс.

Из всех пассивных элементов пленочных микросхем тонкопленочные конденсаторы являются наиболее сложными в изготовлении и наименее надежными в эксплуатации.

3.6. Тонкопленочные RC -элементы

Тонкопленочные RC -элементы получаются в результате совмещения пленочных конденсатора и резистора таким образом, что одна из обкладок конденсатора является резистивным слоем. Контур поверхности RC -элемента может иметь самую различную форму: прямоугольную, гребенчатую, экспоненциальную и др. Параметры RC -элементов зависят от геометрической конфигурации и размеров пленок, способа коммутации их между собой, химического состава материала и технологии нанесения пленок.

Тонкопленочные RC -элементы применяются в качестве электрических фильтров и цепей усилителей и генераторов. На рис. 3.6 показан тонкопленочный танталовый RC -фильтр с распределенными параметрами. В соединении с транзисторами они могут использоваться в качестве генераторов и активных полосовых фильтров. Одна из наиболее перспективных областей применения —

низкочастотные интегральные схемы, в которых на основе RC -элементов создаются двойные Т-образные фильтры. Фильтры имеют температурный коэффициент около $10 \cdot 10^{-6} \text{ 1/}^\circ\text{C}$. Добротность фильтров на частоте 1 кГц равна 24, а на частоте 10 кГц — 60. Существенным преимуществом фильтров является простота изготовления: резистивные элементы и диэлектрик конденсатора

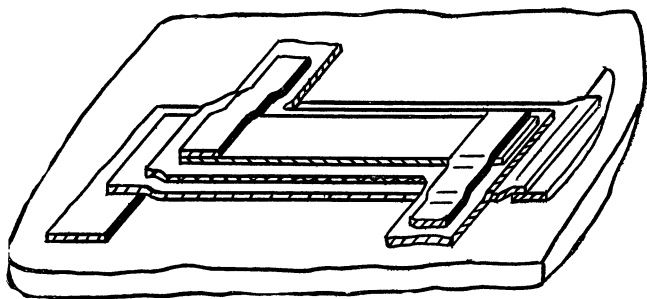


Рис. 3.6. RC -цепочка с распределенными параметрами

создаются на одной танталовой пленке. Фильтр на 1 кГц, включающий два транзистора, размещается на подложке размером $35 \times 27 \text{ мм}$.

3.7. Тонкопленочные индуктивности

Тонкопленочные индуктивности изготавливают в виде тонкопленочной круговой или прямоугольной спирали (рис. 3.7). Индуктивность круговой спирали

$$L_{\text{круг}} [\text{мГн}] = \frac{25DN^2}{1 + 3n/D},$$

где $D = R_1 + R_2$; $n = R_2 - R_1$, $N = (R_2 - R_1)/(b + b_1)$ — число витков спирали; $b_1 + b = m$ — шаг спирали (рис. 3.7, а). Добротность индуктивности

$$Q_L = \omega L_K / R = \omega L_K b / \rho_s l_K,$$

где R — сопротивление индуктивности постоянному току; ω — круговая частота; ρ_s — удельное поверхностное сопротивление пленочной спирали. Длина круговой спирали

$$l_{\text{круг}} = (R_2^2 - R_1^2) / 2(b + b_1) = Dn/2(b + b_1).$$

Индуктивность прямоугольной спирали

$$L_{\text{прям}} [\text{мГн}] = 8N^2 D \left[0,2 (b + b_1) \frac{N}{D} + \ln \frac{D}{b + b_1} + 0,7 \right],$$

где $D = (l_2 + l_1)/2$; $n = l_2 - l_1$; $N = n/(b + b_1)$ (рис. 3.7,б).

Длина прямоугольной спирали

$$l_{\text{пр}} = Dn/2 (b + b_1).$$

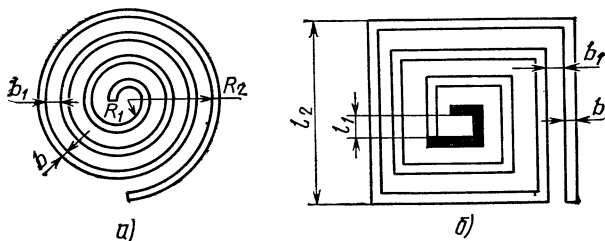


Рис. 3.7. Круглая (а) и квадратная (б) тонкопленочные индуктивности

Взаимная индуктивность и полоса пропускания трансформаторов определяются толщиной пленки (подложки), на которую наносят с разных сторон первичную и вторичную обмотки. Добротность повышается с увеличением толщины проводников. Верхний предел тонкопленочных индуктивностей обычно не превышает 3 мкГн. Добротность тонкопленочных индуктивностей также низка. Для получения удовлетворительной добротности применяют метод гальванического покрытия поверхности индуктивности, при этом достигают минимального удельного сопротивления. Например, при ширине линии спирали около 125 мкм удельное сопротивление слоя имеет порядок $10^3 \text{ Ом}/\square$, индуктивность порядка единиц микрогенри.

Применение тонкопленочных индуктивностей ограничено их низкой добротностью Q , высокой индуктивностью рассеивания и относительно большой занимаемой площадью. Если необходимы высокие значения индуктивностей, то применяют навесные катушки индуктивности.

3.8. Гибридные толстопленочные микросхемы

Принципы изготовления. Гибридная толстопленочная ИС представляет собой пассивную схему из толстопленочных элементов (проводников, резисторов, конденса-

торов) на керамическом основании с навесными активными компонентами. Гибридные ИС, изготовленные по толсто пленочной технологии, отличаются дешевизной и хорошими электрофизическими параметрами. Они характеризуются высокими надежностью и стабильностью при длительном воздействии влаги благодаря применению таких материалов, как стекло, благородные металлы и керамика, практически не окисляемых до относительно высоких температур.

Гибридные ИС, выполняемые по толсто пленочной технологии, отличаются высокой стойкостью к механическим перегрузкам и температурным воздействиям из-за хорошей теплопроводности керамического основания. Особенностью толсто пленочных схем является возможность нанесения схемы на обе стороны подложки.

Гибридные микросхемы на основе толстых пленок применяются для построения высоковольтных и мощных схем с жесткими допусками на параметры пассивных элементов.

Толсто пленочная технология является графическим методом изготовления электронных схем, который применяется уже многие годы. В основе метода лежат разбрызгивание, шприцевание и сеткография проводящих изоляционных и резистивных суспензий и паст. Способ нанесения шприцеванием основан на заполнении матрицы под давлением суспензий и перенесении этой суспензии из матрицы на поверхность изоляционной платы. Известен и метод нанесения сопровитвлений (с помощью пера (трубки)). Трубка, содержащая суспензию, имеет отверстие небольшого диаметра. Воздухом суспензия выдавливается из трубки на движущуюся изоляционную плату. Наиболее производительным и экономичным методом является трафаретная печать (сеткография). Этот метод позволяет наносить сложный и достаточно точный по размерам рисунок на поверхности малой и большой площади, а также обеспечивает воспроизведение толщины покрытий. Схема процесса представлена на рис. 3.8. По мере продвижения ракеля паста заполняет открытые участки трафарета. Если нет открытых участков, паста стирается с трафарета. Паста, заполняющая трафареты, под давлением входит в контакт с подложкой и прикрепляется к ней: получается отпечатанная через трафарет схема.

Печатание пасты осуществляется на высокопроизводительных автоматических установках с программным

перемещением ракеля. Для изготовления толсто пленочных схем применяется обычно несколько трафаретов. В зависимости от размера ячейки трафарета и толщины сетки обеспечиваются различная толщина покрытий и четкость краев. Линии шириной 0,075—0,1 мм соответствуют практически осуществимому пределу разрешающей способности трафаретной печати. Для достижения

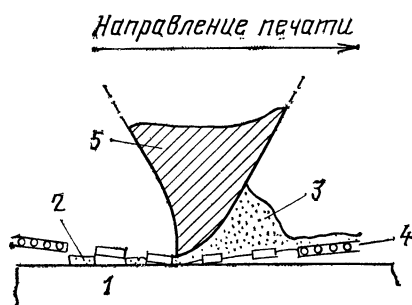


Рис. 3.8. Схематическое расположение ракеля относительно поверхности подложки:

1 — подложка; 2 — отпечаток на пасте; 3 — паста; 4 — трафарет или маска; 5 — лезвие

его требуются прецизионное оборудование и специальные пасты. Ширина толсто пленочных линий 0,1 мм вполне приемлема для большей части технологических процессов. После нанесения пасты, просушивания и обжига пленка имеет толщину от 15 до 150 мкм. Толсто пленочные элементы обжигаются при температурах 600—900 °С. На свойства толсто пленочных элементов большое влияние оказывает материал подложки. В качестве подложек применяется, как правило, высокоглиноземная керамика (98 % Al_2O_3), имеющая высокие механическую прочность, теплопроводность и термостойкость. Различные шлаки (из стекла), используемые в пастах, обеспечивают высокую адгезию толсто пленочных элементов к керамике. Кроме высокоглиноземной керамики применяют стеатит, окись бериллия, титанат бария, фарфор, нитрид бора.

Пасты изготавливаются из благородных металлов (Au, Ag, Pt, Pd), керамических материалов и неорганического стекла. Эти металлы обладают высокой электропроводностью и позволяют получать слои на керамике в атмосфере воздуха при температуре 500° С и выше.

Проводниковая паста содержит большое количество проводящих компонентов, диэлектрическая паста — диэлектрических, резистивная паста содержит и проводящие, и диэлектрические компоненты. Технология получения пасты следующая. Компоненты перемешиваются,

а затем обрабатываются в шаровой мельнице. В определенных пропорциях составляющие компоненты и стеклянная пудра перемешиваются с органическим материалом. В качестве органической связки применяют раствор каанифоли в скипидаре, ланолин с циклогексанолом и раствор нитроцеллюлозы. Многократное перемешивание и перетирание компонентов с органикой обеспечивают равномерное распределение их в пасте.

Защита пленок слоем органических материалов (например, полиуретаном) или неорганических (например, стеклом) существенно уменьшает дрейф сопротивлений резисторов.

Толстопленочная технология может быть совмещена с полупроводниковой. При этом пассивные элементы и коммутационные цепи — толстопленочные, а активные элементы расположены в объеме монолитного кристалла.

3.9. Толстопленочные элементы

Проводники и контактные площадки. Проводниковые элементы в составе толстопленочных схем используются для коммутации, а также в качестве контактных площадок под монтаж активных элементов и для внешних выводов.

При выборе материала проводящей пасты следует учитывать совместимость материалов резистора и проводника, поскольку химическое взаимодействие между ними и коррозия в месте соединения могут привести к возникновению большого контактного шума или ухудшению ТКР. Проводники не должны растворяться в материале межсоединений или сильно взаимодействовать с ним во избежание ухудшения их проводимости и способности к пайке. Проводники и контактные площадки изготавливаются из паст, содержащих платину, золото и стекло или палладий, серебро и стекло.

Удельное сопротивление проводников тем выше, чем больше процентное содержание стекла. С другой стороны, адгезия возжженных пленок увеличивается при большом содержании стекла. Учитывая это, выбирают оптимальное содержание стекла.

В табл. 3.6 приведены основные характеристики проводников.

Оптимальная ширина проводников 0,25—0,5 мм.

Толстопленочные резисторы изготавливаются в широком диапазоне сопротивлений — от единиц ом до ме-

Таблица 3.6

Наименование параметра	Значение параметра
Удельное поверхностное сопротивление	0,1—0,005 Ом/□
Прочность сцепления	100 кг/см ² и более
Минимальная ширина	0,1 мм
Толщина слоя	10—30 мкм

гом. Для этой цели применяется гамма резистивных паст с поверхностным удельным сопротивлением от 5 Ом/□ до 300 кОм/□. Удельное поверхностное сопротивление толсто пленочных резисторов зависит от состава композиции, вязкости пасты, толщины слоя резистивного материала, температурного режима вжигания.

Получение необходимого удельного сопротивления достигается в результате применения композиций, различающихся соотношением проводящей и диэлектрической фаз. Проводящей фазой в пастах являются металлы (палладий, серебро), окислы этих материалов, окислы рутения, иридия и др.; диэлектрической фазой — свинцовоборосиликатные стекла различного состава. Изменяя содержание стеклофазы в пасте, можно регулировать сопротивление резистивных пленок в широких пределах. Обычно в одной схеме используют марки резистивных паст двух-трех номиналов поверхностного удельного сопротивления; для получения их промежуточных значений пасты двух марок смешивают в определенной пропорции. Наиболее часто применяются резистивные пасты из смеси серебра и палладия. Обычно выдерживается соотношение: 2/3 смеси стекла и металла и 1/3 органических материалов. Широко используются резистивные композиции, содержащие двуокись рутения, из них получают резисторы с широким диапазоном значений поверхностного сопротивления с низким ТКР.

Точность номинала резистора зависит от различных факторов (геометрия трафарета, материал и чистота поверхности подложки, режим вжигания пасты и т. д.) и в значительной мере — от толщины высушенной резистивной пленки.

Одной из основных причин невоспроизводимости номиналов резисторов считается разброс по толщине пленок. Для устранения его применяются металлические

трафареты, строго регламентирующие толщину наносимого слоя. Разброс номиналов резисторов возрастает с уменьшением их геометрических размеров. Так, при размере резистора $0,25 \times 0,25$ мм разброс номиналов составляет 60 %, а при размере 2×2 мм — всего 12 %. Разброс номиналов может быть уменьшен при использовании такой топологии, где резисторы будут иметь одинаковую ширину и отношение длины l к ширине b , не превышающее единицы.

Непосредственно после вжигания разброс номиналов резисторов составляет $\pm(10-20)\%$. Для уменьшения допуска применяются различные методы подгонки (воздушно-абразивный, термический, лазерным лучом и др.). С помощью этих методов можно уменьшить допуск до 0,1 %. Из электрических свойств толсто пленочных резисторов особый интерес представляют избыточный шум и частотные характеристики.

Для толсто пленочных резисторов характерен шум 5—10 мкВ/В. Уровень шумов тем больше, чем больше сопротивление резисторов.

Частотные характеристики толсто пленочных резисторов зависят от удельного сопротивления пленок и их номиналов. Сопротивление высокоомных резисторов уменьшается с увеличением частоты, что особенно заметно для более высоких номиналов. ТКР резисторов может быть как положительным, так и отрицательным, и в некоторой области температур происходит изменение знака. ТКР, близкий к нулевому значению, получен при использовании составов с соотношением $Pd/Ag=56/44$. В настоящее время ТКР толсто пленочных резисторов составляет $\pm 1 \cdot 10^{-4} 1/^{\circ}C$ в диапазоне сопротивлений $100 \text{ Ом}/\square - 100 \text{ кОм}/\square$.

Т а б л и ц а 3.7

Наименование параметров	Значение параметра
Удельное сопротивление	5—300 000 Ом/ \square
Диапазон сопротивлений	3— 10^6 Ом
ТКР	$\pm 1 \cdot 10^{-4} 1/^{\circ}C$
при $T = (-60) - +85^{\circ}C$	± 4
Допуски:	
без подгонки	$\pm 20 \%$
с подгонкой	$\pm 1 \%$
Дрейф за 1000 ч при $T = +150^{\circ}C$	0,5 %

В табл. 3.7 приведены типовые значения основных параметров толсто пленочных резисторов.

Толсто пленочные конденсаторы. Для изготовления толсто пленочных конденсаторов применяются диэлектрическая и проводниковая пасты.

Диэлектрические пленки изготавливаются из пасты, содержащей титанат бария BaTiO_3 , боросиликатное

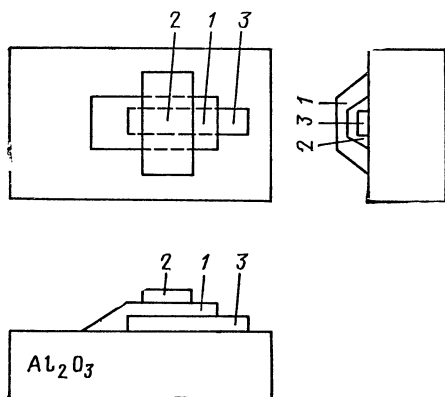


Рис. 3.9. Геометрия толсто пленочных конденсаторов:

1 — диэлектрик; 2 — верхний электрод; 3 — нижний электрод

стекло и связку. При этом получают удельную емкость $3 \cdot 10^3$ пФ/см².

В качестве диэлектрика применяются также порошки сегнетокерамических материалов с высоким (более 1000) значением ϵ . Удельная емкость при использовании композиции на основе сегнетокерамики и стекла достигает 8000 пФ/см² (толщина диэлектрического слоя 25 мкм). На рис. 3.9 показана геометрия конденсатора.

Подгонка емкостей конденсаторов выполняется методами абразивной или лазерной обработки верхнего электрода (уменьшение его площади).

Большим преимуществом толсто пленочных конденсаторов являются их хорошая стабильность и высокое напряжение пробоя (более 500 В/мм). Типовые значения основных параметров толсто пленочных конденсаторов приведены в табл. 3.8.

Параметры	Значения
Удельная емкость	3 000—30 000 пФ/см ²
Диапазон емкости	20—30 000 пФ
ТКЕ	200—1 000 · 10 ⁻⁶ 1/°C
Напряжение пробоя	1 200 В/мм
Диэлектрические потери ($f=1,5$ МГц)	400 · 10 ⁻⁴
Допуски (без подгонки)	±15 %

3.10. Компоненты гибридных микросхем

В гибридных микросхемах применяются различные навесные активные и пассивные элементы — компоненты микросхем. Как правило, бескорпусные. Они имеют

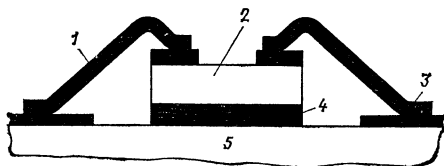


Рис. 3.10. Проволочный монтаж кристаллов к подложке:

1 — выводы (Au или Al); 2 — бескорпусный транзистор; 3 — контактная площадка (Au или Al); 4 — эвтектическое соединение Au—Si; 5 — подложка (Al₂O₃ или BeO)

различную конструкцию в зависимости от электрических параметров, в частности от рассеиваемой мощности.

Компоненты могут быть с контактами в виде проволочных выводов, шариков, алюминиевых выступов, балочных выводов или вообще без контактных выступов. В зависимости от типа выводов кристалл может монтироваться в перевернутом или обычном состоянии. Например, транзистор с проволочными выводами (2Т324) конструктивно представляет собой кристалл кремния с транзисторной структурой размером 1×1 мм, лицевая сторона которого покрыта защитным компаундом. Выводы эмиттера, базы и коллектора изготовлены из золотой проволоки диаметром не более 40 мкм (рис. 3.10). Из всех видов контактов для соединений легче всего выполнить шариковые выводы (рис. 3.11). Шариковые вы-

воды обычно создаются на алюминиевой металлизации в отверстиях, вытравленных в напыленном слое двуокиси кремния. Используют транзисторы размерами $1,25 \times 1,25 \times 0,75$ мм, армированные балочными выводами. Такие транзисторы удобны в обращении и для монтажа.

Широкое применение находят транзисторы с балочными выводами. Практически поперечное сечение ба-

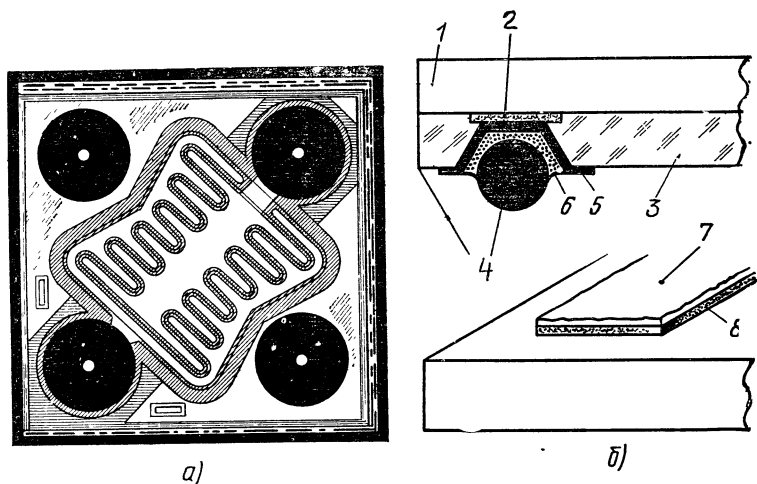


Рис. 3.11. Транзистор с шариковыми выводами (а) и посадка его на подложку гибридной микросхемы (б):

1 — кристалл; 2 — алюминиевая соединительная площадка; 3 — стекло; 4 — медный шарик; 5 — медная подушка; 6 — высокотемпературный припой; 7 — низкотемпературный припой; 8 — вывод из сплава

лочных выводов сравнимо с толщиной кристалла, поэтому они представляют короткие, очень жесткие консоли (рис. 3.12). Типичные размеры балочных выводов — $125 \times 50 \times 5$ мкм.

Если в гибридных микросхемах требуются конденсаторы высоких номиналов, то используются дискретные пластинчатые конденсаторы. В традиционных схемах наиболее широко используются конденсаторы емкостью от 100 пФ до 10 мкФ. Танталовый пластинчатый конденсатор емкостью 70 мкФ и номинальным напряжением 4 В имеет габариты $6 \times 6 \times 3$ мм (рис. 3.13). Один из вариантов электролитического конденсатора, предназначенного для гибридных схем, изготавливается на алюминиевой пластине размером $3 \times 5 \times 1$ мм (рис. 3.13, б).

Рабочее напряжение конденсатора $\cdot 25$ В, емкость $0,05$ мкФ.

Наиболее серьезные трудности возникают при конструировании катушек индуктивности. Верхний предел тонкопленочных индуктивностей обычно не превышает 3 мкГн, добротность их также низка. Например, при ши-

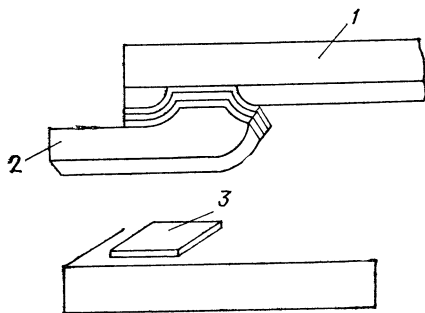


Рис. 3.12. Балочный вывод:
1 — кристалл; 2 — балочный вывод; 3 — золотой вывод

рине линии спирали около $0,00125$ мм удельное сопротивление слоя имеет 10^3 Ом/□, а индуктивность 1 мкГн.

Применение тонкопленочных индуктивностей ограничено их низкой добротностью Q , высокой индуктивностью рассеяния и относительно большой занимаемой площадью. Если необходимы большие индуктивности, то применяют навесные катушки индуктивности.

Параметры катушек индуктивности во многом определяются свойствами материала магнитопровода. Из су-

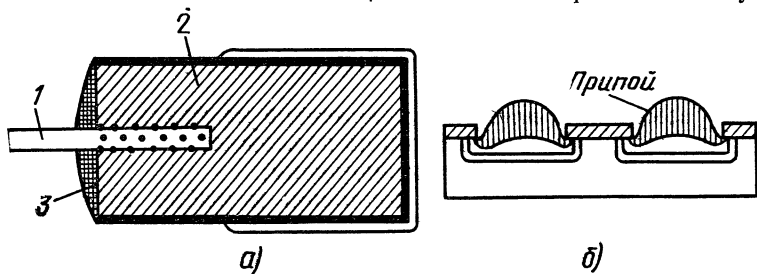


Рис. 3.13. Танталовый пластинчатый (а) и электролитический (б) конденсаторы:

1 — танталовая проволока; 2 — электролит; 3 — капля эпоксидной смолы

существующих материалов наиболее предпочтительными являются: для частот 1—80 МГц ферриты с разомкнутой магнитной цепью; для частот 1—100 МГц карбонильное железо. Индуктивность катушек на кольцевом сердечнике с обмоткой достигает от 0,1 до 40 мкГн. В диапазоне частот 2—100 МГц в зависимости от номинала индук-

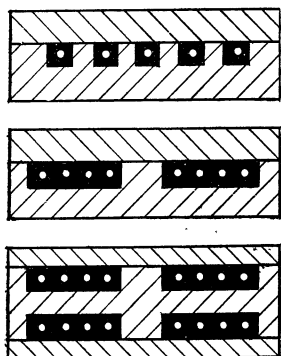


Рис. 3.14. Конструкции индуктивностей

тивности и частоты измерения получены добротности Q от 50 до 100. В диапазоне температур от -60 до $+85^\circ\text{C}$ температурный коэффициент индуктивности (ТКИ) не превышает $(50-100) \cdot 10^{-6} \text{ } 1^\circ\text{C}$.

Катушка с переменной индуктивностью имеет стержневой подстроечник из ферритов. Габариты ее не превышают $2,5 \times 2,5 \times 7 \text{ мм}$.

Для данной конструкции получены индуктивности от 0,1 до 100 мкГн.

Широкое применение в гибридных ИС нашли плоские катушки индуктивности с удельным значением $L_{\text{уд}} =$

$=15 \text{ мкГн/см}^2$. Применение сердечников позволило получить индуктивность $L=45 \text{ мкГн}$ и $Q=50$ (рис. 3.14).

3.11. Разработка топологии гибридных микросхем

Процесс разработки топологии микросхемы можно условно разбить на следующие этапы:

- определение формы и геометрических размеров пленочных элементов;
- размещение пленочных элементов на подложке;
- размещение компонентов на подложке;
- разработка схемы межсоединений;
- определение размера подложки и выбор типа корпуса.

Основными требованиями при разработке топологии являются: достижение минимальной площади, занимаемой схемой, минимальное число пересечений межэлементных соединений, равномерное расположение элементов по площади подложки.

Разработка топологии начинается с анализа электрической схемы и выделения пленочных элементов и компонентов. Определяют оптимальное удельное поверхностное сопротивление резистивной пленки с учетом того, что все резисторы будут изготовлены из одного материала и в одном технологическом цикле. Затем определяют удельную емкость диэлектрической пленки для кон-

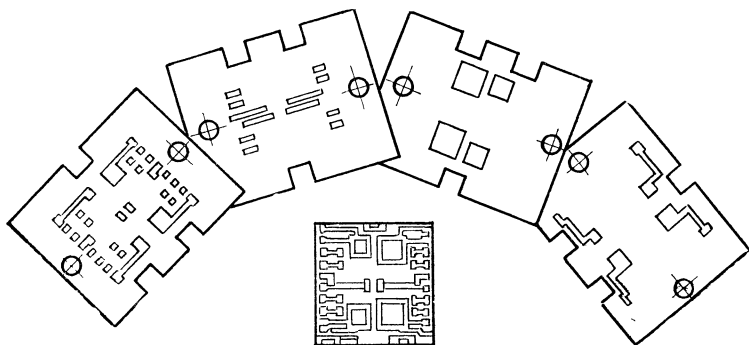


Рис. 3.15. Тонкопленочная микросхема и набор масок

денсаторов также с учетом возможности выполнения всех конденсаторов из одного материала и в одном технологическом цикле. Далее определяется площадь, занимаемая пленочными элементами и навесными компонентами с учетом площади контактных площадок, в том числе площади контактных площадок тонкопленочных элементов для сборки микросхемы и монтажа навесных компонентов. После этого размещают элементы и составляют схему межсоединений. При размещении элементов стремятся обеспечить равномерное распределение мощности рассеивания по подложке, кратчайшие пути прохождения электрических сигналов и равномерное расположение контактных площадок в соответствии с выводами корпуса. Одним из основных требований при этом являются минимальные размеры между элементами, контактными площадками и краями подложки.

Следующим этапом является выбор размера подложки (из стандартизованного ряда) и типа корпуса.

После разработки топологии микросхемы разрабатывают геометрию каждого слоя, изготовление которого

возможно за один технологический цикл и из одного материала. Геометрическое размещение элементов пленочной схемы сначала подробно представляется на топологической карте, в которую должны включаться размеры и формы всех элементов. Для формирования топологи-

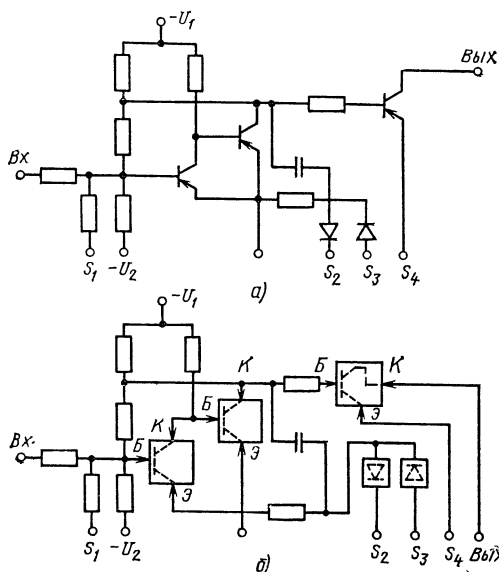
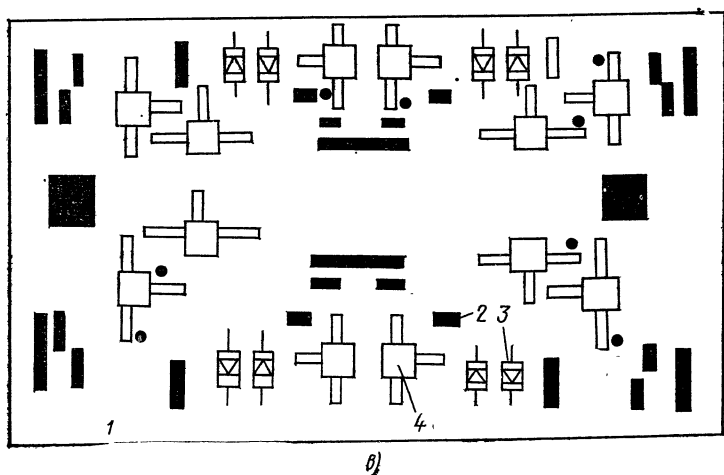


Рис. 3.16. Последовательность процесса изготовления гибридной микросхемы:

а — стандартная схема; *б* — гибридная схема; *в* — окончательная топология триггера Шмитта с четырьмя схемами на подложке:

1 — перфорированная подложка; *2* — пластинчатый конденсатор; *3* — диод; *4* — транзистор



ческой схемы пленочных пассивных элементов чаще всего используют следующие четыре метода:

- 1) осаждение через неконтактные (свободные) маски;
- 2) нанесение пленки на всю поверхность подложки с последующей фотолитографией и селективным удалением ненужных участков;
- 3) осаждение через контактную (нанесенную на подложку) тонкопленочную маску, которая селективно травится с удалением ненужных участков пленки;
- 4) осаждение на всю поверхность подложки с последующим селективным удалением ненужных участков пленки электронным лучом.

Выбор того или иного метода получения заданной конфигурации зависит от способов нанесения и свойств материалов тонких пленок, требований по точности, плотности размещения элементов, воспроизводимости, производительности. Например, при изготовлении резисторов во многих случаях требуется обеспечить точность в пределах $\pm 5\%$ и выше. Такие высокие требования могут быть выполнены с использованием фотолитографических методов.

Маски применяются при нанесении пленок термическим испарением в вакууме. На рис. 3.15 показаны маски для нанесения проводников, изоляторов и резисторов.

На рис. 3.16 показано размещение схемы триггера. На рис. 3.16, б изображена схема со всеми необходимыми элементами, в квадраты заключены навесные компоненты. Топология показана на рис. 3.16, в. На подложке стандартного размера размещается четыре схемы.

3.12. Совмещенные интегральные микросхемы

Наиболее полно преимущества микроэлектроники проявляются при создании так называемых совмещенных микросхем, полученных в результате комбинации технологии полупроводниковых и пленочных микросхем. В объеме полупроводника методом планарной или планарно-эпитаксиальной технологии создаются все активные элементы, а затем на такую «активную» подложку, соответствующим образом защищенную, наносятся пассивные элементы (резисторы, конденсаторы, индуктивности) и токопроводящие дорожки. На рис. 3.17 показаны топология и структура небольшого участка совмещенной ИС с транзисторами, тонкопленочными резисто-

Рассмотрим технологический процесс изготовления совмещенной ИС с тонкопленочными нихромовыми резисторами и конденсаторами с диэлектриком из бор-алюминиевого силиката, осаждаемыми поверх кремние-

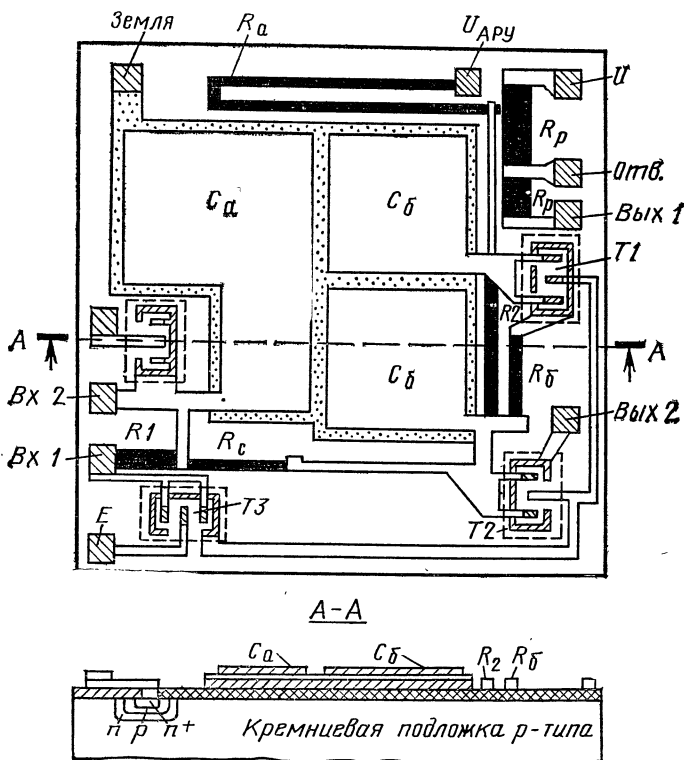


Рис. 3.17. Совмещенная микросхема

вой подложки. Последовательность изготовления активных элементов (транзисторов и диодов) такая же, как и обычных полупроводниковых ИС: окисление, фотолитография, диффузия примеси n^+ -типа (скрытый слой), эпитаксиальное выращивание p -слоя, окисление, фотолитография, диффузия примеси p -типа (разделительная диффузия), окисление, фотолитография, диффузия примеси p -типа (область базы), окисление, фотолитография, диф-

фузия примесей n^+ -типа (эмиттерная область) и, наконец, последнее окисление (слой SiO_2 толщиной примерно 1 мкм). На этом заканчивается обработка подложки и начинается осаждение тонкопленочных элементов.

Следующий этап — осаждение алюминиевой пленки для выполнения контактов, межсоединений и нижних обкладок конденсаторов. Затем выполняется осаждение нихрома. На следующем этапе на всю пластину осаждается бороалюминиевое силикатное стекло ($\text{Al}_2\text{O}_3 \cdot \text{SiO}_2$) для получения диэлектрика и защиты резистора. В стекле под контактными областями и в местах коммутации верхних пластин конденсаторов создаются окна. Для получения верхних обкладок, конденсаторов, соединения их со схемой и получения монтажных площадок для внешних включений еще раз осаждается алюминиевая пленка.

Технология совмещенных микросхем позволяет создавать как активные, так и пассивные элементы с лучшими электрическими параметрами. Она объединяет достоинства технологий, применяемых при изготовлении как пленочных, так и полупроводниковых микросхем.

В совмещенных микросхемах резисторы высокостабильны, имеют низкий ТКР. Пленочные конденсаторы имеют высокую удельную емкость и небольшие токи утечки. Совмещенные микросхемы могут содержать также тонкопленочные индуктивности.

В обычной полупроводниковой микросхеме вся рассеиваемая мощность выделяется в кремниевом кристалле, что вызывает повышение его температуры и снижение надежности из-за тепловых перегрузок. В совмещенной микросхеме рассеиваемая мощность распределяется между тонкопленочными резисторами и кристаллом.

Однако в связи с тем, что эта технология требует выполнения ряда дополнительных технологических операций, стоимость совмещенных микросхем выше стоимости обычных, что несколько ограничивает их применение. Преимущества совмещенных схем особенно проявляются в маломощных схемах, где требуются резисторы высоких номиналов относительно малых размеров с низкими ТКР и паразитными распределенными емкостями. Правильно комбинируя тонкопленочные и полупроводниковые микросхемы, можно создавать цифровые микросхемы с очень высоким быстродействием.

Совмещенная технология осаждения тонких пленок на кремнии в сочетании с подгонкой резисторов лазерным лучом позволяет обеспечить точность номиналов резис-

торов и ТКР, удовлетворяющих требованиям к прецизионным схемам.

Металлокерамические сопротивления из хрома и окиси кремния, полученные методом напыления в вакууме, подгоняются путем местного отжига лучом лазера. Отжиг отдельных резисторов, выполненных в герметизированных, покрытых стеклом корпусах, создает возможность плавного изменения сопротивления с разрешающей способностью подгонки не хуже 0,01 %.

Глава 4.

СБОРКА ИНТЕГРАЛЬНЫХ МИКРОСХЕМ. КОНСТРУКТИВНОЕ ИСПОЛНЕНИЕ

4.1. Сборка полупроводниковых микросхем

Полученные пластины могут содержать до нескольких сотен отдельных ИС каждая. Далее их разрезают алмазным резцом по вертикали и горизонтали. После обработки микросхемы необходимо обеспечить электрическое и термическое соединение ее с другими элементами.

От механических и климатических воздействий ИС обычно защищают с помощью герметичного корпуса, пластмассового или эпоксидного покрытия, комбинируя эти способы.

Корпуса ИС разделяются на металlostеклянные, металлокерамические, керамические и пластмассовые.

Для полупроводниковых ИС применяются в основном керамические, металлокерамические и пластмассовые корпуса. Металлокерамические и керамические корпуса применяются в основном для полупроводниковых ИС, предназначенных для использования в широком диапазоне климатических и механических воздействий. В металлокерамическом корпусе основание, выполненное из керамики, соединено с металлической крышкой сваркой или пайкой; в керамическом — и основание, и крышка выполнены из керамики и соединены пайкой. Пластмассовые корпуса используются для полупроводниковых ИС, предназначенных для эксплуатации в условиях с ограниченным диапазоном климатических и механических воздействий. В этом корпусе основание и крышка выполнены из пластмассы и соединены опрессовкой.

Конструкция корпуса выбирается исходя из условий эксплуатации (механические и климатические нагрузки, радиация и т. п.), а также требований к габаритам аппаратуры, степени сложности сборки и испытаний готовых микросхем.

По форме корпуса можно разделить на круглые и плоские. По расположению выводов все корпуса можно отнести к одной из двух групп: с планарными выводами, т. е. расположенными параллельно плоскости основания корпуса, со штыревыми, расположенными перпендикулярно плоскости основания.

По конструктивному признаку корпуса ИС классифицируются в соответствии с ГОСТ 17467—72, где указаны габаритные и присоединительные размеры, число выводов и их шаг. В ГОСТ приведена также система обозначений корпусов по типоразмерам и числу выводов. В соответствии с ГОСТ существует 4 типа корпусов ИС. Основные характеристики корпусов представлены в табл. 4.1.

Таблица 4.1

Тип корпуса	Форма корпуса	Расположение выводов	Размер шага расположения выводов
1	Прямоугольная	Штыревые	2,5 мм
2	То же	То же	2,5 мм
3	Круглая	»	30, 36, 45°
4	Прямоугольная	Планарные	1,25 мм

Для полупроводниковых микросхем применяются корпуса 2-, 3- и 4-го типов.

Корпусы 2-го типа имеют три модификации:

1. Корпусы К201—К237 с выводами по длинным сторонам основания корпуса с одинаковой геометрией отгибки (корпусы типа ДИП) и числом выводов от 14 до 46 (рис. 4.1, а); корпуса типа ДИП за последние годы нашли широкое применение. Основным достоинством такой конструкции являются высокая прочность и жесткость выводов. Затраты на сборку схем в корпуса типа ДИП составляют всего 10% монтажных затрат при использовании обычных плоских корпусов. Корпусы типа ДИП выполняются из металлокерамики и из пластика. Преимуществом последних является низкая стоимость. Общий вид ИС в пластмассовом корпусе показан на рис. 4.1, а.

2. Корпусы К240—К245 с выводами по длинным сторонам основания с отгибкой в шахматном порядке и числом выводов от 14 до 24 (рис. 4.1, б).

3. Корпусы К260—К274 с выводами по периметру основания с одинаковой геометрией отгибки с числом выводов от 28 до 76 (рис. 4.1, в). Эти корпуса широкого применения не нашли.

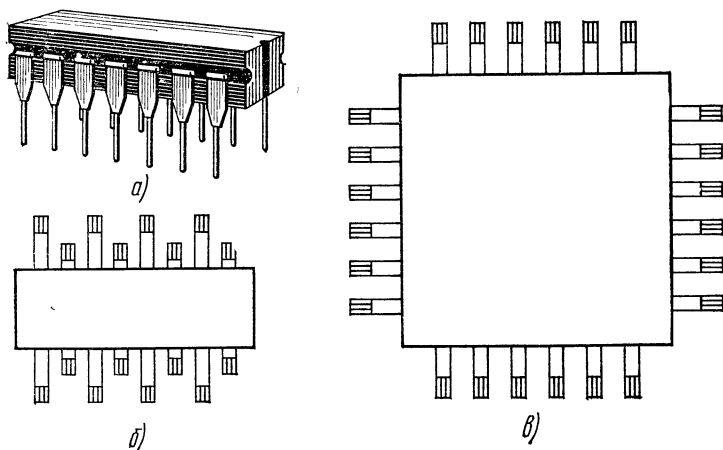


Рис. 4.1. Плоские корпуса со штырьковыми выводами

Корпусы 3-го типа К302 имеют круглую форму (рис. 4.2) и в зависимости от числа выводов (8, 10 или 12) имеют три модификации. Выводы расположены по окружности диаметром 5,0 мм под углом 45, 36 или 30° (в зависимости от их числа). Высота корпуса — от 3,0 до 7,5 мм и диаметр — от 7,5 до 9,5 мм. Круглая форма корпусов обеспечивает равномерное распределение механических напряжений в спае, надежную герметизацию кристалла и высокую механическую прочность ИС. К недостаткам круглых корпусов относятся: ограниченные размеры кристалла (не более 2,5×2,5 мм), ограниченное число выводов, сравнительно большие габариты и масса.

Корпусы 4-го типа (планарные, металлокерамические и керамические) имеют также три модификации:

1. Корпусы К401—К428 с выводами по длинным сторонам основания корпуса числом от 14 до 82 (рис. 4.3, а), корпуса этого типа находят в настоящее время самое широкое применение.

2. Корпусы К440, К441 с 14 выводами по длинным сторонам основания (рис. 4.3, б).

3. Корпусы К460—К469 с выводами по периметру основания числом от 20 до 188 (рис. 4.3, в).

Высота корпусов с планарными выводами 2—3 мм. Максимальная мощность ИС в планарных корпусах от 200 мВт для корпуса К401 до 1000 мВт для корпуса К469. В стенку керамического или металлокерамического плоского корпуса впаиваются ленточные выводы толщиной 0,1 мм (рис. 4.4). В зависимости от конструкции плоских корпусов при сборке могут применяться сварка, высокотемпературная пайка твердым припоем и пайка припойным стеклом. Основными достоинствами планарных корпусов являются малые размеры и масса, а также сравнительно высокое отношение площади кристалла к размерам корпуса.

При сборке в корпус обратная (нерабочая) позолоченная сторона кристалла припаивается к позолоченной поверхности кристаллодержателя при помощи эвтектического сплава, например золото — германий, золото — кремний, или мягкого припоя (сплав свинца с оловом). Припайка происходит под определенным давлением на кристалл при температуре эвтектики. Выводы микросхемы соединяются с контактными площадками кристалла с помощью тонких проволочек. Для соединений используется алюминиевая проволока диаметром около 0,04 мм, которая соединяется методом термокомпрессии с нанесенными на кремниевые пластинки тонкопленочными электродами с выводами штырьками держателя.

После укрепления ИС на ножке сборка заканчивается операцией приваривания коваровой позолоченной крышки к ножке. Чаще всего применяется горячая сварка. Довольно часто применяется метод монтажа перевернутого кристалла. Этот метод объединяет операции укрепления кристалла на подложке и присоединения вы-

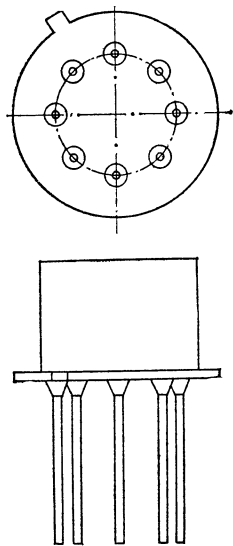


Рис. 4.2. Круглый корпус

водов и заключается в монтаже ИС лицевой стороной вниз различными способами: при помощи балочных выводов, методом повторного расплавления контактных бугорков из мягкого припоя и др. Сравнительно прост и дешев метод монтажа ИС, при котором кристалл при-

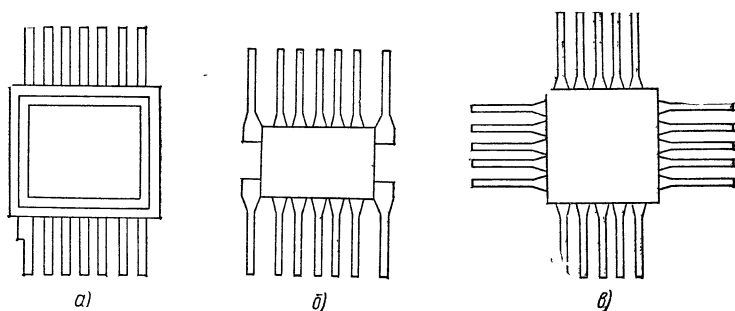


Рис. 4.3. Различные типы плоских корпусов с планарными выводами

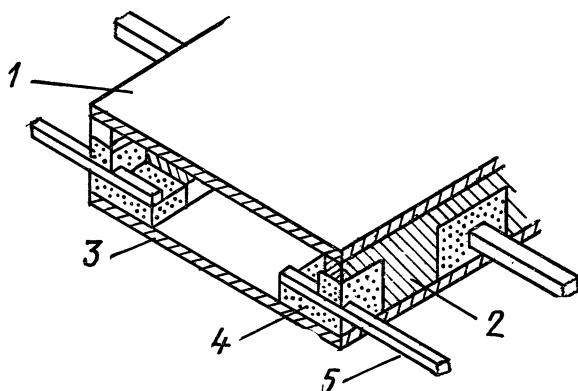


Рис. 4.4. Металлический корпус:

1 — крышка; 2 — металлическая рамка и боковая стенка; 3 — металлическое основание; 4 — стеклянная изолирующая прокладка; 5 — вывод

крепляется к рамке с помощью паукообразных выводов (рис. 4.5).

Для ИС с повышенным тепловыделением применяются корпуса с массивным основанием с возможностью крепления к внешнему теплоотводу или имеющие собственный теплоотвод (рис. 4.6).

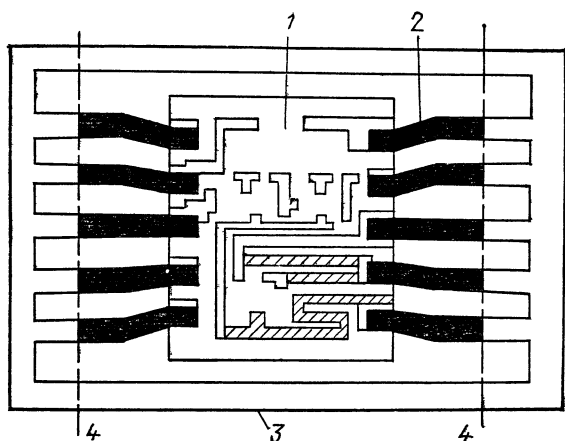


Рис. 4.5. Пример присоединения с помощью рамки с выводами:
 1 — подложка; 2 — балочные выводы подложки; 3 — рамка с выводами; 4 — линии
 обрезки

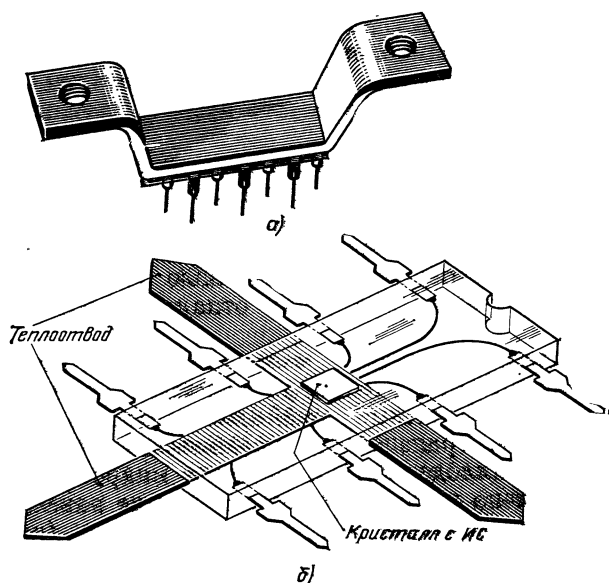


Рис. 4.6. Корпусы для мощных микросхем:
 а — типа «скоба» и б — Т-образного типа

Для пластмассового корпуса с теплоотводом в виде Т-образной пластины (рис. 4.6, б) удалось допустимую мощность рассеивания ИС-усилителя довести до 6 Вт (для обычного корпуса она составляет 1 Вт). На поверхность корпуса наносят условное обозначение ИС, дату выпуска и товарный знак предприятия-изготовителя. Для определения номера вывода на корпусе имеется «ключ» в виде вывода специальной формы или маркировочной метки, обозначающей вывод с номером 1. Номера других выводов отсчитываются от 1-го вывода по часовой стрелке, если смотреть со стороны основания.

4.2. Сборка гибридных микросхем

При сборке гибридных микросхем необходимо установить на пленочную схему навесные компоненты, присоединить их выводы, а также соединить схему с выводами корпуса и загерметизировать ее. Навесные компоненты согласно принципиальной схеме и топологии устанавливаются и закрепляются на подложке. Затем производится присоединение выводов к контактным площадкам. Полупроводниковые приборы и микросхемы могут монтироваться на подложку различными способами, из которых наиболее распространенным является эвтетическое соединение подложки и кристалла, на монтируемую поверхность которого предварительно нанесен слой золота.

Монтаж кристаллов в большинстве случаев выполняется с помощью припоя или проводящей эпоксидной смолы. Кристаллы меньших размеров (транзисторы) паяют к подложке, в то время как кристаллы больших размеров (ИС) присоединяют с помощью теплопроводящей эпоксидной смолы, при этом отпадает необходимость нагрева.

Транзисторы средней мощности, рассчитанные на максимальный отвод тепла, рассеиваемого на кристалле, паяются на золоченый кристаллодержатель размером $3 \times 1 \times 0,1$ мм. Транзисторы устанавливаются методом пайки кристаллодержателя на плату микросхемы.

Аналогично устанавливаются и другие навесные элементы: конденсаторы, индуктивности и т. д. (рис. 4.7). Наиболее освоенными методами присоединения выводов являются пайка и сварка. Каждый из них имеет ряд разновидностей. Процессы, требующие применения припоя и флюса, относятся к пайке, остальные — к сварке. Свар-

ка электронным лучом допускает сборку по программе, но большая энергия, выделяемая в месте контакта, может привести к разрушению пленки.

В микросборках при монтаже отдельных бескорпусных полупроводниковых ИС используются золотые и алюминиевые проволоочные выводы, которые присоединяются к алюминиевым или золотым (соответственно)

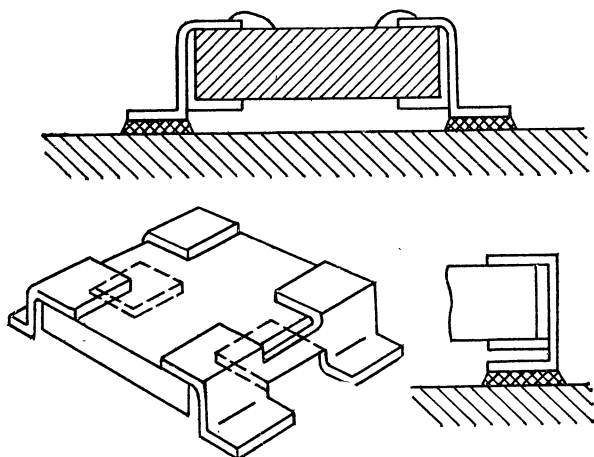


Рис. 4.7. Схема присоединения конденсатора с ленточными выводами

контактным площадкам. Транзисторы и микросхемы с объемными (шариковыми) выводами устанавливаются на плату микросхемы лицевой стороной вниз. При этом осуществляется одновременное механическое и электрическое соединение шариковых выводов транзистора с контактными площадками микросборки. Соединение осуществляется пайкой, установка транзисторов — с помощью автоматического устройства.

Соединение с помощью термокомпрессионных золотых шариковых выводов является самым распространенным методом монтажа. Транзисторы легко напаивать на серебряно-палладиевую металлизацию, широко применяемую в толстопленочных гибридных схемах.

Для присоединения кристалла к подложке с выраженными на ней столбиками лицевой стороной вниз наиболее широко применяется ультразвуковая сварка.

Наиболее простым методом соединений является монтаж приборов с балочными выводами (рис. 4.8). Монтаж компонентов с балочными выводами выполняется с помощью термокомпрессионной вибросварки, при соединении выводов осуществляется групповым методом

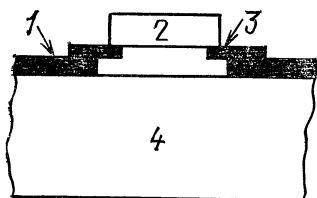


Рис. 4.8. Монтаж приборов с балочными выводами на подложку:

1 — контактная площадка (Au); 2 — бескорпусная полупроводниковая схема; 3 — балочные выводы (Au); 4 — подложка (Al_2O_3 или пластмасса)

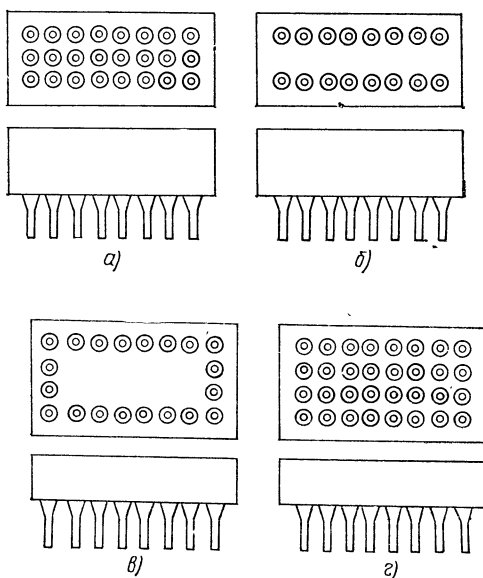


Рис. 4.9. Корпусы гибридных микросхем

или на автоматических устройствах, поэтому эта операция является высокопроизводительной.

Для предотвращения проникновения влаги и загрязнений, а также для защиты от механических повреждений схемы герметизируются. После этого плата лудится погружением в расплавленный припой. Герметизация

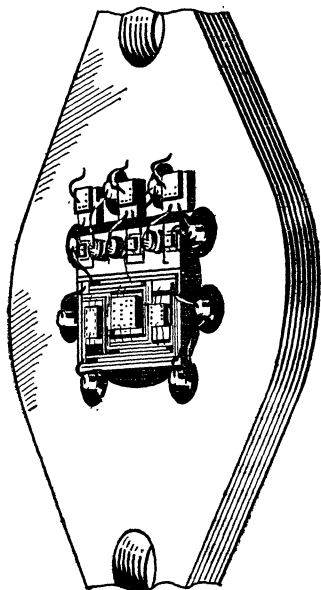
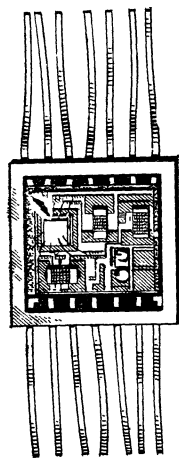
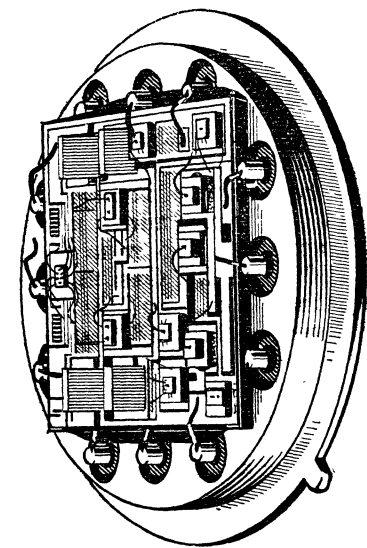


Рис. 4.10. Гибридные микросхемы в нестандартных корпусах

гибридных микросхем может осуществляться методами капсулирования в металлостеклянные и металлополимерные корпуса. В металлостеклянном корпусе основание, выполненное из стекла или металла, соединено сваркой с металлической крышкой, выводы изолированы стеклом. В металлополимерном корпусе подложка с компонентами помещена в металлическую крышку. Герметизация схемы и изоляция выводов осуществляются компаундом. Наиболее распространенные корпуса, выпускаемые в настоящее время для гибридных микросхем, показаны на рис. 4.9. Это корпуса 1-го типа в соответствии с ГОСТ 1746—72 (К101—К162). Они имеют четыре модификации с числом выводов от 6 до 345:

- 1) удлиненной формы высотой 13 и 18,5 мм с линейно-многорядным расположением выводов (рис. 4.9, а);
- 2) плоские высотой 4,0 и 6,5 мм с расположением выводов по длинным сторонам основания корпуса (рис. 4.9, б);
- 3) плоские высотой 4,0 и 6,5 мм с расположением выводов по периметру основания корпуса (рис. 4.9, в);
- 4) плоские высотой 4,0 и 6,5 мм с линейно-многорядным расположением выводов (рис. 4.9, г).

Для специализированных гибридных микросхем — микросборок — применяются нестандартные корпуса — как круглые, так и плоские. На рис. 4.10 приведено несколько типов гибридных микросхем в нестандартных корпусах без крышек.

Глава 5.

ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

5.1. Логические элементы

В ЦВМ основные функции выполняются цифровыми (логическими) схемами, имеющими два фиксированных состояния. В связи с этим наиболее удобной является двоичная система счисления, в которой используются две цифры: 0 и 1. Любое число в двоичной системе записывается в виде комбинации нулей и единиц. Принимая за основание два, получаем двоичную систему счисления. В качестве примера запишем число 29 в дво-

ичной системе счисления: $29 = 1 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0$. Таким образом, $29_{(10)} = 11101_{(2)}$.

Отличительной особенностью записи чисел в двоичной системе счисления является то, что запись числа длинная, но знаков в ней всего два: 0 и 1. По сравнению с другими системами счисления двоичная система замечательна тем, что в ней арифметические действия наиболее просты.

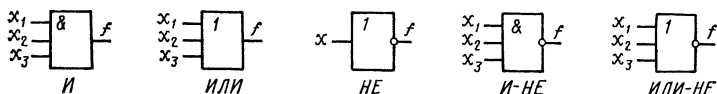


Рис. 5.1. Условное изображение функциональных логических элементов

Для представления разрядов двоичных чисел в цифровых вычислительных машинах (ЦВМ) необходимо реализовать два различных сигнала: один должен соответствовать единице, а другой — нулю. Применяются два кода: потенциальный и импульсный. При потенци-

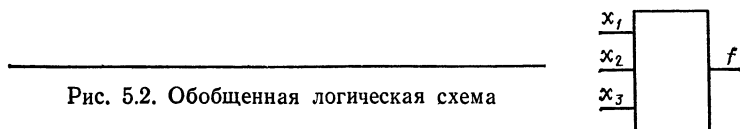


Рис. 5.2. Обобщенная логическая схема

альном коде двоичным цифрам соответствуют различные уровни напряжения, обычно единице — высокий, а нулю — низкий. Эти уровни сохраняются в течение всего времени представления данной цифры. При импульсном коде двоичные цифры изображаются импульсами определенной длительности. Обычно единице соответствует наличие импульса, а нулю — его отсутствие. Иногда единицу и нуль изображают импульсами различной полярности.

Если более высокому уровню напряжения соответствует логическая 1 (лог. 1, или просто 1), а более низкому — логический нуль (лог. 0, или просто 0), то принято считать, что используется положительная логика. Если 1 соответствует низкий уровень напряжения, то принято считать, что используется отрицательная логика. Существуют три основных функциональных логических элемента: И, ИЛИ, НЕ.

На рис. 5.1 приведены условные обозначения основных логических элементов. Единица на выходе логического элемента И будет тогда, когда на всех его входах будет 1, и если хотя бы на одном входе будет 0, то и на выходе будет 0. Единица на выходе логического элемента ИЛИ будет при наличии на одном или на всех входах 1. Логический элемент НЕ инвертирует 1 в 0 и наоборот, т. е. если на вход подана 1, то на выходе будет 0. Элемент НЕ называют также инвертором.

Логический элемент можно представить в виде обобщенной схемы, показанной на рис. 5.2. На каждый вход воздействуют сигналы 0 или 1. Число входов может быть и больше трех. Схема должна выполнять определенные операции над входными величинами.

Логические функции, выполняемые схемой с отрицательной логикой, можно определить, пользуясь функциями для положительной логики, если в последних поменять местами символы для операций И и ИЛИ. Каждая входная переменная может принимать только два значения: 0 и 1; следовательно, функция n переменных имеет 2^n комбинаций значений переменных. Значения функций для трех входных переменных и, следовательно, восьми комбинаций приведены в табл. 5.1. Эту таблицу принято называть таблицей истинности.

Для логических ИС на биполярных транзисторах принята классификация по типу применяемых элементов и особенностей схемотехники:

НСТЛ — транзисторные логические ИС с непосредственной связью;

РТЛ — резисторно-транзисторные логические ИС;

РЕТЛ — резисторно-емкостные логические ИС;

Таблица 5.1

Входные переменные			Выходные функции			
x_1	x_2	x_3	И $f = x_1 x_2 x_3$	ИЛИ $f = x_1 + x_2 + x_3$	И-НЕ $f = \overline{x_1 x_2 x_3}$	ИЛИ-НЕ $f = \overline{x_1 + x_2 + x_3}$
0	0	0	0	0	1	1
0	0	1	0	1	1	0
0	1	0	0	1	1	0
0	1	1	0	1	1	0
1	0	0	0	1	1	0
1	0	1	0	1	1	0
1	1	0	0	1	1	0
1	1	1	1	1	0	0

ДТЛ — диодно-транзисторные логические ИС;
 ТТЛ — транзисторно-транзисторные логические ИС;
 И²Л — инжекционные интегральные логические ИС;
 ЭСЛ — эмиттерно-связанные логические ИС.

Все эти схемы выполняют функцию либо ИЛИ—НЕ, либо И — НЕ.

Рассмотрим схему инвертора на кремниевом $n-p$ - n -транзисторе, являющуюся составной частью почти лю-

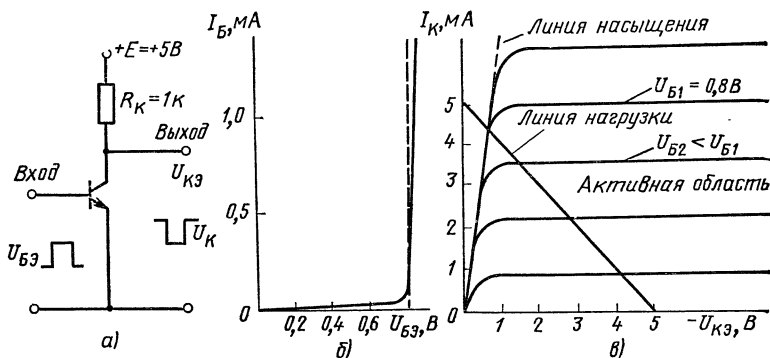


Рис. 5.3. Схема (а), входная (б) и выходные (в) характеристики инвертора

бой логической микросхемы (рис. 5.3), а также входные и выходные характеристики. Транзистор включен по схеме с общим эмиттером. При напряжении на базе, меньшем 0,7 В, транзистор заперт, ток очень мал, напряжение на коллекторе приблизительно равно E , т. е. примерно 5 В (рис. 5.3, в). При напряжении на базе свыше 0,7 В транзистор входит в активный режим и рабочая точка перемещается вдоль нагрузочной прямой.

При напряжении $U_B \geq 0,8$ В рабочая точка выходит из активной области и напряжение между коллектором и эмиттером соответствует состоянию насыщения $U_{Кн} = 0,2$ В. Таким образом, при изменении входного напряжения существуют два уровня выходного напряжения: E и $U_{Кн}$, соответствующие логическим 1 и 0.

Основные параметры. Логические ИС должны характеризоваться параметрами, которые, во-первых, полностью описывают нелинейный режим работы схемы и, во-вторых, их можно измерить на внешних ее выводах.

Основные параметры микросхем характеризуют их работоспособность в сложных устройствах. Основные параметры являются общими для всех логических схем. Это потребляемая мощность, средняя задержка, статическая помехоустойчивость, коэффициент объединения по входу и коэффициент разветвления по выходу. Все они связаны между собой, и улучшение одного из них, как правило, приводит к ухудшению другого.

Очень удобным для сравнения логических схем между собой является комплексный параметр — произведение мощности, потребляемой схемой, на время задержки. Желательно, чтобы это произведение было минимальным. Этот параметр иногда называют показателем качества.

Статистическая помехоустойчивость характеризует максимально допустимое напряжение статической помехи, которое действует в одной из внешних цепей схемы и при котором сохраняется работоспособность схемы в устройстве. Статическая помеха постоянна в течение времени, значительно превышающего длительность переходного процесса схемы. Статические помехи возникают за счет падения напряжения на проводниках, соединяющих схемы в устройстве.

Следует различать помехоустойчивость запертой схемы по отношению к отпирающим помехам $U_{п1}$ (по уровню 1) и помехоустойчивость отпертой схемы по отношению к запирающим помехам $U_{п0}$ (по уровню 0).

Отпирающая помеха — это напряжение, которое может быть подано на вход запертой ИС, не вызывая ее открывания, а запирающая помеха — это напряжение, которое может быть подано на вход отпертой схемы, не вызывая ее запираения. Значения $U_{п0}$ и $U_{п1}$ можно определить по передаточным характеристикам логических ИС. Наиболее опасными являются помехи, возникающие за счет падения напряжения на сопротивлении шины «земля», так как по ней протекают большие токи. Можно легко показать, что падение напряжения на этой шине эквивалентно одновременному действию помех на входы последовательно соединенных отпертых и запертых схем. Необходимо также учитывать помехи, обусловленные падением напряжения на сопротивлениях цепей питания, в которых также могут протекать большие токи.

Характер действия указанных помех в значительной степени зависит от конкретной схемы и числа источни-

ков напряжения питания. Помехи, действующие на любом выводе схемы, могут быть пересчитаны к ее входам. Поэтому в качестве основного параметра, характеризующего статическую помехоустойчивость схемы, обычно принимают максимально допустимые амплитуды отпирающей и запирающей помех на входах схемы, при которых не происходит сбоя в их работе.

В ряде случаев используют отношения абсолютных значений напряжений максимально допустимых статических помех по входу U_n к напряжению минимально допустимого перепада логических уровней $\Delta U_{\min} = U_{\min}^1 - U_{\max}^0$, которые можно назвать коэффициентами статической помехоустойчивости $K_n = U_n / \Delta U_{\min}$. Эти коэффициенты удобны для сравнения помехоустойчивости логических микросхем.

Коэффициент объединения по входу $K_{об}$ определяет максимальное число входов логической схемы. Чем он больше, тем шире логические возможности схемы и тем меньше схем требуется при создании сложного вычислительного устройства. Для разных типов логических схем $K_{об}$ составляет от 2 до 10. Увеличение $K_{об}$ приводит к ухудшению других основных параметров.

Коэффициент разветвления по выходу $K_{раз}$ характеризует максимальное число схем, аналогичных рассматриваемой, которые могут одновременно подключаться к ее выходу. Чем выше коэффициент разветвления схемы, тем шире ее логические возможности и тем меньше схем необходимо для построения сложного вычислительного устройства. В зависимости от типа логической схемы коэффициент разветвления по выходу может изменяться в широких пределах: от 4 до 25. Наибольшее значение $R_{раз}$ имеют логические схемы, имеющие сложный инвертор или выходной эмиттерный повторитель.

Увеличение коэффициента разветвления по выходу схемы ограничено тем, что с ростом числа ее нагрузок ухудшаются другие основные параметры схемы, главным образом статическая помехоустойчивость и средняя задержка сигнала. Для большинства логических схем помехоустойчивость монотонно уменьшается при увеличении числа нагрузок, а средняя задержка растет.

Потребляемая мощность. Основным параметром логических ИС является средняя мощность, потребляемая микросхемой за период. Так как часть периода схема находится в отпертом состоянии, а другую часть — в за-

пертом, то среднюю потребляемую мощность можно определить по формуле

$$P_{\text{пот.ср}} = (P_1 t_1 + P_2 t_2 + P_3 t_3) / T,$$

где P_1, P_2, P_3 — соответственно мощности, потребляемые в открытом и закрытом состояниях и при переключении схемы из открытого состояния в закрытое и обратно. Некоторые схемы имеют большое потребление в открытом и закрытом состоянии, а мощностью P_3 можно пренебречь. Другие схемы в основном потребляют мощность во время переключения. Это преимущественно высокочастотные схемы. Мощность рассеивается в микросхеме неравномерно. Например, в РТЛ-схеме 90% всей мощности рассеивается в резисторе R_k и лишь 10% — в остальных элементах. Средняя мощность, рассеиваемая логической схемой, обычно определяется при 50%-ной скважности управляющих импульсов.

Среднее время задержки распространения сигнала логических микросхем. Динамические свойства логических микросхем характеризуются следующими параметрами: средним временем задержки, временем нарастания и временем спада выходного импульса. Средняя задержка является важнейшим параметром логических микросхем, характеризующим ее быстродействие. Она определяет среднее время прохождения сигнала через одну логическую схему и может быть определена как интервал времени, равный полусумме времен задержки распространения сигнала при включении и выключении логической микросхемы (рис. 5.4).

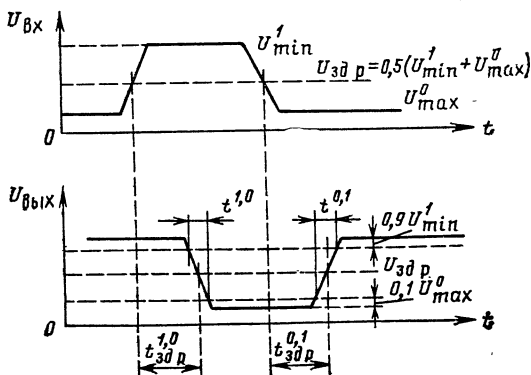


Рис. 5.4. Входной и выходной импульсы логической схемы

Средняя задержка характеризует быстродействие ИС и является динамическим параметром. Динамические параметры измеряются между определенными

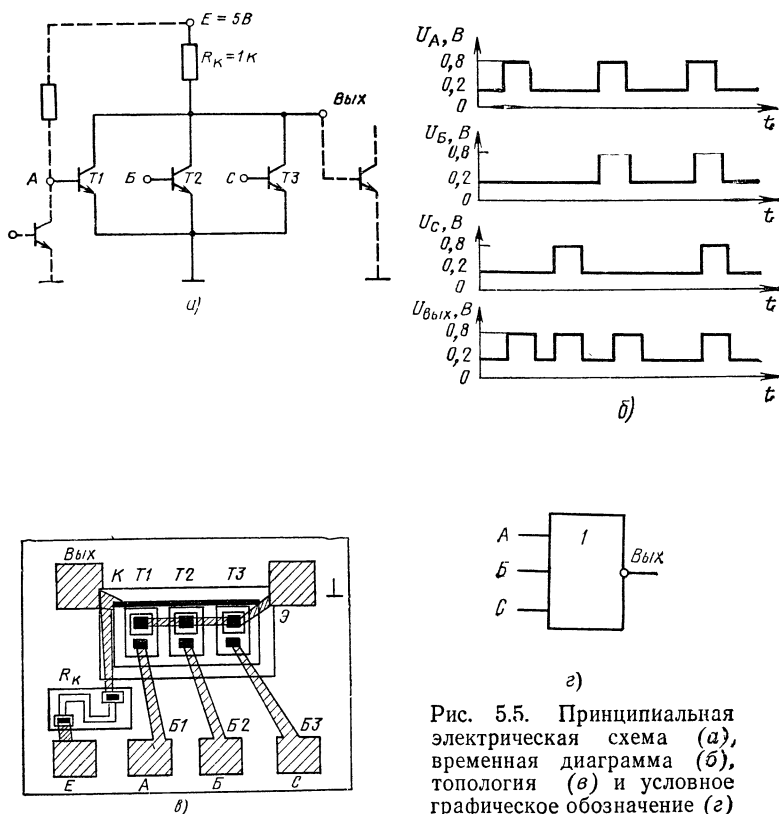


Рис. 5.5. Принципиальная электрическая схема (а), временная диаграмма (б), топология (в) и условное графическое обозначение (г) логической схемы с непосредственными связями

уровнями напряжения. Задержки распространения измеряются на уровне $U_{здр} = 0,5(U_{\min}^1 + U_{\max}^0)$, а фронт и спад между уровнями $0,1 U_{\max}^0$ и $0,9 U_{\min}^1$, где U_{\min}^1 — минимальное значение напряжения, соответствующего логической 1, а U_{\max}^0 — максимальное значение напряжения, соответствующего логическому 0.

Средняя задержка определяется по формуле

$$t_{здр\text{ ср}} = (t_{здр}^{0,1} + t_{здр}^{1,0})/2,$$

где $t_{\text{зд р}}^{1,0}$ — время задержки распространения при включении, т. е. время задержки выходного импульса относительно входного при переходе выходного напряжения от уровня 1 к уровню 0, измеренное на уровне 0,5; $t_{\text{зд р}}^{0,1}$ — время задержки распространения при выключении, т. е. время задержки выходного импульса относительно входного при переходе выходного напряжения от уровня 0 к уровню 1, измеренное на уровне 0,5.

К динамическим параметрам относятся также фронт и спад выходного импульса (рис. 5.4): $t^{1,0}$ — время перехода микросхемы из состояния 1 в состояние 0, измеренное на уровнях 0,9 и 0,1; $t^{0,1}$ — время перехода микросхемы из состояния логического 0 в состояние 1, измеренное на уровнях 0,1 и 0,9.

Время задержки определяется не только быстродействием схемы, но и емкостью на входе и на выходе, а следовательно, и объединением по входу и разветвлением по выходу, так как при увеличении числа ИС, включенных на входе и на выходе, емкости на входе и выходе возрастают.

5.2. Интегральные микросхемы с непосредственными связями

Транзисторные схемы с непосредственной связью. НСТЛ является самой простой логической схемой (см. рис. 5.5). Она выполняет логическую функцию ИЛИ — НЕ. Логическому 0, подаваемому на вход схемы, соответствует напряжение насыщения предыдущего транзистора $U_{\text{кн}} = +0,2$ В. Если на базы всех транзисторов подано напряжение 0,2 В (0), то ни один из них не откроется и через транзисторы будут протекать только токи утечки, а выходное напряжение будет приблизительно равно E .

Однако в связи с тем, что нагрузкой рассматриваемой схемы является подобная схема (или несколько параллельно включенных подобных схем), а напряжение на входе транзистора (транзисторов) этой схемы составляет 0,8 В, так как он отперт, то и на выходе схемы напряжение 0,8 В. Если на базу одного или нескольких транзисторов подать положительное напряжение, превышающее 0,8 В (1), то транзисторы перейдут в режим насыщения и на выходе схемы будет напряжение, соответствующее 0 (рис. 5.5, б). Размах логического сигнала составляет 0,6 В, так как лог. 0 соответствует 0,2 В, а

лог. 1 — 0,8 В (0,8 В — входное напряжение отпертого транзистора, включенного в качестве нагрузки).

Основным недостатком НСТЛ-схемы является сильная зависимость параметров схемы от характеристик транзисторов. Когда выходной сигнал схемы управляет несколькими схемами, базовые токи распределяются неравномерно, так как входные сопротивления транзисторов значительно отличаются. Большая часть тока будет поступать в базу одного из транзисторов, а остальные не получают тока, достаточного для их насыщения. В результате снижается помехоустойчивость. Кроме того, с изменением числа выходов и нагрузки (коэффициента объединения по входу и коэффициента разветвления по выходу) сильно изменяется уровень соответствующих сигналов.

Из-за разброса входных характеристик транзисторов нормальный режим работы схемы может быть обеспечен лишь при больших коллекторных токах, следствием чего является сравнительно высокая мощность рассеивания схемы. Схема НСТЛ обладает также низкой нагрузочной способностью ($K_{\text{раз}} \leq 4$) и имеет малую помехоустойчивость ($U_{\text{п}} = 0,1 \div 0,15$ В). В то же время НСТЛ-схемы обладают достаточно высоким быстродействием ($t_{\text{зд ср}} = 5 \text{—} 10$ нс) и коэффициентом объединения по входу ($K_{\text{об}} \geq 8$).

На рис. 5.5, в показана топология НСТЛ ИС. Как видно из рис. 5.5, коллекторы всех входных транзисторов гальванически связаны друг с другом. Следовательно, коллекторные области входных транзисторов можно объединить в одну общую область. Это уменьшает площадь, занимаемую входными транзисторами, поскольку устраняются зазоры между коллекторными областями отдельных транзисторов. Кроме того, снижаются до нуля четыре боковые составляющие емкости коллектор — подложка, в результате чего значительно уменьшается паразитная емкость коллектор — подложка.

Резисторно-транзисторные интегральные схемы. В РТЛ-схемах в базовые цепи инвертора включены резисторы (рис. 5.6). При наличии этих резисторов ток базы практически не зависит от характеристик эмиттерного перехода. Резисторы увеличивают входное сопротивление и позволяют увеличить нагрузочную способность схемы. Эта схема также выполняет функцию ИЛИ — НЕ. Схема РТЛ более инерционна, чем НСТЛ,

так как входная емкость транзистора при переключении схемы заряжается и разряжается через резистор. Для такой схемы типовыми являются $R_k=600$ Ом, $R_b=400$ Ом, $E=5$ В. Включение сопротивления в базовые цепи позволило значительно снизить рабочие токи и со-

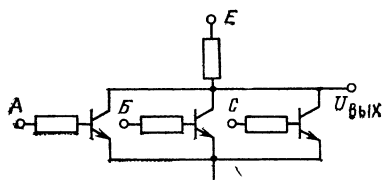


Рис. 5.6. Резисторно-транзисторная логическая схема

ответственно разработать серию микромощных ИС с $P_{\text{пот ср}}=500$ мкВт/вентиль, но с более низким быстродействием ($t_{\text{зд ср}}=500$ нс) и в то же время с высокими значениями параметров $K_{\text{раз}} \geq 4$ и $K_{\text{об}} \geq 8$.

Повышение быстродействия РТЛ-схемы было достигнуто включением параллельно базовому сопротивлению формирующих емкостей.

В табл. 5.2 приведены основные характеристики РТЛ-схем наиболее распространенных серий, выпускаемых отечественной промышленностью, в табл. 5.3 — состав серий.

Таблица 5.2

Параметры	К113	К114	К115
E , В	4	4	4
$U_{\text{вых}}^0$, В	0,22	0,2	0,22
$U_{\text{вых}}^1$, В	0,78	0,78	0,78
$U_{\text{п}}$, В	0,15	0,15	0,15
$K_{\text{раз}}$	4	4	4
$t_{\text{зд. р. ср.}}$, нс	500	650	150
$P_{\text{пот. ср.}}$, мВт	0,8	0,55	3

Резисторно-емкостные интегральные схемы. Схема РЕТЛ выполняет функцию ИЛИ—НЕ. В этой схеме параллельно входному резистору включена емкость (рис. 5.7), благодаря чему сопротивление R_b увеличивается и соответственно повышаются нагрузочная способность и помехоустойчивость.

Во время переходного процесса сопротивление шунтируется емкостью, что приводит к увеличению базовых

Таблица 5.3

Состав серий	К113	К114	К115
ИЛИ—НЕ	+	+	+
И—ИЛИ	+	+	+
Расширитель по ИЛИ	—	+	+
RS-триггер	+	+	+
Регистр	—	+	—
Полусумматор	—	+	—

Рис. 5.7. Резисторно-емкостная логическая схема

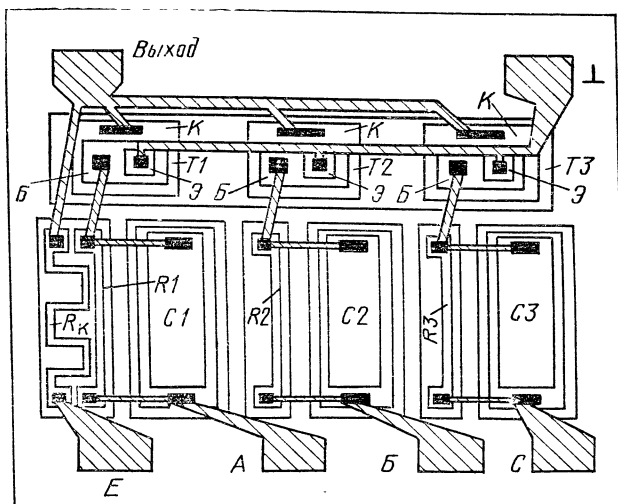
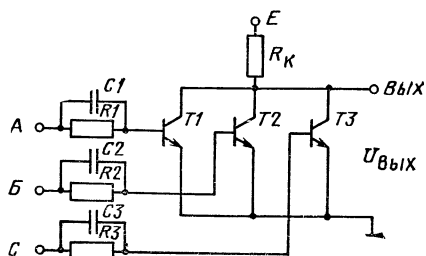


Рис. 5.8. Топология РЕТЛ-схемы

токов, а следовательно, к снижению времени разряда входной емкости. Такие РЕТЛ-схемы обладают более высоким быстродействием ($t_{зд\text{ ср}}=10\text{—}15\text{ нс}$) по сравнению с РТЛ. Нагрузочная способность и коэффициент объединения по входу РЕТЛ-схемы те же ($K_{раз}\geq 4$ и $K_{об}\geq 8$). Снижается также мощность, потребляемая схемой. Основные компоненты схемы $R_K=4\text{ кОм}$, $R_6=20\text{ Ом}$, $C_6=100\text{ Ом}$.

Топология РЕТЛ-схемы показана на рис. 5.8. Из рисунка видно, что из-за ускоряющих емкостей резко увеличивается площадь, занимаемая схемой.

Схемы РЕТЛ не получили широкого распространения из-за сложности изготовления конденсаторов. Конденсаторы на основе $p\text{—}n$ -переходов занимают большую площадь и имеют значительный разброс характеристик. В связи с этим они непригодны для БИС.

5.3. Диодно-транзисторные микросхемы

Схема ДТЛ состоит из диодной логической схемы И и транзисторного инвертора НЕ (рис. 5.9). Пусть 1 соответствует напряжению 2,5 В, а 0—0,3 В.

При подаче на все входы схемы 1 диоды $D1\text{—}D3$ запираются, так как в точке K схемы потенциал ниже. При запертом транзисторе $T2$ делитель $R1$, $D4$, $D5$, $R2$ обеспечивает потенциал в точке K не выше 2,5 В, а при открытом транзисторе $T2$ потенциал в точке K — не более 2 В, так как на каждом диоде падает напряжение 0,7 В и на открытом транзисторе 0,7 В. Таким образом, при поступлении на все входы 1 входные диоды запира-

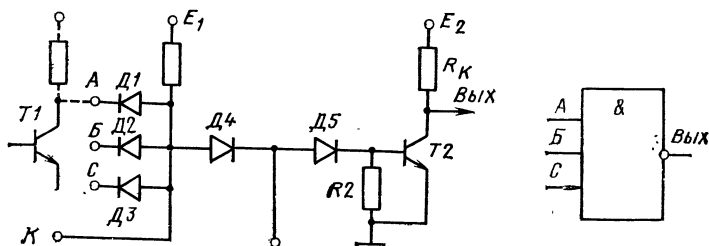


Рис. 5.9. Диодно-транзисторная логическая схема

ются и на вход транзистора $T2$ от источника E_1 по цепи $R1$, $D4$, $D5$ подается положительное смещение, в результате чего транзистор $T2$ отпирается. На выходе ДТЛ-схемы имеем 0.

При поступлении хотя бы на один вход 0 соответствующий входной диод отпирается, потенциал в точке K снижается и на вход транзистора $T2$ поступает низкий потенциал, в результате транзистор $T2$ запирается. Для получения запирающего напряжения на базе транзистора $T2$ служат диоды $D4$ и $D5$. Без них напряжение на вход транзистора $T2$ складывается из напряжения 0 (0,3 В) и напряжения входного диода (0,7 В), т. е. составляет 1 В. Включение в цепь базы двух диодов ($D4$ и $D5$) позволяет не только восстановить напряжение 0,3 В (достаточно одного диода), но и повысить порог выключения на 0,7 В. К базе транзистора подключается резистор $R2$, обеспечивающий необходимый ток рассасывания. Если на этот резистор подается отрицательное смещение (примерно 2 В), то быстродействие значительно увеличивается. Таким образом, при поступлении хотя бы на один вход 0 на выходе схемы имеем 1. Схема выполняет логическую функцию И — НЕ.

Входные диоды должны иметь возможно меньшие прямые напряжения, что позволяет повысить порог запираания и помехоустойчивость. Чтобы входные диоды не вызывали задержки сигнала, они должны обладать возможно меньшими емкостями и временами восстановления обратного сопротивления. Указанным требованиям наиболее полно удовлетворяет диод на эмиттерном переходе транзистора с короткозамкнутым коллектором. Резистор $R1$ определяет потребляемую схемой мощность и среднюю задержку, так как им задается ток, отпирающий транзистор и запирающий емкости входных диодов и транзистора.

Диоды $D4$ и $D5$ должны иметь возможно большие прямые напряжения. После того как в насыщенном транзисторе рассосется накопленный заряд, смещающие диоды должны восстановить свое обратное сопротивление. Если обратное сопротивление диода восстановится раньше, чем рассосется избыточный заряд из транзистора, то рассасывание оставшихся в транзисторе носителей будет осуществляться через резистор $R2$, сопротивление которого достаточно велико. В результате время рассасывания $t_{\text{рас}}$ увеличивается. Поэтому постоянная времени восстановления обратного сопротивления

диода должна быть значительно больше $t_{\text{рас}}$ транзистора. Основные компоненты ДТЛ-схемы: $R_1=1 \text{ кОм}$, $R_K=5 \text{ кОм}$, $R_2=15 \text{ кОм}$, $E_1=+3 \text{ В}$, $E_2=+5 \text{ В}$.

Как правило, у диодной части ДТЛ-схем предусмотрен вывод общего анода (К), который служит для подключения логического расширителя по схеме И. Логический расширитель представляет собой пассивную диодную схему с общим анодом (рис. 5.10).

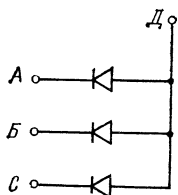


Рис. 5.10. Логический расширитель

Для уменьшения мощности, потребляемой ДТЛ-схемами, применяются схемы без коллекторных сопротивлений в выходном каскаде (схемы со свободным коллектором). Коллекторный ток в такой схеме определяется нагрузкой, представляющей собой схему И следующего логического элемента.

На рис. 5.11 приведена ДТЛ-схема, реализующая функцию И—

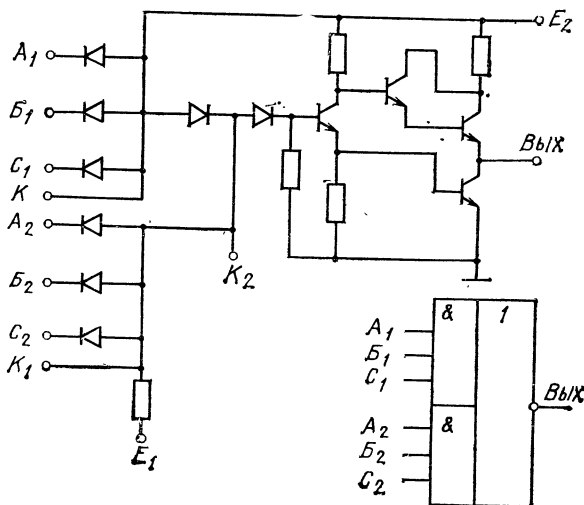


Рис. 5.11. ДТЛ-схема И—ИЛИ—НЕ

ИЛИ—НЕ. В этой схеме применены расширители функций И и ИЛИ. Расширитель функции подключается к выводу общего анода диодной сборки И основной схемы (точка K_1 на рис. 5.11). Расширитель функции ИЛИ представляет собой диодную сборку, к аноду которой подключен резистор. Для увеличения

Таблица 5.4

Параметры микросхем	К121	К153	К194
$E, В$	5	5	5
$U_{\text{вых}}, В$	3	3	3
$U_{\text{вых}}^1, В$	0,35	0,3	0,4
$U_{\text{н}}, В$	2,5	2,5	2,7
$K_{\text{раз}}$	0,35	0,4	0,5
$t_{\text{зд. р. ср. нс}}$	5	6	8
$P_{\text{пот. ср. мВт}}$	60	45	50
	12	17	22

Таблица 5.5

Состав серий	К121	К156	К194
И—НЕ	+	+	+
И—ИЛИ—НЕ	—	+	—
И—ИЛИ	—	+	—
Расширитель	+	+	+
RS-триггер	—	+	—
Формирователь	—	+	—
Полусумматор	—	+	—
Дешифратор	—	+	—

числа входов ИЛИ основной схемы к ней подключается расширитель ИЛИ катодом одного из диодов сборки (точка K_2 на рис. 5.11). Схема И—ИЛИ—НЕ имеет $K_{\text{оби}} \geq 8$, $K_{\text{раз или}} \geq 6$. Выходной усилитель схемы, как правило, выполняется с симметричным выходом и имеет $K_{\text{раз}} = 16$. Быстродействие схемы $t_{\text{зд ср}} = 25$ нс при мощности 20—50 мВт/вентиль, уровень статической помехозащищенности $U_{\text{п}} \geq 0,5$ В, что в два раза выше уровня помехозащищенности транзисторных схем с непосредственной связью.

В табл. 5.4 приведены основные характеристики ДТЛ-схем наиболее распространенных серий выпускаемых промышленностью, а в табл. 5.5—состав серий.

5.4. Транзисторно-транзисторные микросхемы

Схемы ТТЛ наиболее распространены в настоящее время как в отечественной промышленности, так и за рубежом. Принцип работы ТТЛ-схемы практически не отличается от принципа работы ДТЛ-схемы. Роль вход-

ных диодов в ТТЛ-схеме играют эмиттерные переходы многоэмиттерного транзистора (рис. 5.12). Роль диодов *Д4* и *Д5* ДТЛ-схемы в ТТЛ-схеме выполняет коллекторный переход многоэмиттерного транзистора. Преимущество ТТЛ-схем заключается в активном переключении входного транзистора. При выключении выходного транзистора заряд, накопленный в нем, активно отсасывается входным транзистором.

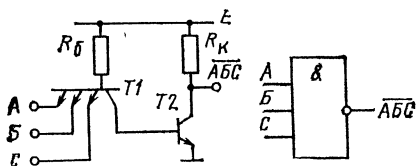


Рис. 5.12. Транзисторно-транзисторная логическая схема

Если на один из входов подан 0, то соответствующий эмиттерный переход смещен в прямом направлении. Но так как коллекторный переход также смещен в прямом направлении, то транзистор *T1* оказывается в режиме насыщения. На входе транзистора *T2* будет напряжение, соответствующее 0 (0,3 В), и он будет заперт. Если же напряжение на всех входах схемы соответствует 1 (2,4 В), то на всех эмиттерах появляется обратное смещение и ток базы транзистора *T1* будет протекать через смещенный в прямом направлении коллекторный переход в базу транзистора *T2*, в результате чего последний оказывается в насыщении. На выходе наблюдается 0. Таким образом, ТТЛ-схема выполняет логическую функцию И—НЕ. Коллекторный переход транзистора *T1* всегда включен в прямом направлении, а эмиттерные переходы при поступлении на вход 1—в обратном. Транзистор *T1* оказывается включенным инверсно, т. е. каждый эмиттер выполняет функцию коллектора, а коллектор — функцию эмиттера.

На рис. 5.13 показана топология простейшей ТТЛ-схемы, для которой $R_b = 4$; $R_k = 1,6$; $E = \pm 5$ В.

Транзисторно-транзисторные схемы по сравнению с ДТЛ-схемами имеют более высокое быстродействие ($t_{зд\text{ ср}} = 10$ нс), более низкую потребляемую мощность, а также более высокий коэффициент объединения по

входам ($K_{об} \geq 12-14$). Выходные каскады ТТЛ-схем обеспечивают высокую нагрузочную способность ($K_{раз} \geq 10$).

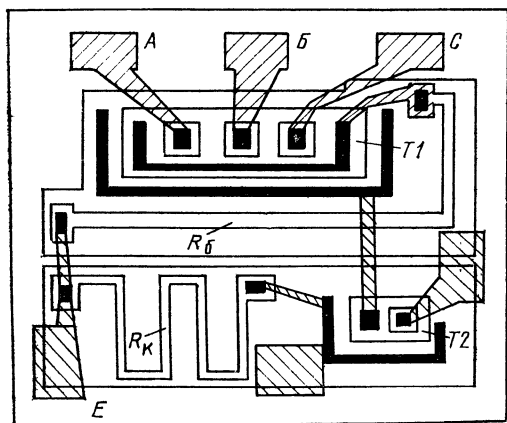


Рис. 5.13. Топология ТТЛ-схемы

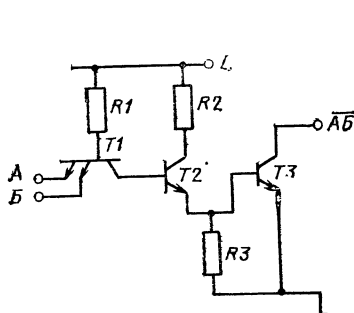


Рис. 5.14. ТТЛ-схема с открытым коллектором

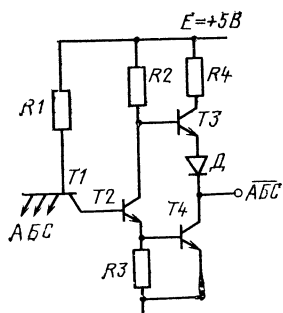


Рис. 5.15. ТТЛ-схема со сложным инвертором

В состав выпускаемых серий ТТЛ-схем входит широкий функциональный набор микросхем. Например, наиболее распространенная ТТЛ-серия 133 насчитывает более 60 типов микросхем. Логические ТТЛ-схемы имеют модификации с открытым коллектором (рис. 5.14), со

сложным инвертором (рис. 5.15), возможность расширения по И и по ИЛИ (рис. 5.16). Кроме того, если схемы более простые, то на одном кристалле их размещается до четырех и более.

Схемы со свободным коллектором позволяют выполнить логическую функцию И—ИЛИ—НЕ на логических элементах И—НЕ и функцию И—ИЛИ на элементах И.

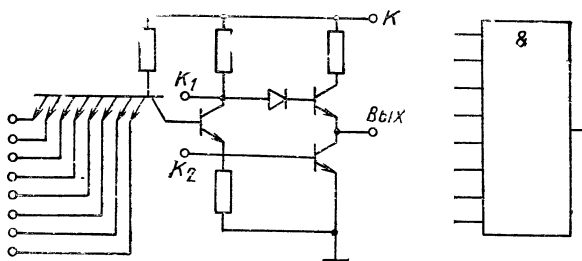


Рис. 5.16. ТТЛ-схема с возможностью расширения по И и ИЛИ

Выходной усилитель ТТЛ-схемы, как правило, выполняется с симметричным транзисторным выходом с двумя инвертирующими каскадами (см. рис. 5.15), благодаря которому нагрузочная способность $K_{\text{раз}} \geq 10$. Такие схемы позволяют повысить гибкость проектирования цифровых узлов. Схема работает следующим образом. При поступлении на все входы схемы 1 все эмиттерные переходы транзистора $T1$ закрыты и положительное смещение подается от источника питания E на базу транзистора $T2$ через резистор $R1$ и прямосмещенный коллекторный переход транзистора $T1$. В результате транзистор $T2$ переходит в режим насыщения и ток, протекающий через него и резистор $R3$, создает на базе транзистора $T4$ отпирающий потенциал и переводит его также в режим насыщения. Транзистор $T3$ закрыт, так как на его базе потенциал не выше, чем на эмиттере. Это обеспечивается включением в эмиттерную цепь транзистора $T3$ диода D . Напряжение на эмиттере транзистора $T3$ есть сумма напряжений на диоде ($0,8 \text{ В}$) и на транзисторе $T4$ ($0,3 \text{ В}$), т. е. составляет примерно 1 В . Напряжение на базе транзистора $T3$ состоит из суммы напряжений на транзисторе $T2$ ($0,3 \text{ В}$) и на эмиттерном переходе транзистора $T4$ ($0,7 \text{ В}$), т. е. примерно 1 В . Таким обра-

зом, на выходе схемы имеет место низкий уровень напряжения (0,3 В) — лог. 0.

При поступлении хотя бы на один вход лог. 0 соответствующий эмиттерный переход отперется, напряжение на базе транзистора T_2 снизится, он заперется и заперется транзистор T_4 , а транзистор T_3 отперется. В результате на выходе будет высокое напряжение (лог. 1). Резистор R_4 (~ 200 Ом) служит для ограничения выход-

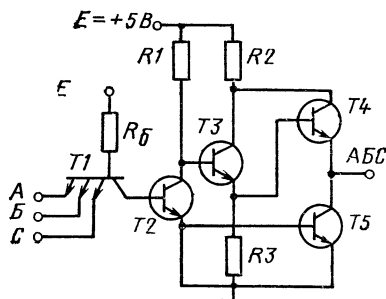


Рис. 5.17. ТТЛ-схема с повышенной нагрузочной способностью

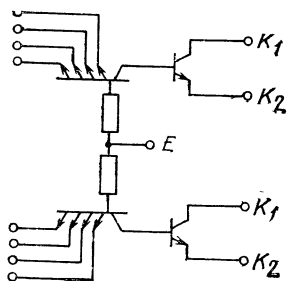


Рис. 5.18. ТТЛ-схемы — расширители И — ИЛИ

ного тока, когда отперт транзистор T_3 . Описанная схема является базовым элементом ТТЛ-схем.

На рис. 5.17 приведена ТТЛ-схема с повышенной нагрузочной способностью. При низком входном напряжении транзисторы T_2 и T_5 находятся в запертом состоянии, а транзисторы T_3 и T_4 работают как эмиттерные повторители. Следовательно, уровню 1 соответствует напряжение, равное приблизительно E минус удвоенное падение напряжения на открытом диоде. Поскольку на выходе включен эмиттерный повторитель (T_4), ток, потребляемый нагрузочными логическими элементами, слабо влияет на выходной уровень, соответствующий 1. Таким образом, вводя этот выходной каскад, решаем задачу ослабления отрицательного влияния инверсного коэффициента усиления по току β_i входного транзистора и эффекта перехвата. Когда на все входы подаются напряжения, соответствующие 1, транзистор T_1 работает в инверсной активной области, транзисторы T_2 и T_5 находятся в области насыщения, а транзисторы T_3 и T_4 заперты. При этом ток из входных цепей нагрузочных

логических элементов течет в коллекторную цепь транзистора $T5$.

Основными достоинствами этой схемы являются: способность работать на большую нагрузку независимо от того, в каком состоянии она находится; более высокое быстродействие при работе на большие емкостные нагрузки. Еще одно преимущество заключается в том, что при выключении схемы большой выходной ток может быть обеспечен транзистором $T4$, а при включении — транзистором $T5$. При низком входном напряжении транзисторы $T2$ и $T5$ находятся в области отсечки, а транзисторы $T3$ и $T4$ — в активной области. Когда входное напряжение нарастает до величины, равной падению напряжения на открытом диоде, транзистор $T2$ переходит в активную область, однако транзистор $T5$ остается в области отсечки. Коэффициент усиления по напряжению схемы в этой области равен 1. Это связано с тем, что сопротивления эмиттерного и коллекторного резисторов транзистора $T2$ одинаковы. Когда входное напряжение достигает величины, равной удвоенному падению напряжения на открытом диоде, выходной инвертор $T5$ включается и коэффициент усиления каскада на транзисторе $T2$ возрастает. Последнее объясняется тем, что при переходе транзистора $T5$ в активную область резко уменьшается сопротивление в эмиттерной цепи транзистора $T2$, так как входное сопротивление транзистора $T5$ представляет собой эмиттерную нагрузку транзистора $T4$. Сложные выходные схемы обладают большой нагрузочной способностью ($K_{\text{раз}} \geq 25$) и обеспечивают высокую скорость переключения.

Логический расширитель И—ИЛИ показан на рис. 5.18. Для увеличения числа входов схема подключается выводами K_1 и K_2 соответственно к выводам K_1 и K_2 основной ТТЛ-схемы (см. рис. 5.17).

Широкий функциональный состав серий ТТЛ ИС позволяет сравнительно легко проектировать различные сложные устройства вычислительной техники.

В приложении приведены основные характеристики ТТЛ-схем наиболее распространенных серий, выпускаемых отечественной промышленностью.

Транзисторно-транзисторные микросхемы с диодами Шотки. Общим свойством всех описанных логических микросхем является использование нелинейного режима работы транзистора — надежного запираения в одном логическом состоянии и насыщения — в другом. Режим на-

сыщения не позволяет использовать высокие частотные свойства транзисторов ИС, так как основная задержка передачи информации определяется временем рассасывания заряда при выключении насыщенного транзистора. Избежать режима насыщения транзисторов удалось в ТТЛ-схемах с диодами Шоттки (ТТЛШ).

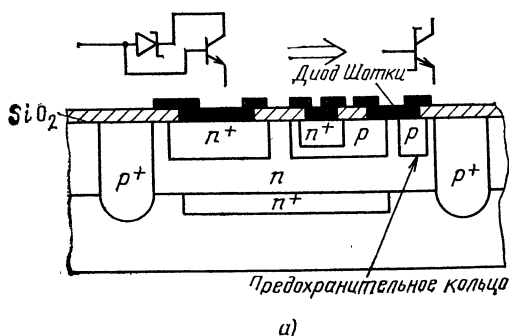
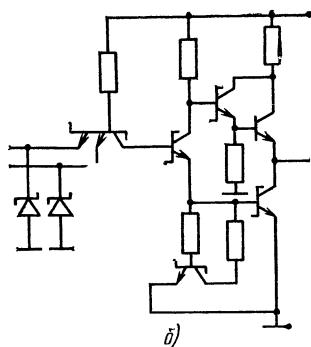


Рис. 5.19. Структура (а) и принципиальная схема (б) ТТЛ с диодами Шотки



Схемы ТТЛШ характеризуются следующими техническими данными: мощность рассеяния 20 мВт на вентиль, средняя задержка распространения сигнала 3 нс. Такое быстродействие обеспечивается благодаря тому, что параллельно переходу база — коллектор транзистора включен диод Шотки, используемый в качестве ограничивающего (фиксирующего) диода (рис. 5.19). Поскольку этот диод имеет меньшее прямое падение напряжения, чем переход база — коллектор, излишний управляющий ток базы при открывании транзистора отводится через диод, что предотвращает вхождение транзистора в режим насыщения, поскольку в области базы не накоп-

ливаются избыточные носители заряда. В результате резко сокращается время закрывания транзистора. Например, схема И—НЕ (рис. 5.19, б) обеспечивает задержку распространения 3 нс и при этом сохраняет длительности фронта и спада выходного напряжения 2—3 нс.

Все входные транзисторы ТТЛ имеют фиксирующие диоды Шотки вместо p — n -переходов, которые используются в обычных ТТЛ-схемах. Более низкое прямое падение напряжения диодов Шотки дает лучшую защиту как против отпирающих помех, так и против запирающих.

Схемы ТТЛШ работают при таких же уровнях сигналов и питающих напряжениях, как и обычные ТТЛ-схемы.

5.5. Эмиттерно-связанные микросхемы

Схемы ЭСЛ являются самыми быстродействующими. Схема ЭСЛ—это токовый переключатель с парафазным выходом. Она выполняет функции ИЛИ, ИЛИ—НЕ. В токовом переключателе транзистор работает в ненасыщенном режиме при ограниченном коллекторном токе.

Рассмотрим работу схемы (рис. 5.20). Базы транзисторов $T1$ — $T3$ являются входами логической схемы, а база транзистора $T4$ подключена к постоянному опорному источнику напряжения E_2 , уровень которого выбирается между уровнями 0 и 1. Выходные сигналы снимаются с коллекторов.

Сопротивление в цепи эмиттеров R_3 вместе с источником напряжения E_1 (-5 В) образует генератор тока. При подаче на один из входов положительного потенци-

ала относительно опорного E_2 (уровень 1, которому соответствует -1 В) соответствующий транзистор (пусть $T3$) отпирается, а транзистор $T4$ запирается, так как весь ток генератора в цепи эмиттера теперь протекает через транзистор $T3$ в нагрузку. Если на все входы подан не-

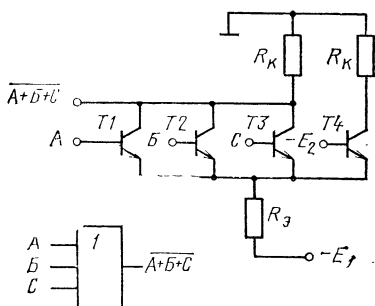
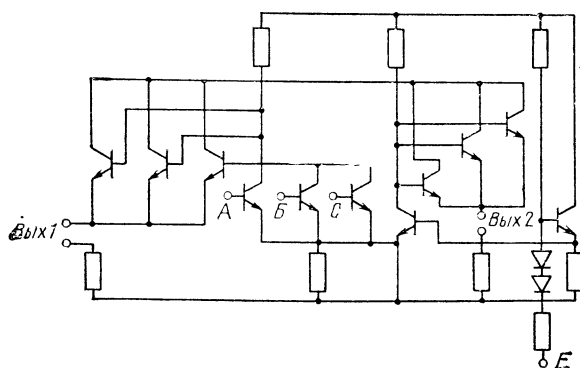
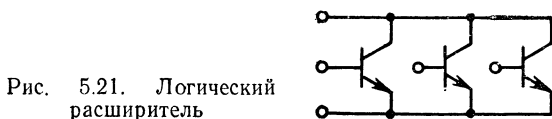


Рис. 5.20. Эмиттерно-связанная логическая схема

ный потенциал относительно опорного (уровень 0, которому соответствует $-1,5$ В), то транзисторы $T1-T3$ будут заперты, а транзистор $T4$ будет открыт, так как весь ток генератора переключится в транзистор $T4$. Ток I_3 и смещение E_2 выбираются такими, чтобы для переключения схемы управляющий потенциал отличался на несколько десятков долей вольта. При этом рабочая



точка выходной характеристики транзистора не должна заходить в область насыщения. Отсутствие насыщения и малые управляющие сигналы позволяют реализовать в данной схеме высокое быстродействие, близкое к предельному для транзисторов.

Изменение напряжения на коллекторе соответствует размаху логического сигнала, а два значения, которые принимает каждое из напряжений U_{K1} и U_{K2} являются уровнями 0 и 1. Если снимать выходное напряжение с коллектора входных транзисторов, то схема будет выполнять функцию ИЛИ—НЕ, а если с коллектора транзистора $T4$, то функцию ИЛИ.

Наличие парафазных выходов в схеме ЭСЛ обеспечивает большую гибкость при проектировании цифро-

вых систем. Выходные каскады ЭСЛ схем обычно являются эмиттерными повторителями, поэтому их нагрузочная способность высокая ($K_{раз} \geq 10$). Схемы ЭСЛ обладают значительно более высоким быстродействием, чем другие логические схемы: $t_{зд\text{ ср}} < 3$ нс.

Недостатком ЭСЛ-схемы является самое большое по сравнению с другими схемами потребление мощности,

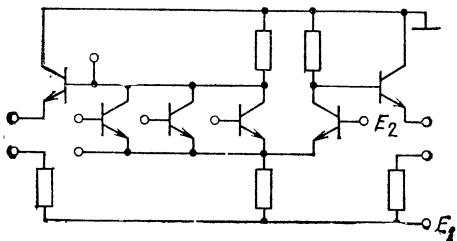


Рис. 5.23. ЭСЛ-схема со свободным эмиттером

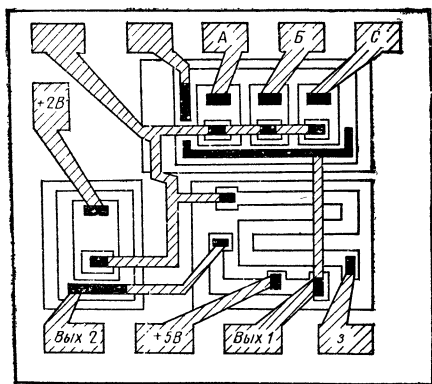


Рис. 5.24. Топология ЭСЛ-схемы

так как транзисторы работают в активном режиме, а также необходимость в дополнительном источнике опорного напряжения. В связи с этим они находят применение лишь для создания сверхбыстродействующих вычислительных средств.

Для увеличения функциональных возможностей серии микросхем специально разработаны:

логический расширитель для увеличения коэффициента объединения по входам ИЛИ (рис. 5.21); схема с мощным выходом для обеспечения высокой нагрузочной способности ($K_{раз} \geq 30$) (рис. 5.22); схема со свободным эмиттером для расширения по ИЛИ объединением выходов ИС без применения логических расширителей (рис. 5.23). На рис. 5.24 приведена топология простейшей ЭСЛ-схемы.

Таблица 5.6

Параметры	К137	К138	К187
E , В	—5	—5	—5
$U_{\text{Вых}}^0$, В	—1,45	—1,6	—1,45
$U_{\text{Вых}}^1$, В	—0,95	—0,96	—0,95
$U_{\text{п}}$, В	0,16	0,1	0,07
$K_{\text{раз}}$	15	10	15
$t_{\text{зд. р. ср, нс}}$	6	3,5	10
$P_{\text{пот. ср, мВт}}$	175	135	75

Таблица 5.7

Состав серий	К137	К138	К187
ИЛИ, ИЛИ—НЕ	+	+	+
Расширитель	+	—	+
RS-триггер	+	+	—
D-триггер	+	+	+
K-триггер	—	—	—
Дешифратор	—	—	—
Счетчик	—	—	—
Полусумматор	+	—	—

Схема, приведенная на рис. 5.22, является типовой для ЭСЛ-серий. Эмиттерные повторители улучшают нагрузочную способность, повышают быстродействие и позволяют согласовать входные и выходные уровни. Опорное напряжение в схеме создается не отдельным источником напряжения, а двумя последовательно включенными прямосмещенными диодами.

В табл. 5.6 приведены основные характеристики ЭСЛ-схем наиболее распространенных серий, выпускаемых отечественной промышленностью, а в табл. 5.7—состав серий.

5.6. Микросхемы с инжекционным питанием

Логические микросхемы с инжекционным питанием (И²Л — инжекционная интегральная логика) представляют собой микросхемы на биполярных транзисторах, в которых электрическая энергия, необходимая для преобразования сигналов, вводится инжекцией неосновных

неравновесных носителей. Микросхемы с инжекционным питанием основаны на использовании многоколлекторных $n-p-n$ -транзисторов в инверсном включении и $p-n-p$ -транзисторов (рис. 5.25). В качестве инвертора используется многоколлекторный транзистор, $p-n-p$ -транзистор выполняет роль генератора тока. В инжекционном режиме ток питания схемы задается смещением

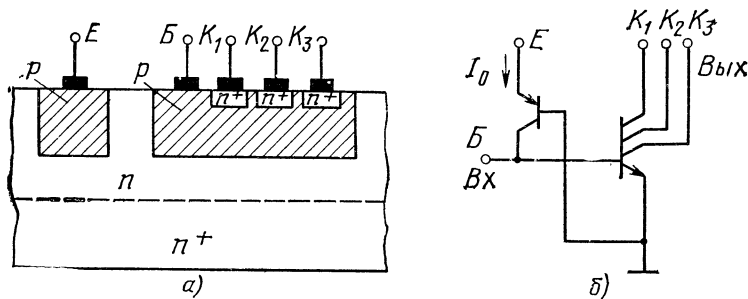


Рис. 5.25. Структура (а) и схема (б) логической микросхемы с инжекционным питанием

эмиттерного перехода $p-n-p$ -транзистора. Отсутствие резисторов и изолирующих областей между активными элементами дает возможность существенно повысить плотность элементов на кристалле и способствует снижению потребляемой мощности и повышению быстродействия устройств, создаваемых на их основе. Для изготовления И²Л-микросхем используется планарно-эпитаксиальная технология биполярных ИС. На рис. 5.26, а показана структура транзистора с инжекционным питанием. В отличие от обычного транзистора, здесь имеются дополнительный переход p_1-n_1 и электрод I инжектора. Кроме того, в отличие от традиционной транзисторной структуры, область n_1 здесь не коллектор, а эмиттер, в то время как область n_2 служит коллектором, а не эмиттером.

Такую структуру можно представить в виде двух транзисторов: $p_1-n_1-p_2$ и $n_1-p_2-n_2$ (рис. 5.26, б). Пусть на инжекторный электрод подано напряжение от внешнего источника питания E , смещающее его в прямом направлении. Инжектированные в эмиттер (область n_1) дырки диффундируют к эмиттерному переходу, захватываются полем перехода и компенсируют часть объемного

заряда перехода n_2-p_2 со стороны базы, вследствие чего эмиттерный переход сужается, потенциальный барьер снижается, т. е. переход смещается в прямом направлении. В результате начинаются инжекция электронов из эмиттера в базу и их дрейф к коллектору, где они компенсируют часть объемного заряда коллекторного перехода, снижая тем самым его потенциальный барьер.

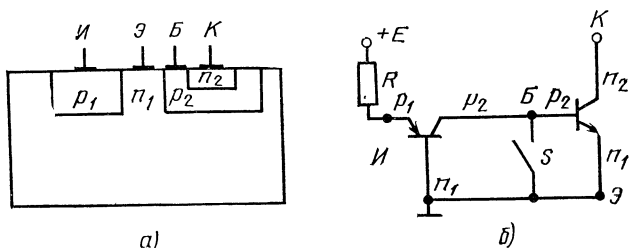


Рис. 5.26. Структура (а) и эквивалентная схема (б) транзистора с инжекционным питанием

Коллекторный переход смещается в прямом направлении, а транзистор переходит в режим насыщения, т. е. представляет собой малое сопротивление. Если соединить базу с эмиттером с помощью переключателя S , то напряжение между базой и эмиттером будет равно нулю, через транзистор потечет ток, близкий к току инжекции, и транзистор перейдет в активный режим на границе с режимом отсечки. Сопротивление его при этом велико. Таким образом, транзистор работает в режиме ключа.

Логические элементы ИЛИ—НЕ создаются объединением нескольких транзисторов по коллекторам (рис. 5.27). Если входной сигнал поступил лишь на базу 2-го $n-p-n$ -транзистора, то большая часть выходного тока идет в эмиттерный переход 2-го $n-p-n$ -транзистора, смещая его в прямом направлении. Если же на базу 1-го транзистора подается 1, то выходное напряжение уменьшается до напряжения насыщения, выходной ток практически полностью переключается в коллектор 1-го $n-p-n$ -транзистора.

Логический перепад в И²Л-схемах составляет 0,5—0,8 В. Напряжение питания при этом может быть уменьшено до 1,2 В и менее. Питание инжектора может осуществляться от внешнего генератора тока или источника напряжения через резистор, который может быть общим для всей ИС.

Схема И²Л напоминает схемы транзисторной логики с непосредственными связями (НСТЛ). Известно, что серьезным недостатком схем НСТЛ является неравномерное распределение выходного тока между параллельно включенными входами нагрузок. В схемах И²Л проблема равномерного распределения выходного сигнала решена с помощью многоколлекторного транзистора: каж-

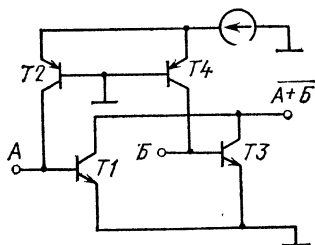


Рис. 5.27. И²Л-схема НЕ — ИЛИ

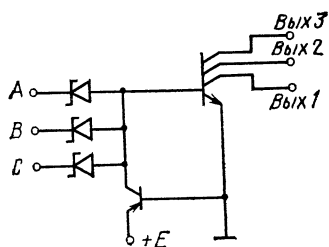


Рис. 5.28. И²Л-схема с диодами Шотки

дый коллектор следует рассматривать как независимый источник выходного сигнала.

На рис. 5.28 приведена схема с инжекционным питанием с тремя диодами Шотки в базовой области, позволяющими реализовать функцию И, и с тремя коллекторными выводами, играющими роль разветвленного выхода.

5.7. Интегральные микросхемы на МДП-транзисторах

Широкое распространение получили логические схемы на МДП-транзисторах. Они подразделяются на статические и динамические. Статические схемы аналогичны логическим схемам на биполярных транзисторах, динамические или тактируемые имеют свою специфику, однако широкого применения они не нашли.

Основой статических логических устройств на МДП-транзисторе является статический инвертор или ключ (рис. 5.29). В качестве нагрузочного компонента в ключевой схеме можно использовать линейный резистор (рис. 5.29, а) или МДП-транзистор в качестве нелинейного резистора. Использование транзисторов в качестве нагрузочных элементов позволяет отказаться от высоко-

омных диффузионных резисторов, что дает возможность повысить плотность компоновки и создавать все элементы в едином технологическом цикле.

На рис. 5.29, б приведена схема ключа с нелинейной нагрузкой на однотипных транзисторах с p -каналом. В этой схеме затвор нагрузочного транзистора соединен с шиной питания. Большой класс статических МДП-схем состоит именно из таких ключей.

При изменении входного напряжения на соответствующую величину напряжение изменяется от E до 0. Если, например, на вход инвертора на p -канальных МДП-транзисторах (рис. 5.29, б) подано отрицательное напряжение, достаточное, чтобы перевести транзистор $T1$ в проводящее состояние, то потенциал на выходе будет близок к нулю, что определяется отношением сопротивлений транзисторов $T1$ и $T2$, находящихся в проводящем состоянии.

Если затем на вход инвертора подать напряжение, близкое к нулю, то транзистор $T1$ заперется и на выходе будет напряжение, близкое к E . Таким образом, если принять отрицательное напряжение и нулевой уровень соответственно за логические 0 и 1, то поданная на вход лог. 1 инвертируется в лог. 0.

Простейшие статические логические МДП-схемы на p -канальных транзисторах показаны на рис. 5.30. Логическая схема, показанная на рис. 5.30, а, получена в результате последовательного соединения двух входных МДП-транзисторов, а схема, показанная на рис. 5.30, б — в результате параллельного соединения. Нагрузкой является транзистор T_n .

Эти схемы выполняют логические функции И—НЕ или ИЛИ—НЕ в зависимости от того, как определены уровни 0 и 1 относительно напряжения питания.

В схеме с последовательным соединением транзисторы в исходном состоянии заперты. Если на входе хотя

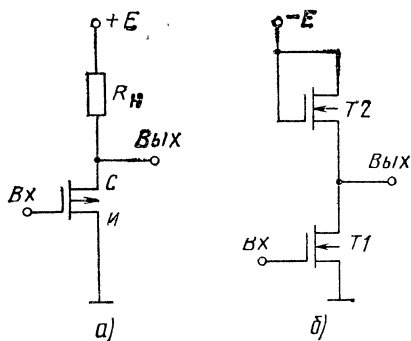


Рис. 5.29. Инверторы на МДП-структурах с резистором (а) и с нагрузочным МДП-транзистором (б)

Схема И²Л напоминает схемы транзисторной логики с непосредственными связями (НСТЛ). Известно, что серьезным недостатком схем НСТЛ является неравномерное распределение выходного тока между параллельно включенными входами нагрузок. В схемах И²Л проблема равномерного распределения выходного сигнала решена с помощью многоколлекторного транзистора: каж-

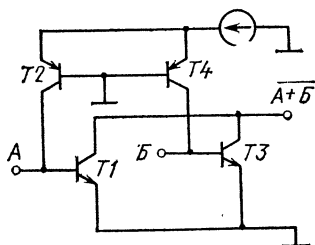


Рис. 5.27. И²Л-схема НЕ — ИЛИ

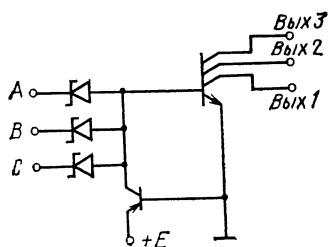


Рис. 5.28. И²Л-схема с диодами Шотки

дый коллектор следует рассматривать как независимый источник выходного сигнала.

На рис. 5.28 приведена схема с инжекционным питанием с тремя диодами Шотки в базовой области, позволяющими реализовать функцию И, и с тремя коллекторными выводами, играющими роль разветвленного выхода.

5.7. Интегральные микросхемы на МДП-транзисторах

Широкое распространение получили логические схемы на МДП-транзисторах. Они подразделяются на статические и динамические. Статические схемы аналогичны логическим схемам на биполярных транзисторах, динамические или тактируемые имеют свою специфику, однако широкого применения они не нашли.

Основой статических логических устройств на МДП-транзисторе является статический инвертор или ключ (рис. 5.29). В качестве нагрузочного компонента в ключевой схеме можно использовать линейный резистор (рис. 5.29, а) или МДП-транзистор в качестве нелинейного резистора. Использование транзисторов в качестве нагрузочных элементов позволяет отказаться от высоко-

омных диффузионных резисторов, что дает возможность повысить плотность компоновки и создавать все элементы в едином технологическом цикле.

На рис. 5.29, б приведена схема ключа с нелинейной нагрузкой на однотипных транзисторах с p -каналом. В этой схеме затвор нагрузочного транзистора соединен с шиной питания. Большой класс статических МДП-схем состоит именно из таких ключей.

При изменении входного напряжения на соответствующую величину напряжение изменяется от E до 0. Если, например, на вход инвертора на p -канальных МДП-транзисторах (рис. 5.29, б) подано отрицательное напряжение, достаточное, чтобы перевести транзистор $T1$ в проводящее состояние, то потенциал на выходе будет близок к нулю, что определяется отношением сопротивлений транзисторов $T1$ и $T2$, находящихся в проводящем состоянии.

Если затем на вход инвертора подать напряжение, близкое к нулю, то транзистор $T1$ заперется и на выходе будет напряжение, близкое к E . Таким образом, если принять отрицательное напряжение и нулевой уровень соответственно за логические 0 и 1, то поданная на вход лог. 1 инвертируется в лог. 0.

Простейшие статические логические МДП-схемы на p -канальных транзисторах показаны на рис. 5.30. Логическая схема, показанная на рис. 5.30, а, получена в результате последовательного соединения двух входных МДП-транзисторов, а схема, показанная на рис. 5.30, б — в результате параллельного соединения. Нагрузкой является транзистор T_n .

Эти схемы выполняют логические функции И—НЕ или ИЛИ—НЕ в зависимости от того, как определены уровни 0 и 1 относительно напряжения питания.

В схеме с последовательным соединением транзисторы в исходном состоянии заперты. Если на входе хотя

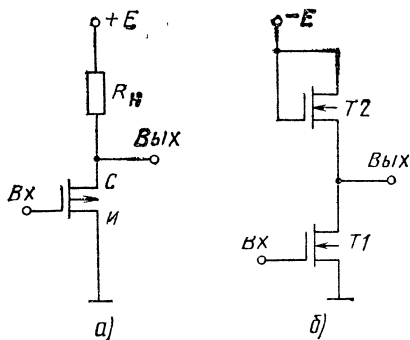


Рис. 5.29. Инверторы на МДП-структурах с резистором (а) и с нагрузочным МДП-транзистором (б)

бы одного транзистора напряжение меньше порогового, то этот транзистор остается запертым, поэтому не проводят тока и включенные с ним последовательно два других транзистора. Только при одновременной подаче входных сигналов на затворы всех транзисторов происходит срабатывание схемы. Наряду с функцией И схема инвертирует сигнал.

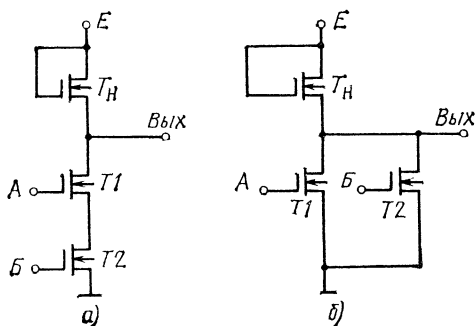


Рис. 5.30. Простейшие логические схемы на МДП-транзисторах: а) — последовательная; б) — параллельная

Быстродействие схемы с параллельным включением транзисторов выше. В схеме с параллельным соединением, если все транзисторы заперты, то на выходе устанавливается высокий уровень напряжения. Если входное напряжение хотя бы одного транзистора выше порогового, то транзистор отпирается и выходное напряжение понижается. Таким образом, схема выполняет логическую функцию ИЛИ—НЕ.

С увеличением числа входных транзисторов выходное сопротивление параллельной схемы уменьшается, а последовательной — увеличивается. В связи с этим предпочтительнее параллельная схема.

С помощью МДП-транзисторов были построены простейшие логические схемы, аналогичные схемам транзисторной логики с непосредственной связью, применяемым обычно с биполярными транзисторами. Возможность соединения МДП-транзисторов последовательно или параллельно позволяет осуществлять в одном каскаде более сложные функции. Поэтому логические схемы на МДП-транзисторах в интегральном исполнении являются более экономичными, чем схемы, основанные на использовании биполярных транзисторов. Важными преимуществами логических схем на МДП-транзисторах являются также значительная помехоустойчивость и вы-

сокая нагрузочная способность. Для получения минимальных скоростей переключения нагрузочные МДП-транзисторы должны проводить максимально возможный ток (что должно быть согласовано также с требованием достаточно низкого выходного напряжения, соответствующего лог. 0), однако это приводит к повышению мощности рассеяния.

Обычно в цифровых системах применяются более сложные логические схемы. На рис. 5.31 приведена трехвходовая схема И с дополнительным выходным инвертором.

Транзисторы $T1$ и $T2$ соединены по схеме с общим затвором и используются в качестве нагрузок. Если какой-либо вход имеет напряжение, равное нулю, то напряжение в точке A примерно будет равняться E , так как транзистор, на вход которого подано нулевое напряжение, будет заперт. Отрицательное напряжение в точке A надежно отпирает транзистор $T6$, и напряжение на выходе равняется 0. С другой стороны, если на все входы подано напряжение, равное E , то транзисторы $T3—T5$, включенные последовательно, будут иметь низкое сопротивление по сравнению с сопротивлением нагрузочного транзистора $T1$ и напряжение в точке A приблизительно будет равняться нулю. Транзистор $T6$ при этом запирается, и напряжение на выходе приближается к E .

Таким образом, если 1 соответствует напряжению E , а 0— нулевое напряжение, то схема, показанная на рис. 5.31, работает как логическая схема И.

На рис. 5.32 приведена наиболее распространенная трехвходовая логическая схема ИЛИ на p -канальных МДП-транзисторах с выходным инвертором. Схема, состоящая из транзисторов $T1, T4—T6$, представляет логическую схему ИЛИ—НЕ, а транзисторы $T2$ и $T3$ образуют схему инвертора. Транзисторы $T1$ и $T2$ являются нагрузками. Если на одном из входов напряжение равняется E , то транзистор, связанный с этим входом, отперт и пропускает ток. В результате напряжение в точке A изменяется почти до нуля. Это приводит к запираанию

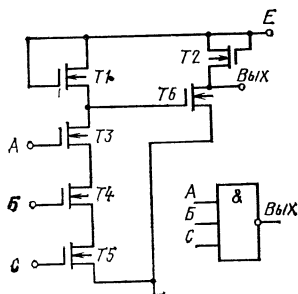


Рис. 5.31. Трехвходовая схема И на МДП-структурах

транзистора $T3$, и напряжение на выходе приближается к E . Если на всех входах напряжение равно 0, то транзисторы $T4—T6$ заперты и напряжение в точке A падает до 0. В результате транзистор $T3$ открывается и напряжение на выходе приближается к нулю. Если напряжение E принять за уровень 1, а напряжение, равное 0, — за уровень 0, то схема, изображенная на рис. 5.32, выполняет логическую функцию ИЛИ.

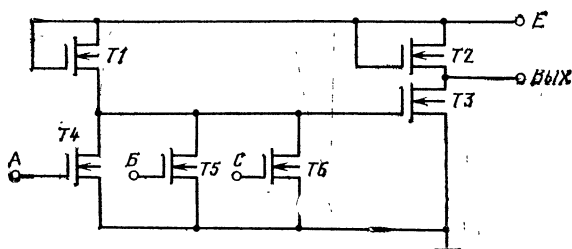


Рис. 5.32. Трехвходовая схема ИЛИ на МДП-структурах

Схемы на комплементарных МДП-структурах (КМДП). Логическим схемам на КМДП-транзисторах присущи свойства, выгодно отличающие их от элементов на однотипных МДП-транзисторах. К числу их прежде всего следует отнести: микромощные режимы работы, высокую помехоустойчивость, высокую нагрузочную способность, большое быстродействие, легкость совмещения с другими схемами. Выпускаемые в настоящее время схемы КМДП удобны для использования как в логических устройствах, так и в ЗУ. В системах на КМДП требуется лишь один источник питания, причем схемы могут работать в широком диапазоне питающих напряжений (от 3 до 15 В).

В схемах на полевых транзисторах с дополнительной симметрией используются p -канальный и n -канальный транзисторы, работающие в режиме обогащения.

Вентиль КМДП представляет собой инвертор, в котором входы n - и p -канальных транзисторов включены параллельно, а сами транзисторы — последовательно (рис. 5.33). Когда один МДП-транзистор открыт, другой заперт и ток через него определяется током утечки и составляет всего лишь несколько наноампер. В режиме переключения мощность, потребляемая КМДП-транзисто-

ром, возрастает, однако этот рост ограничивается тем, что n - и p -канальные транзисторы не бывают полностью отперты одновременно. Транзистор, соединенный с заземленной шиной питания, можно назвать ключевым, а соединенный с минусовой шиной питания — нагрузочным. На рис. 5.33, б приведены кривые изменения тока КМДП-инвертора. Важно отметить, что выходное на-

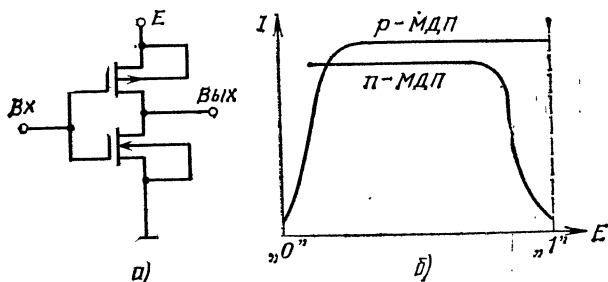


Рис. 5.33 Инвертор на транзисторах с дополняющими типами проводимости (а) и диаграмма тока при переключения КМДП-инвертора (б)

пряжение равно напряжению питания и что ток протекает в схеме только во время переключения напряжения логических уровней на входе.

Благодаря дополнительной симметрии транзисторов в рассматриваемых схемах отсутствуют низкоомные цепи между полюсами источника питания. Обычно несколько КМДП-схем непосредственно сопрягаются друг с другом; в этом случае нагрузка каждой схемы носит в основном емкостный характер. При таком характере нагрузки в схемах протекают только переходные токи при изменениях выходных состояний. Когда на выходе напряжение устанавливается постоянным, протекание тока прекращается. Токи утечки в КМДП-схемах крайне низки.

Поскольку КМДП логические ИС обладают выраженным порогом переключения, они имеют определенный уровень помехоустойчивости. Для устройств с высоким порогом переключения помехоустойчивость составляет 1,5 В. Таким образом, КМДП-схема имеет повышенную помехоустойчивость.

При построении сложных многовыходовых КМДП-каскадов каждый ключевой транзистор должен иметь

свой нагрузочный транзистор с каналом противоположного типа проводимости, управляемый по входу, общему с ключевым транзистором.

На рис. 5.34, *а* представлена схема элемента И—НЕ на КМДП, на входах которого стоят *n*-канальные транзисторы. В схеме ИЛИ—НЕ *n*-канальные приборы соединены параллельно, а *p*-канальные — последовательно (рис. 5.34, *б*).

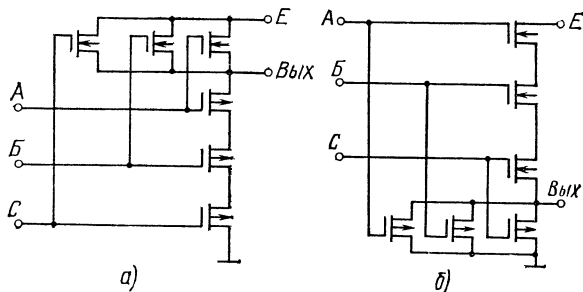


Рис. 5.34. Логические схемы И—НЕ (*а*) ИЛИ—НЕ (*б*) на КМДП-структурах

Такая же симметрия, которая имеет место между транзисторами двух типов проводимости в КМДП ИС, существует и между схемами И—НЕ, ИЛИ—НЕ. Многоходовые структуры, выполняющие простые логические функции ИЛИ—НЕ, И—НЕ, получаются соединением параллельных цепочек транзисторов одного типа проводимости и последовательных цепочек — другого.

5.8. Микросхемы средней степени интеграции

Триггеры. В цифровых логических системах в качестве элементов памяти в счетчиках и регистрах обычно используются триггеры. Триггер имеет два устойчивых состояния и может быть установлен в одно из них под действием входного сигнала. Триггер будет находиться в этом состоянии до тех пор, пока следующий входной сигнал не изменит состояния. Одно из состояний триггера принимается за 1, а другое — за 0.

Триггер имеет два выхода: прямой *Q* и инверсный \bar{Q} . Прямой выход принимается за единичный, а инверсный — за нулевой. Соответственно вход, при поступлении импульса на который триггер устанавливается в единичное

состояние, принимается за единичный, а при поступлении импульса на нулевой вход триггер устанавливается в нулевое состояние. При таком запуске триггер выполняет функции запоминающего элемента. При подаче запускающих импульсов на оба входа триггер выполняет функцию счетчика.

В зависимости от способа кодирования информации триггеры разделяют на статические и динамические. В статическом триггере каждое устойчивое состояние характеризуется своими значениями токов и потенциалов в схеме. В динамических триггерах каждое устойчивое состояние характеризуется наличием серии импульсов на выходе или отсутствием их. Динамические триггеры в интегральном исполнении на практике не применяются. Статические триггеры можно в свою очередь разбить на два типа. В триггере первого типа в каждом устойчивом состоянии либо оба транзистора открыты, либо оба закрыты.

В триггерах второго типа в каждом устойчивом состоянии один транзистор открыт, другой при этом закрыт.

Триггеры первого типа, иногда называемые кольцевыми, в интегральном исполнении нашли ограниченное применение. Широкое применение нашли статические триггеры второго типа, особенно симметричные, в которых имеет место симметрия как построения схемы, так и работы активных элементов.

По характеру управления триггеры разделяются на асинхронные и тактируемые. Состояние асинхронного триггера однозначно зависит от уровня входного сигнала. Тактируемый триггер имеет дополнительный вход для тактовых сигналов, только при поступлении которых он будет управляться входными сигналами.

По функциональному признаку различают триггеры D , T , E , R , S , DV , RS , JK , RJ , SJ , JKJ , JKT . Триггеры RJ , SJ являются логической инверсией триггеров R , S и т. д. и представляют собой те же триггеры, но построенные на основе отрицательной логики.

Наиболее широкое применение получили триггеры RS с установочными раздельными входами, T со счетным входом, D — триггер-задержка, а также универсальный JK -триггер.

На рис. 5.35 показано условное обозначение триггера. Символ T или TT в первом поле означает, что триггер одноклапный или двухклапный. Символы в левом поле обозначают входы соответствующего триггера: S —

вход раздельной установки триггера в 1; R — вход раздельной установки триггера в 0; T — счетный вход триггера; J — вход для синхронизируемой установки 1; K — вход для синхронизируемой установки состояния 0; C — вход синхронизации. При этом левое поле может быть разделено на асинхронную часть входов (R и S) и синхронную (J , K , C и T). Если вход обозначается кружком, то входной сигнал соответствует 0.

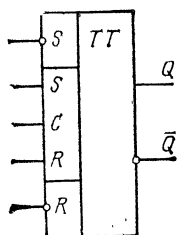


Схема RS -триггера может быть получена соответствующим соединением двух элементов ИЛИ—НЕ (рис. 5.36, а). Например, принципиальная схема RS -триггера

Рис. 5.35. Условное обозначение двухтактного триггера

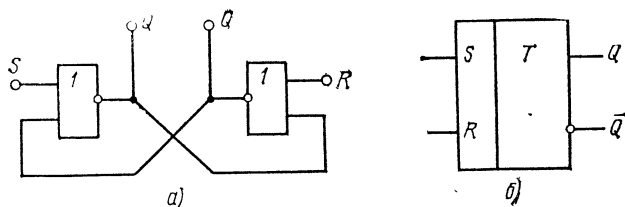


Рис. 5.36. Схема RS -триггера на логических элементах ИЛИ—НЕ (а) и его условное обозначение (б)

гера, составленная из двух РТЛ-схем, показана на рис. 5.37. Транзисторы $T1$ и $T2$ образуют регенеративную схему, в которой оба транзистора не могут одновременно находиться в активной области. Следовательно, если транзистор $T1$ насыщен, то $T2$ заперт и наоборот. Кроме того, после окончания процесса переключения транзисторов устанавливается устойчивое состояние, которое сохраняется до появления на входах схемы сигналов, способных вызвать его изменение.

Триггер может быть получен и в результате перекрестного соединения двух логических схем И—НЕ либо И—ИЛИ—НЕ и др. независимо от типа логических схем НСТЛ, ТТЛ, ЭСЛ и пр. Так, на рис. 5.38 приведена схема RS -триггера, входящая в серию ТТЛ-схем. Триггер

устанавливается в состояние 0 ($Q=0$) при поступлении на вход R единицы и на вход S нуля, а при $R=0$ и $S=1$ триггер устанавливается в состояние 1 ($Q=1$). Если на оба входа поступают нулевые сигналы, то триггер сохра-

Рис. 5.37. Схема RS -триггера на РТЛ-элементах

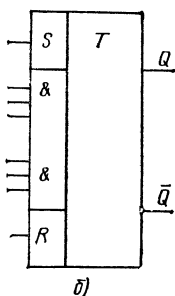
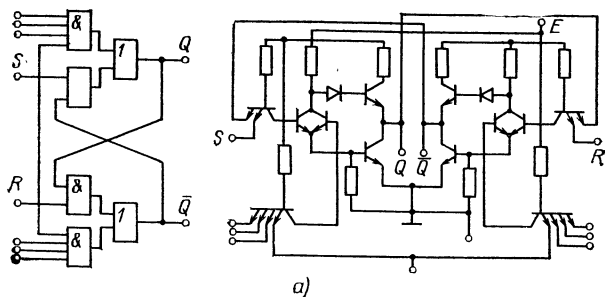
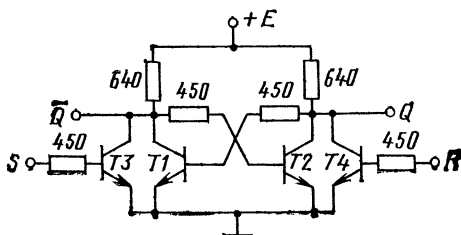


Рис. 5.38. Схема RS -триггера на ТТЛ-элементах (а) и его условное обозначение (б)

няет предыдущее состояние. При поступлении на оба входа RS -триггера 1 состояние триггера определить невозможно. Эта неопределенность устраняется в JK -триггере, в котором входы связаны с выходами так, что когда появляются два сигнала, то один из них блокируется.

Две 1 на входе вызывают возвращение триггера в исходное состояние. Простейший вариант JK -триггера приведен на рис. 5.39. Триггер имеет два входа — J и K . При поступлении на вход J 1 триггер устанавливается в состояние 1, при поступлении на вход K 1 триггер устанавливается в состояние 0. При одновременном поступлении

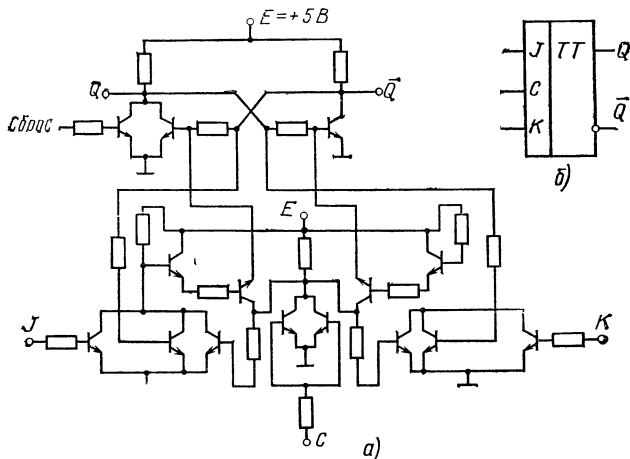


Рис. 5.39. Схема JK -триггера (а) и его условное обозначение (б)

на входы J и K 1 триггер переходит в противоположное состояние.

Триггер JK является универсальным, так как на его основе можно легко получить RS - и D -триггеры. Так, RS -триггер получается простым ограничением входных сигналов. На входах J и K не должно быть одновременно 1, а D -триггер получают, подключая вход J через инвертор ко входу K . При этом вход J выполняет функцию входа D . Триггер D называют триггером-задержкой. Отличительной особенностью его является наличие одного информационного входа (вход D).

Наиболее широкое применение получили тактируемые D -триггеры, выполненные на элементах И—НЕ, ИЛИ—НЕ. Схемы D -триггера могут быть различной тактности, т. е. управляемые различным числом синхронизирующих последовательностей импульсов, причем чем выше тактность, тем проще схема. Наиболее простая схема D -триггера — четырехтактная.

На рис. 5.40 показана одноканальная схема D -триггера, построенная на основе логических элементов И—НЕ. Состояние D -триггера в момент времени t_n совпадает с кодом входного сигнала, действующего в момент времени t_{n-1} , т. е. выполняется функция задержки входного сигнала. Вход D -триггера является информационным, а вход T — тактовым. Схема тактируется сигналом логиче-

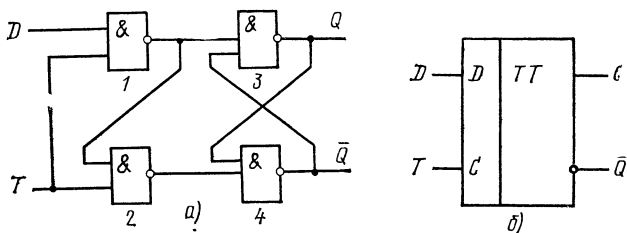


Рис. 5.40. Схема D -триггера (а) и его условное обозначение (б)

ской 1. При отсутствии тактируемого импульса оба вентиля (элементы 1 и 2) закрыты и даже при поступлении 1 на вход D -триггер не изменит своего состояния. При поступлении 1 на оба входа на выходе элемента 1 формируется 0. Последний, поступая на входы элементов 2 и 3, устанавливает триггер 3 в состояние 1 ($Q=1$) и одновременно блокирует включение элемента 2. При поступлении 0 на вход D , а 1 на вход T на выходе элемента 1 будет 1, а на выходе элемента 2—0. В результате на выходе триггера установится 0; следовательно, при поступлении 1 на вход T триггер всегда устанавливается в состояние, соответствующее состоянию на входе D . Подобные триггеры выпускаются на основе ТТЛ-элементов до четырех в одном корпусе.

Существует много разновидностей схем триггеров, однако в основе всех выпускаемых в интегральном исполнении триггеров всегда лежит одна из рассмотренных схем.

Широко применяется интегральный триггер со счетным входом — T -триггер. Он может быть организован из синхронизируемого RS -триггера путем соединения входов и выходов, как показано на рис. 5.41. Такое соединение позволяет получить двухступенчатый триггер. Поступление 1 на вход T приводит к изменению состояния триггера на противоположное. Однако это происходит

лишь по завершении действия сигнала $T=1$. При 0 на входе ($T=0$) состояние триггера не меняется.

Счетчики. Триггер является простейшим двоичным счетчиком. Соединяя несколько триггеров, можно получить многоразрядный счетчик. Счетчики делятся на суммирующие, вычитающие и реверсивные. По виду меж-каскадной связи счетчики разделяются на счетчики с пе-

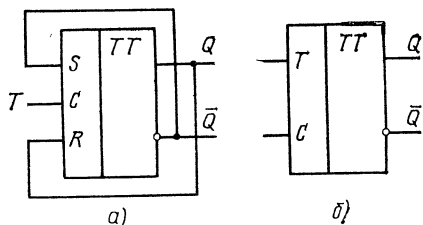


Рис. 5.41. Схема T-триггера (а) и его условное обозначение (б)

реносом, с непосредственной связью и с комбинированными связями. Наиболее простой схемой счетчика является схема с переносом. В интегральном исполнении она очень часто применяется в вычислительной технике.

На рис. 5.42 показаны 4-разрядный двоичный счетчик с последовательным переносом и временная диаграмма его работы. Счетчик выполнен на JK-триггерах, соединенных так, что выход Q каждого предыдущего триггера соединен со входом C каждого следующего. На

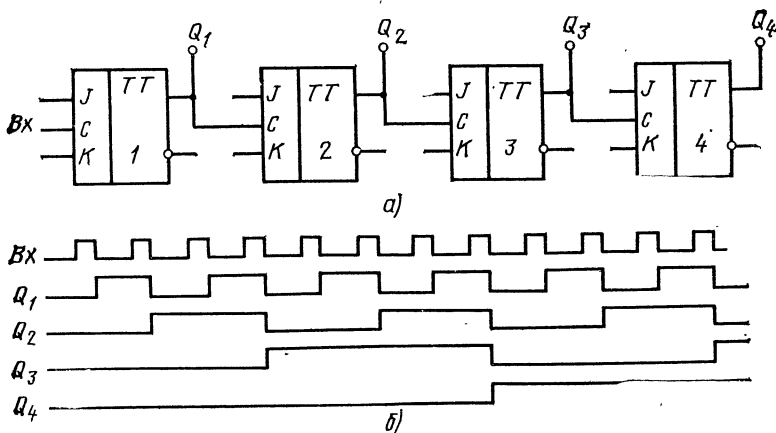


Рис. 5.42. Схема двоичного счетчика с последовательным переносом (а) и временная диаграмма его работы (б)

вход C триггера младшего разряда подаются сигналы, соответствующие 1. По спаду входного сигнала этот триггер изменяет свое состояние. В триггерах последующих разрядов изменение состояния производится сигналом переноса или, вернее, его спадом. Начальное состояние счетчика может быть установлено параллельным занесением определенного числа. Имеются также цепи установки счетчика в состояние 0.

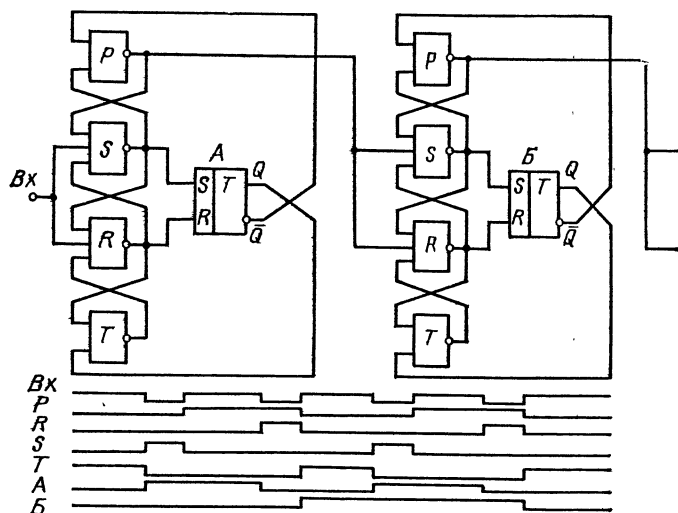


Рис. 5.43. Схема двоичного счетчика на RS-триггерах

На рис. 5.43 приведена схема двухкаскадного двоичного счетчика со сквозным переносом, выполненная на RS-триггерах и элементах ИЛИ—НЕ. Входной счетный импульс поступает на вход триггера первого каскада. Выходной сигнал первого каскада запускает второй каскад, выходной сигнал которого в свою очередь запускает следующий каскад. Пусть в начальный момент на выходе Q триггера A имеем 0, а на выходе \bar{Q} —1. Логические элементы P , S и R находятся в состоянии 0, а элемент T —в состоянии 1. Когда входной сигнал становится отрицательным (0), выходной сигнал элемента S становится положительным и, поступая на триггер, переводит его в состояние, при котором на выходе Q устанавливается 1, а на выходе \bar{Q} —0. В результате (как видно из временной диаграммы рис. 5.43) элемент T оказы-

вается в состоянии 0. При поступлении следующего сигнала элемент S и выход триггера Q принимают состояния 0, а элемент P — состояние 1. При поступлении следующего сигнала цикл повторяется в той же последовательности. Однако в силу того что выходной сигнал элемента T отрицательный, входной сигнал проходит на выход элемента R . В результате триггер возвращается в

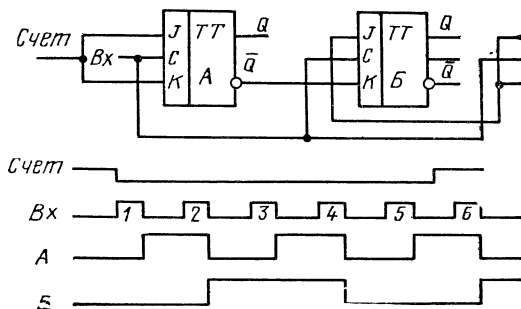


Рис. 5.44. Схема счетчика со сквозным переносом на JK -триггерах

прежнее состояние. Второй каскад запускается сигналом, поступающим с выхода элемента P . Второй каскад изменяет свое состояние, когда на его вход поступает отрицательный сигнал, т. е. на каждый второй входной импульс.

На рис. 5.44 приведена схема вычитающего счетчика со сквозным переносом на JK -триггерах. Сигналы с выходов всех предшествующих разрядов подаются на J - и K -входы следующего триггера. В таком счетчике достигается высокое быстродействие по сравнению со счетчиками с последовательным переносом, где длительность переходного процесса, а следовательно, и предельная частота зависят от разрядности счетчика. Однако в счетчике со сквозным переносом в старших разрядах требуется большое число входных цепей. Поэтому обычно в одной микросхеме размещается счетчик разрядностью не более четырех.

В реверсивных счетчиках в цепях межразрядных связей производится передача сигнала либо с выходов Q , либо с выходов \bar{Q} . В первом случае имеет место суммирующий режим, во втором — вычитающий.

Счетчики применяются для счета числа циклов выполнения операций, для образования последовательностей адресов команд, для подсчета временных интервалов и т. д.

В настоящее время на основе ТТЛ-элементов выпускаются 4-разрядные счетчики, счетчики делители на 12, двоично-десятичные счетчики и др. в планарных корпусах и ДИП корпусах.

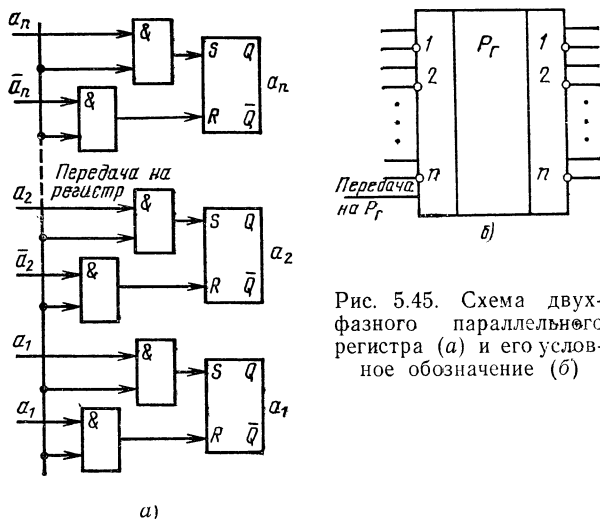


Рис. 5.45. Схема двухфазного параллельного регистра (а) и его условное обозначение (б)

Регистры выполняют функции приема, хранения, сдвига и передачи информации. С помощью регистров могут выполняться такие логические операции, как логическое сложение и умножение, преобразование параллельного кода в последовательный и др. Информация в регистрах хранится в двоичном коде, причем каждому разряду числа соответствует определенный разряд регистра. Регистры подразделяются по способу записи информации на последовательные, параллельные и параллельно-последовательные. В этой главе мы рассмотрим только параллельные регистры.

Код в регистре изменяют, записывая фиксированный код под воздействием управляющего импульса. Запись на регистр кода с выхода какой-либо логической схемы может выполняться однофазным или двухфазным способом. В первом случае требуется предварительная установка запоминающих элементов в 0 или 1.

На рис. 5.45 приведена схема двухфазного парал-

тельного регистра, выполненного на RS -триггерах и логических элементах И. Входная информация на каждом разряде регистра имеет два значения: 1 и 0. Единичное значение входной величины соответствует 1 на единичном выходе логической схемы и 0 на нулевом выходе. Нулевое значение входной величины соответствует 1 на нулевом выходе и 0 на единичном выходе. Единичные и

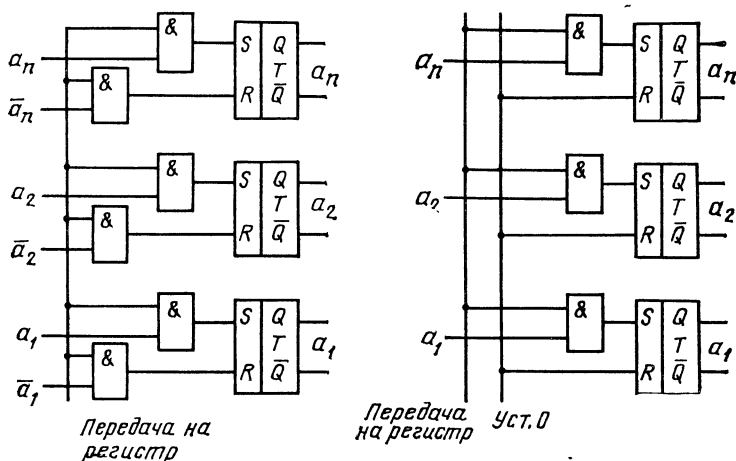


Рис. 5.46. Схемы однофазного параллельного регистра

нулевые входы всех триггеров регистра непосредственно связаны с выходами двухвходовых логических элементов И. На один из входов схемы И подается 0 или 1, а на другой — сигнал с общей управляющей шины «передача на регистр».

На рис. 5.46 приведены схемы параллельных однофазных регистров с предварительной установкой регистра в 0. Логическая схема, вырабатывающая входную величину в каждом разряде регистра, может иметь только один выход — единичный, что позволило упростить ее внутреннюю структуру. Единичные выходы логической схемы через элементы И связаны с соответствующими единичными входами триггеров регистра. На вторые входы элементов И подается управляющий импульс. Нулевые входы всех триггеров связаны с общей управляющей шиной «установка в нуль».

Сигнал в регистр поступает с выходов логического устройства в виде последовательности двух разделенных

во времени управляющих импульсов: установки регистра в 0 и передачи на единичные входы единичных значений входной величины. Такая передача, естественно, требует больше времени, чем парафазная передача, реализуемая одним управляющим импульсом. Аналогично производится ввод в регистр кода однофазным способом с предварительной установкой регистра в 1. В этом случае после установки регистра в 1 на нулевые входы передаются нулевые значения входной величины. Наиболее распространен ввод кода на регистр путем передачи сигнала с одного регистра на другой. Если запись выполняется двухфазным способом, единичные выходы одного регистра, а нулевые выходы этого регистра через другую группу элементов И — с нулевыми входами другого регистра. Если запись выполняется однофазным способом, то регистры связаны только одной группой элементов И.

Более эффективны однофазные регистры в интегральном исполнении, так как они содержат в два раза меньше информационных входов, чем парафазные регистры. Уменьшение числа входов позволяет сократить число выводов микросхемы, и, следовательно, такие регистры предпочтительнее.

Регистры, позволяющие сдвигать все разряды кода слова на одинаковое число разрядов влево или вправо, называются сдвигающими. Наиболее просто такие регистры реализовать на *D*-, *RS*- или *JK*-триггерах. Сдвигающие регистры обычно относятся к ЗУ с последовательной выборкой и подробно будут рассмотрены в гл. 9.

В настоящее время выпускаются микросхемы 4- и 8-разрядных параллельных регистров, построенных на основе ТТЛ-элементов в металлокерамических и пластмассовых корпусах.

Дешифраторы. Дешифратором называется комбинационное логическое устройство, в котором каждому из возможных состояний (двоичный код) на входах соответствует появление сигнала только на одном из выходов. Дешифраторы обычно имеют $2n$ входов и N ($2^{n-1} < N \leq 2^n$) выходов. На каждом из выходов дешифратора вырабатывается логическая переменная, принимающая значение 1 только при некотором вполне определенном и единственном значении двоичного кода, установленного на входном регистре (для i -го выхода — код A_i). При коде A_i на входе логические переменные на всех выходах дешифратора, кроме i -го, должны быть равны 0.

Дешифратор с полным числом выходов вместе с вход-

ным регистром можно рассматривать также как устройство, преобразующее n -разрядный двоичный код в один разряд 2^n -ричного кода, так как двоичному коду, устанавливаемому в регистре, однозначно соответствует возбужденное состояние одной из 2^n выходных шин дешифратора. Таким образом, номер возбужденной выходной шины определяет цифру 2^n -ричного кода, соответствующую входному двоичному n -разрядному числу.

Если число выходов дешифратора является полным, т. е. равно 2^n , то любому из возможных значений кода, установленного на входном регистре, соответствует единичное значение логической функции на одном из выходов дешифратора, выделяющее этот код на регистре среди всех других кодов. Если число выходов дешифратора является неполным, т. е. меньше, чем 2^n , то при некоторых значениях кодов, установленных на входном регистре, на всех выходах дешифратора значения логических переменных могут быть равны нулю. Обычно установка таких кодов на входном регистре считается недозволенной. Мы будем рассматривать в основном дешифраторы с полным, т. е. равным 2^n , числом выходов в связи с тем, что схемы дешифраторов с неполным числом выходов являются упрощенными и получаются простым исключением некоторых выходных шин.

Одноступенчатый дешифратор представляет собой совокупность n -входовых логических элементов И, связанных с каждым триггером регистра. Каждый вход любого элемента И управляется либо нулевым, либо единичным выходом одного из триггеров входного регистра. Число n -входовых ячеек И соответствует числу выходов дешифратора. Каждый выход дешифратора вырабатывает 1 только тогда, когда все триггеры входного регистра, связанные с соответствующим элементом И через свои единичные выходы, установлены в состояние 1, а триггеры, связанные с тем же элементом И через нулевые выходы, — в состояние 0.

На рис. 5.47 показан дешифратор, построенный на 3-входовых схемах И для 3-разрядного входного слова. С помощью 3-входовых инверторов на входы схем И подаются все возможные комбинации прямых и инверсных значений разрядов слова.

Одноступенчатые дешифраторы строятся чаще всего на основе диодных матриц. На рис. 5.48 изображена диодная матрица на 8 входов и 16 выходов ($n=4$). Для простоты диоды на рисунке не изображены, а точками

условно показаны места их включения на пересечении горизонтальных и вертикальных шин. Число диодов по горизонтали для одноступенчатых матриц подобного типа равно n , число диодов по вертикали равно числу выходных шин дешифратора. Диоды, расположенные по горизонтали, и резисторы R образуют одну схему И на четыре входа. Места включения диодов распределены следующим образом: в первой вертикальной шине само-

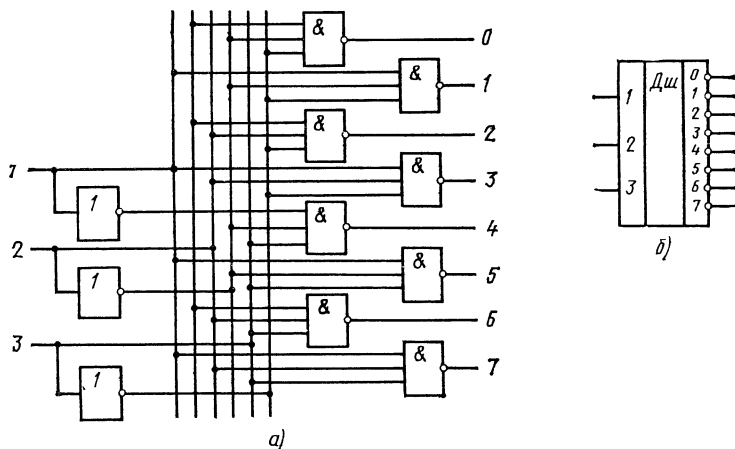


Рис. 5.47. Схема дешифратора (а) и его условное обозначение (б)

го младшего разряда — через одну горизонтальную шину, в третьей вертикальной шине 2-го разряда — через две горизонтальные шины и т. д., в $(2n-1)$ -й вертикальной шине n -го разряда — через $2n$ горизонтальные шины. Во всех четных шинах диоды включаются в местах, где они отсутствуют в нечетных шинах соответствующих разрядов.

Дешифраторы рассмотренного типа имеют те же особенности работы, что и диодные схемы совпадения. Сопротивление диодов, включенных в обратном направлении, особенно при большом числе параллельно включенных диодов, наряду с падением напряжения в прямом направлении приводят к ослаблению сигналов, интерпретирующих 0 и 1, а следовательно, и к ограничению числа дешифрируемых разрядов.

Для уменьшения числа входов применяются пирами-

дальные дешифраторы: на первой ступени на логические элементы подаются два разряда дешифрируемого числа, на второй к ним добавляется третий и т. д. Преимуществом их является использование общих логических элементов, причем каждая ступень имеет больше логических элементов, чем предыдущая. Пирамидаль-

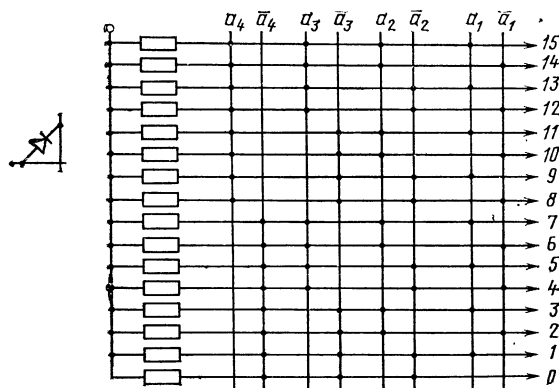


Рис. 5. 48. Схема дешифратора на диодной матрице

ные дешифраторы выполняются на логических элементах И—НЕ, И—ИЛИ—НЕ. Для построения 4-разрядного дешифратора потребуется 8 логических элементов И—НЕ на два входа и 16 логических элементов И—ИЛИ—НЕ. Такие дешифраторы выпускаются в планарном керамическом корпусе на ТТЛ-элементах.

Глава 6.

АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

6.1. Функциональные классы

В отличие от цифровых схем, даже относительно простые аналоговые (линейные) схемы часто требуют большого числа разнообразных не повторяющихся функциональных элементов.

Для изготовления линейных схем, которые в настоящее время не могут быть выполнены в полупроводниковом исполнении (высоковольтных, мощных, высокочастотных), применяется гибридная технология. Основной базовой конструкцией полупроводниковых линейных схем является диффузионно-эпитаксиальная $n^+ - p - n - n^+$ -типа проводимости транзисторная структура со скрытым диффузионным n^+ -типа подслоем коллектора на подложке p -типа с изоляцией $p - n$ -переходом. В связи с большой трудностью конструирования конденсаторов большой емкости в линейных ИС наиболее широкое применение нашли усилители с непосредственной связью. Они имеют сравнительно малый температурный дрейф, обеспечивают малый разбаланс и возможность охвата усилительного устройства с большим усилением внешней обратной связью.

Современная технология позволяет создавать микросхемы, обеспечивающие построение практически всех узлов современной РЭА.

Разработаны линейные ИС, содержащие до 300 элементов на одном кристалле, в том числе маломощные $n - p - n$ - и $p - n - p$ -структуры, мощные $n - p - n$ -транзисторы, МДП-структуры, резисторы номиналом до сотен килоом, конденсаторы емкостью до сотен микрофарад, стабилитроны.

Разработка серии полупроводниковых микросхем для радиоприемных трактов потребовала существенного видоизменения схемотехнических методов построения этих схем по сравнению с принятыми при конструировании аналогичных устройств в дискретном исполнении, для которых характерны простота схемотехнических решений, минимальное использование активных элементов, широкое применение разделительных и блокировочных конденсаторов, настраиваемых элементов и т. д.

В настоящее время выпускаются линейные ИС самого различного функционального назначения: дифференциальные усилители, усилители низких частот, узкополосные и широкополосные усилители, усилители промежуточной частоты, видеоусилители, стабилизаторы, усилители мощности, операционные усилители, прочие (генераторы, детекторы, смесители, инверторы, цифроаналоговые и аналого-цифровые преобразователи и т. д.).

Рассмотрим наиболее широко применяемые линейные ИС.

6.2. Дифференциальные усилители

Распространенной линейной ИС является дифференциальная схема однокаскадного усилителя с постоянной составляющей и непосредственными связями между каскадами (рис. 6.1).

Дифференциальные усилители применяются, когда требуется сравнить два входных сигнала и получить на выходе сигнал, пропорциональный их разности. Это часто делается в усилителях постоянного тока.

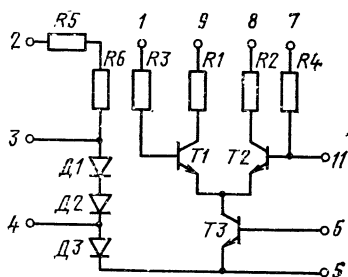


Рис. 6.1. Схема дифференциального усилителя

Дифференциальный усилитель содержит два эмиттерных повторителя и управляемый источник тока. Дифференциальный каскад должен быть симметричен. Это требование означает симметрию схемы и равенство как значений параметров элемен-

тов, так и их зависимостей от температуры. Если в схемах на дискретных компонентах это требование выполнить сравнительно трудно, то в полупроводниковой ИС все элементы расположены рядом (на одном участке кристалла) и изготавливаются за один технологический цикл. В результате для транзисторов дифференциального усилителя разность температур переходов может быть доведена до нескольких десятых долей градуса, что обеспечивает разрешающую способность дифференциальных усилителей по постоянной составляющей порядка десятых долей милливольт. Дрейф постоянной составляющей сигнала имеет при этом порядок десятых долей милливольт на 1°C изменения окружающей температуры. Аналогично можно показать, что и другие внешние воздействия на дифференциальный усилитель не снижают его разрешающей способности.

Если два напряжения подать на входы 1 и 7, то их разность $U_{\text{вх}} = U_2 - U_1$ усиливается и между выходами 8 и 9 появляется напряжение, линейно зависящее от разности напряжений на входах. Если на оба входа подать одинаковые по величине синфазные сигналы, т.е. дифференциальное входное напряжение равно нулю, то дифференциальное напряжение на выходе также равно ну-

лю независимо от коэффициента усиления схемы. Эта особенность дифференциального усилителя позволяет усиливать малые дифференциальные сигналы при незначительном влиянии синфазных помех.

Дифференциальные усилители могут применяться при различных способах подключения источника сигнала и внешней нагрузки, в зависимости от этого получаются четыре характерных режима: симметричный вход — симметричный выход, симметричный вход — несимметричный выход, несимметричный вход — симметричный выход, несимметричный вход — несимметричный выход. Мы рассмотрим только симметричный режим.

Основными параметрами дифференциального усилителя являются дифференциальный коэффициент усиления, коэффициент передачи синфазного сигнала, входное и выходное сопротивления. Важнейшим параметром дифференциального усилителя является дифференциальный коэффициент усиления K_K — отношение выходного напряжения к дифференциальному входному напряжению. Следовательно, выходное напряжение идеального дифференциального усилителя

$$U_{\text{вых}} = K_d (U_{\text{вх2}} - U_{\text{вх1}}) = K_d U_{\text{вхд}}.$$

Для полностью симметричной схемы коэффициент усиления

$$K_d = (U_{\text{вых2}} - U_{\text{вых1}}) / (U_{\text{вх2}} - U_{\text{вх1}}) = \frac{U_{\text{рвых2}}}{U_{\text{вх2}} - U_{\text{вх1}}} \times \\ \times \frac{-U_{\text{вых1}}}{U_{\text{вх2}} - U_{\text{вх1}}} = -2SR_{\text{кн}},$$

где S — крутизна передаточных характеристик транзисторов $T1$ и $T2$; $R_{\text{кн}} = (R_1 R_{\text{н}} / 2) / (R_1 + R_{\text{н}} / 2)$ — полное сопротивление нагрузки в цепи коллектора транзисторов $T1$ и $T2$; $R_{\text{н}}$ — сопротивление внешней нагрузки.

Коэффициент передачи синфазного сигнала $K_{\text{сф}}$ — отношение несимметричного выходного напряжения к входному синфазному напряжению. Так, например, для выходной цепи каскада на транзисторе $T1$

$$K_{\text{сф}} = U_{\text{вых}} / U_{\text{вх}} \simeq -h_{21} R_{\text{кн}} / 2R_0 (1 + h_{21}) \simeq -R_{\text{кн}} / 2R_0,$$

где $R_{\text{кн}} = R_1 R_{\text{н}} / (R_1 + R_{\text{н}})$ — полное сопротивление нагрузки в цепи коллектора транзистора $T1$; R_0 — выходное сопротивление токозадающего каскада.

Таким образом, чем больше выходное сопротивление токозадающего каскада, тем сильнее ослабляются синфазные помехи.

Применяется также параметр — коэффициент ослабления синфазного сигнала $K_{ос\ сф}$ — отношение коэффициента усиления к коэффициенту передачи синфазного сигнала:

$$K_{ос\ сф} = K_d / K_{сф} \simeq 4SR_0.$$

Этот коэффициент используется как показатель качества дифференциальных усилителей. При симметричном подключении источника сигнала входное сопротивление равно сумме входных сопротивлений каскадов, так как по отношению к $U_{вх} = U_{вх2} - U_{вх1}$ резисторы $R_{вх1}$ и $R_{вх2}$ включены последовательно. Следовательно,

$$R_{вх} = R_{вх1} + R_{вх2} \simeq h_{11} R_3 / (h_{11} + R_3),$$

где h_{11} — входная проводимость транзистора.

При симметричном выходе выходное сопротивление

$$R_{вых} = R_{вых1} + R_{вых2} \simeq R_1 + R_2.$$

Это выражение получено для области частот, в которой параметрами транзистора h_{12} и h_{22} можно пренебречь.

Входное сопротивление усилителя, показанного на рис. 6.1, равно 0,5 МОм, рабочий диапазон частот 0—15 МГц, $K_{ос\ сф} = 2 \cdot 10^4$, $R_{вых} = 20$ кОм, $K_d = 50$. Схема обладает высокой универсальностью и может использоваться во всех каскадах приемно-усилительного тракта: УВЧ, смесителях, гетеродинах, ограничителях, регулируемых и нерегулируемых каскадах УПЧ, детекторах АМ, ЧМ и ФМ сигналов. Применение усилителей во входных каскадах приемных устройств ограничено достаточно большим уровнем собственных шумов (6—8 дБ) и невысоким динамическим диапазоном входных сигналов. Усовершенствование технологии полупроводниковых микросхем позволяет увеличить предельную частоту усилителя по крутизне до 300—400 МГц. До настоящего времени однокаскадный усилитель остается основным элементом радиотехнических схем. Выпускаются микросхемы, содержащие на одном кристалле два идентичных дифференциальных каскада, позволяющих реализовать высококачественный балансовый умножитель и различные схемы обработки сигналов, использующие операцию перемножения.

6.3. Узкополосные усилители

Узкополосные усилители представляют собой определенный класс усилителей. Наиболее распространены усилители высокой частоты (УВЧ) и усилители промежу-

точной частоты (УПЧ). Избирательность по частоте является основным требованием к узкополосным усилителям. Она характеризуется отношением полосы пропускания на уровне 60 дБ к полосе пропускания на уровне 6 дБ.

Одна из сложных проблем при создании ИС узкополосных усилителей связана с выбором элементов настройки. Простейшим решением этой проблемы является использование элементов настройки в виде навесных элементов, а активных приборов в виде интегральной схемы.

Схема узкополосного усилителя с резонансной нагрузкой приведена на рис. 6.2. Основой этой схемы является схема дифференциального усилителя. Наличие двух входов и двух выходов позволяет использовать схему дифференциального усилителя для построения усилителей радиочастот, смесителей, усилителей промежуточных частот, генераторов и т. д. Схема узкополосного усилителя обладает хорошими усилительными, шумовыми и частотными характеристиками. Для изготовления микросхемы с полосой усиления 250—300 МГц необходимы транзисторы с граничной частотой усиления более 1 ГГц. На рис. 6.2 ИС заключена в окружность, а элементы настройки вынесены.

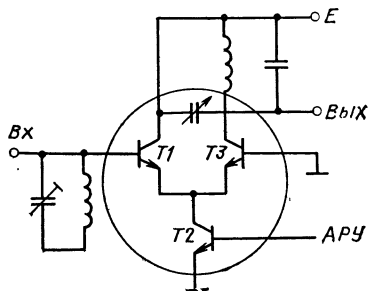


Рис. 6.2. Схема узкополосного усилителя

На верхних частотах радиодиапазона схему дифференциального усилителя можно использовать в одноконтурном каскодном режиме; на промежуточных же частотах чаще используется каскад с эмиттерной связью. Высокоомный вход схемы обеспечивает связь с предыдущим резонансным каскадом или с антенной без ухудшения их селективности. Низкий уровень внутренней обратной связи схемы, определяемый малой обратной проводимостью Y_{12} транзисторов, обеспечивает хорошую развязку резонансных контуров и источников сигналов без применения нейтрализующих цепей. Два сигнальных входа схемы обеспечивают ее многофункциональность.

Рассмотрим работу схемы. Входной сигнал подается на базу транзистора первого каскада (с общим коллектором), а выходной снимается с коллектора транзистора второго каскада $T3$ (с общей базой). Ток генератора тока $T2$ делится пополам между плечами дифференциального усилителя.

Идентичность транзисторов при интегральной технологии облегчает температурную стабилизацию схемы. Изменение напряжения $U_{БЭ}$ и h_{21} при изменении температуры для обоих транзисторов практически одинаковы. Это позволяет использовать подобную схему для усиления как слабых, так и мощных сигналов. Хорошая линейность переходной характеристики обеспечивается до амплитуд входного сигнала 50 мВ. Автоматическая регулировка усиления (АРУ) выполняется при подаче напряжения автоматической регулировки на базу транзистора $T2$. В этом случае изменяется ток эмиттера обоих транзисторов в одном и том же направлении и не происходит разбаланса транзисторов по постоянному току. Если ток эмиттера уменьшается, то и коэффициент усиления уменьшается. Диапазон АРУ в данном случае определяется равномерностью характеристики $h_{21\beta}(I_{Э})$, а также зависимостью $f_T(I_{Э})$.

Усилитель имеет следующие параметры: граничная частота 100 МГц, входное сопротивление 2 кОм, выходное 100 кОм, усиление по мощности 25 дБ, коэффициент шума 5 дБ, напряжение питания 6 В, диапазон АРУ 50 дБ.

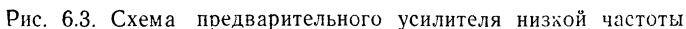
Узкополосные усилители без индуктивностей могут быть реализованы в виде полупроводниковой схемы (без навесных компонентов настройки). В схемах без индуктивностей для избирательного усиления могут быть использованы активные RC -цепи или цифровые фильтры.

6.4. Усилители низкой частоты

Линейные ИС нашли широкое применение в конечных звуковых каскадах радиоаппаратуры. Обычно в выходных каскадах применяют предварительные усилители и мощные усилители низкой частоты (УНЧ). В настоящее время разработан ряд полупроводниковых ИС УНЧ с выходной мощностью от сотен милливатт до 20 Вт и более.

В радиоприемной аппаратуре предварительные УНЧ применяются в качестве микрофонно-телефонных усили-

Усилители низкой частоты имеют следующие параметры: полосу пропускания 1 Гц — 100 кГц, коэффициент усиления 300—500, коэффициент нелинейных иска-



На рис. 6.3 приведена принципиальная электрическая схема предварительного УНЧ. Схема содержит двухкаскадный входной усилитель на транзисторах $T1, T2$ с внешними нагрузками и цепями смещения и двухкаскадный выходной усилитель на транзисторах $T3, T5$ с внешней обратной связью через транзистор $T4$. Диоды $D1-D4$ обеспечивают необходимое смещение транзистора $T5$.

На рис. 6.4 приведена принципиальная электрическая схема четырехваттного усилителя, включающая входной каскад на $p-n-p$ -транзисторе $T1$; усилительный каскад на транзисторе $T2$, нагрузкой которого является транзистор $T3$; мощный выходной каскад (транзисторы $T11$,

$T13$, $T14$) и фазоинверсный каскад на транзисторе $T9$. Цепи смещения на транзисторах $T4—T7$, $T12$, диодах $D1—D3$ и резисторах $R4$, $R5$ и контур общей отрицательной обратной связи (резистор $R8$) задают выходной потенциал схемы на уровне половины напряжения питания. Вывод 12 схемы предназначен для подачи переменного выходного напряжения через внешний разделитель-

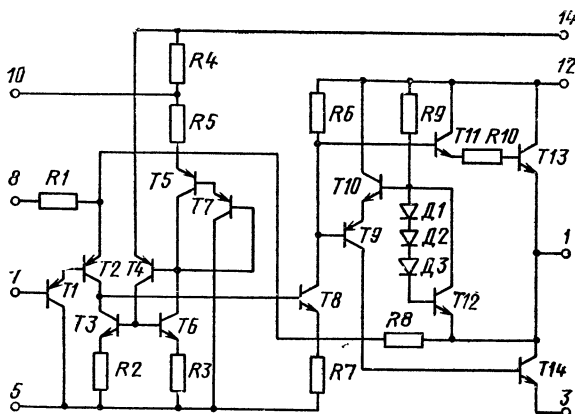


Рис. 6.4. Схема четырехваттного УНЧ

ный конденсатор на базу транзистора $T11$, что форсирует отпирание транзисторов $T11$, $T13$, позволяет эффективно использовать напряжение источника питания и улучшает коэффициент полезного действия усилителя. В приведенной типовой принципиальной схеме УНЧ широко применяются различные типы $p-n-p$ -структур: вертикальный транзистор с кольцевой геометрией эмиттера, коллектором которого служит общая область разделительной диффузии, имеющий при малых токах смещения достаточно высокий коэффициент усиления (30—80), и инжекционный транзистор $T9$ фазоинверсного каскада, работающий при больших токах смещения (десятки миллиампер), который сконструирован на основе параллельного соединения отдельных горизонтальных $p-n-p$ -структур с соединением их базовых областей через «скрытый» n^+ -слой.

Качественные характеристики схемы (максимальный ток нагрузки 1 А, коэффициент нелинейных искажений при $P_{\text{вых}}=4$ Вт не более 10%) во многом определяются конструкцией пары мощных транзисторов $T13$, $T14$.

Существующие тенденции в разработке полупроводниковых интегральных схем УНЧ, направленные на повышение выходной мощности, снижение коэффициента нелинейных искажений до 0,1—0,2%, введение внутренней тепловой защиты и защиты от короткого замыкания на выходе, позволяют в ближайшее время существенно улучшить характеристики и надежность современной высококачественной радиоаппаратуры.

6.5. Операционные усилители

Термин «операционный усилитель» традиционный, он произошел от того, что ранее операционный усилитель применялся лишь в аналоговых ЭВМ для выполнения чисто математических операций, таких, как суммирование, вычитание, интегрирование и дифференцирование. Однако благодаря относительно низкой стоимости операционного усилителя и многофункциональности они нашли более широкое применение. Так, например, операционные усилители широко применяются в преобразователях, стабилизаторах напряжения, активных фильтрах, генераторах функций и многих других устройствах.

Основным звеном в операционном усилителе является дифференциальный усилитель. Наличие обратных связей позволяет производить коррекцию тракта усиления.

Достоинствами операционного усилителя являются высокий коэффициент усиления и точная регулировка усиления с помощью внешних сопротивлений и конденсаторов.

Операционный усилитель, принципиальная электрическая схема которого приведена на рис. 6.5, состоит из входного дифференциального усилителя, промежуточного усиливающего каскада и выходного каскада, работающего в режиме класса Б. Для обеспечения большого входного сопротивления и малого входного тока входные транзисторы в этой схеме работают при очень малых токах коллектора — около 20 мкА. Для получения минимальной разности входных токов транзисторы $T1$ и $T2$, а также резисторы нагрузки $R1$ и $R2$ согласованы. Транзистор $T8$ используется в качестве низковольтного источника напряжения для питания входного каскада.

Второй каскад представляет собой совмещенные транзисторные пары $T5, T3$ и $T4, T6$. Такое включение позволяет улучшить согласование 1-го и 2-го каскадов

при максимальном коэффициенте усиления по напряжению. Резисторы $R3$, $R4$ и диод $D2$ образуют делитель тока в цепях эмиттеров транзисторов $T3$ и $T4$. Транзистор $T9$ выполняет роль инвертора для согласования 2-го каскада с 3-м и вместе с резистором $R11$ и $p-n-p$ -транзистором $T10$ служит для преобразования уровня постоянного напряжения. Поскольку транзистор $T10$

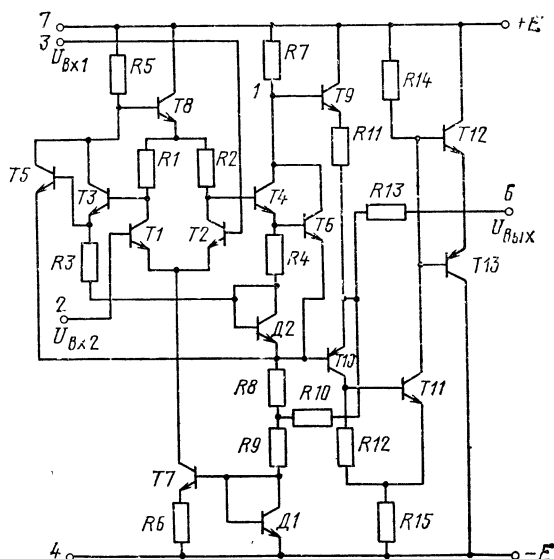


Рис. 6.5. Схема операционного усилителя

используется только для изменения постоянного напряжения смещения транзистора следующего каскада, схема удовлетворительно работает даже с транзисторами, у которых коэффициент усиления по току менее 0,5. Каскад предварительного усиления для выходного каскада усилителя класса Б построен на транзисторах $T12$ и $T13$. В транзисторе $T13$ $p-n-p$ -типа в качестве коллектора используется подложка.

Резистор $R13$ создает внутреннюю обратную связь, охватывающую 3-й каскад. От соотношения сопротивлений резисторов $R13$ и $R11$ зависит усиление каскада. В схеме предусмотрено подключение внешних корректирующих RC -цепей между выводами 1 и 6 микросхемы и конденсатора между выводами 5 и 6.

Микросхема изготовлена по полупроводниковой планарной эпитаксиальной технологии на кристалле размером $1 \times 1,2$ мм и оформлена в круглом металлостеклянном корпусе с 12 выводами. В качестве резисторов использованы базовые области транзисторов. Для обеспе-

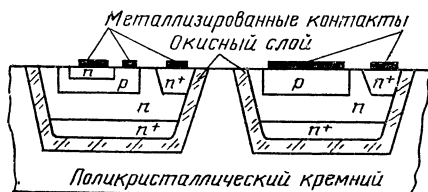


Рис. 6.6. Участок кристалла микросхемы операционного усилителя

чения малой разности входных токов транзисторы $T1$ и $T2$ имеют одинаковую геометрию и расположены рядом друг с другом. Для уменьшения паразитных связей входные выводы разнесены на максимально возможное расстояние. Согласованные резисторы $R1$ и $R2$ имеют одинаковую геометрию и размещены рядом. Транзисторы, коллекторы которых в схеме соединены, размещаются в одной изолированной области для экономии площади.

Усилитель построен на транзисторах различного типа проводимости. Транзисторы $p-n-p$ имеют продольную структуру и изготавливаются совместно с $n-p-n$ -транзисторами. Для изоляции элементов схемы применена диэлектрическая изоляция из двуоксида кремния. На рис. 6.6 показано поперечное сечение кристалла. Эмиттерная и коллекторная области $p-n-p$ -транзистора формируются одновременно с базовым слоем $n-p-n$ -транзистора.

Приведем основные параметры операционного усилителя: коэффициент усиления по напряжению — отношение изменения напряжения на выходе к вызвавшему его изменению дифференциального входного напряжения:

$$K_U = \Delta U_{\text{вых}} / \Delta U_{\text{д.}}$$

Обычно в справочниках приводятся максимальное и минимальное значения K_U . Типовое значение: $1000 \leq K_U \leq 100\,000$.

В справочниках обычно приводится минимальное значение. Выходное напряжение $U_{\text{вых}} = 3-10$ В.

Напряжение смещения нуля — входное напряжение, которое должно быть приложено к входным зажимам, чтобы выходное напряжение стало равным нулю. Обычно оно не превышает ± 10 мВ.

Разность входных токов — разность между токами на двух входах микросхемы при выходном напряжении, равном нулю. Обычно разность токов не превышает 1 мкА.

Для типовых микросхем входное сопротивление обычно не менее 1 МОм.

Полоса пропускания на полной мощности — максимальная частота, при которой на выходе можно получить неискаженный синусоидальный сигнал с максимальной амплитудой. Полоса пропускания составляет 10 кГц—5 МГц.

Коэффициент подавления синфазного сигнала — отношение коэффициента усиления дифференциального сигнала к коэффициенту усиления синфазного сигнала при разомкнутой цепи обратной связи. Его значение находится в пределах 60—150 дБ.

Дальнейшее усовершенствование полупроводниковых линейных ИС путем повышения степени интеграции и расширения функциональных возможностей, введения предварительных усилительных каскадов, собственной системы АРУ, схем подавления шумов, активных регулируемых низкочастотных RC-фильтров и т. д. может привести к созданию специализированных ИС, реализующих практически все основные функции приемно-усилительного тракта.

Глава 7.

БОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

7.1. Понятие о больших интегральных схемах

Значительный рост функциональной сложности микросхем и соответственно числа элементов и компонентов ИС привел к созданию схем с высокой степенью интеграции — больших интегральных схем (БИС). БИС содержит не менее 100 эквивалентных логических схем, соединенных между собой не менее чем двумя слоями тонкопленочных соединений. Кроме того, БИС являются сложными схемами, представляющими узлы и целые устройства.

Одним из основных вопросов при создании БИС является определение их функционального назначения. Наиболее эффективным можно считать перевод на БИС в первую очередь вычислительных машин, имеющих большое число одинаковых схем. Применение БИС расширяет функциональные возможности систем.

Повышение степени интеграции ИС ограничено несколькими факторами: возможностью уменьшения геометрических размеров элементов; типом активного элемента; возможностью увеличения размеров кристалла БИС и другими факторами, в том числе и схемотехническими.

Что касается геометрических размеров, то ограничением здесь являются, с одной стороны, характеристики элементов (номинальный ток, коэффициент усиления и др.), а с другой — возможности технологии и оборудования (оптическое оборудование, фотолитография). Увеличение степени интеграции в первую очередь сдерживает проблемы отвода тепла и тепловые связи между элементами в кристалле.

Что касается элементов, то МДП-транзисторы занимают площадь, более чем на порядок меньшую, чем биполярные транзисторы. Размеры полупроводникового кристалла ограничиваются дефектами в них: чем больше технологических операций, тем больше дефектов и тем ниже процент выхода годных микросхем. Ввиду того что для изготовления МДП БИС требуется значительно меньшее число операций, чем для изготовления биполярных БИС при одном и том же проценте выхода годных микросхем, площадь кристалла для них может быть значительно увеличена, а если к тому же учесть, что размер МДП-транзистора более чем на порядок меньше размера биполярного элемента транзистора, то становится понятным, что степень интеграции БИС на МДП-структурах значительно больше, чем на биполярных.

7.2. Соединение элементов БИС

Одна из наиболее сложных задач — соединить между собой большое число элементов в одном кристалле или на одной подложке. Обычно соединения в БИС выполняются по многоуровневой системе. Первый уровень — это связи, объединяющие отдельные элементы в простейшие логические схемы И—НЕ, ИЛИ—НЕ, триггер и т. д. Следующий уровень — это объединение эле-

ментарных логических схем в регистры, счетчики, полусумматоры, дешифраторы и т. д. Следующий уровень объединяет устройства в узлы ЭВМ: устройства управления, сумматоры, устройство обмена и т. д. Такая многоуровневая система соединений при создании БИС реализуется в виде многослойной системы проводников. Выводы корпуса соединяются только с выходами и входами всей БИС и с точками подведения питания.

В связи с тем, что одним из факторов, ограничивающих сложность БИС, является ограниченное число выводов корпуса, возникает задача максимального сокращения числа выводов БИС в результате различных схемотехнических решений, оптимального разбиения систем на БИС, выбора компонентов и элементарных логических схем и технологии. Например, можно существенно сократить число выводов БИС арифметического устройства, включая местное управление. При функциональном разбиении системы полезно пользоваться показателем функционального разбиения $B=N/K$, где N — число вентилях в БИС; K — число выводов.

7.3. Схемотехника и технология БИС

Основой дальнейшего развития БИС является многообразие технологических и схемотехнических направлений (табл. 7.1).

Развитие логических ИС идет по двум направлениям: 1) совершенствование микросхемотехники ИС с использованием новых физических явлений и схемотехнических решений; 2) совершенствование технологических приемов изготовления БИС. Примером может служить мик-

Таблица 7.1

Тип транзистора	Биполярный			МДП	
Структура основных компонентов	с эпитаксиальным коллектором	трехдиффузионная	изопланарная	МДП	с зарядовой связью
Схемные варианты	ТТЛ, РТЛ, ЭСЛ, И ² Л	ЭСЛ	ТТЛ, ЭСЛ, И ² Л	p-МДП, n-МДП, КМДП	С поверхностными и со скрытыми каналами

росхема, изготовленная на основе усовершенствованной технологии с использованием окисной изоляции — Изопланар-II. На рис. 7.1 показана геометрия обычного транзистора, а также транзисторов, выполненных по технологии Изопланар-I и Изопланар-II. На рисунке видно, что площадь, занимаемая транзистором, выполненным по технологии Изопланар-II, в два раза меньше площади обычного транзистора. Это способствует увели-

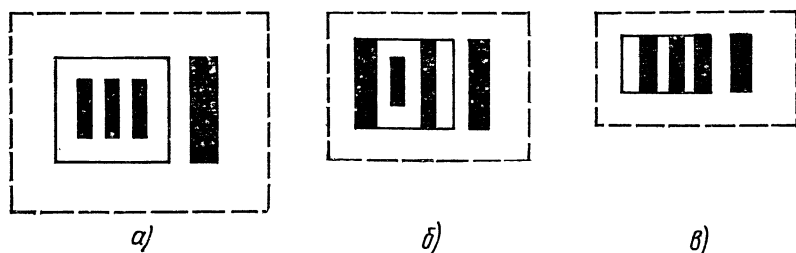


Рис. 7.1. Геометрия транзисторов, выполненных по трем типам технологий:

а — обычная; *б* — Изопланар-I; *в* — Изопланар-II

чению процента выхода годных БИС при одновременном уменьшении размеров приборов и увеличении их быстродействия.

Достижения в области разработки логических микросхем с использованием новых физических явлений и новой схемотехники направлены на снижение энергетических уровней функционирования, увеличение степени интеграции, улучшение эксплуатационных характеристик.

Для БИС широкого назначения (сумматоры, счетчики, регистры и т. д.) характерна высокая регулярность структуры, они более просты в проектировании. В современных цифровых микросхемах на биполярных транзисторах в качестве базовых чаще всего используются ТТЛ- и ЭСЛ-схемы.

Создание БИС более чем с 1000 элементов в кристалле на данном этапе развития технологии требует выполнения следующих условий: площадь одного логического элемента ($S_{эл}$) должна быть не более $(1-5) \cdot 10^3$ мкм², потребляемая мощность $P_{пот\ эл} = 100-500$ мкВт/бит. Таким образом, для БИС необходимо разработать схемы ТТЛ и ЭСЛ с уменьшенными значениями $P_{пот\ эл}$ и

и $S_{эл}$. Для получения высокой степени интеграции цифровые БИС на биполярных транзисторах следует строить на базе схем ТТЛ и ЭСЛ с уменьшенным перепадом логических сигналов. На выходах БИС целесообразно иметь такие же значения логических сигналов, как для серийно выпускаемых микросхем ТТЛ или ЭСЛ, чтобы обеспечить совместную работу БИС с этими микросхемами. Поэтому на входах и выходах БИС должны включаться схемы для преобразования логических уровней.

Для повышения экономической эффективности БИС целесообразно проектировать их на основе базового кристалла, содержащего однотипные логические элементы, из которых, изменяя рисунок металлических соединений, можно получать БИС, выполняющие различные функции.

Однородность следует соблюдать и в структуре логических элементов, т. е. надо стремиться строить логические элементы из однородных элементов, так как при этом упрощается топология схемы и уменьшается площадь, занимаемая схемой на кристалле. Элементная однородность достигается, например, в БИС на МДП-транзисторах с p -каналом. В большинстве логических схем на биполярных транзисторах используются, кроме того, диоды и резисторы. Для этих схем элементная однородность заключается в том, чтобы обеспечить приблизительно одинаковые площади, занимаемые различными элементами на кристалле.

Чтобы обеспечить схемную однородность БИС, в качестве базовых логических элементов следует использовать схемы, выполняющие функции И—НЕ, ИЛИ—НЕ либо комбинированные функции И—ИЛИ—НЕ и др. Использование логических элементов, выполняющих комбинированные функции, упрощает проектирование и позволяет улучшить характеристики БИС.

Определим требования к основным параметрам логических элементов БИС. Площадь, занимаемая БИС на кристалле, $S_k \leq (10-20) \text{ мм}^2$. Таким образом, площадь логического элемента БИС $S_{эл} \leq 0,1 \text{ мм}^2$ для арифметического и управляющего устройств, $S_{эл} \leq 0,01 \text{ мм}^2$ для БИС ЗУ.

Возможности теплоотвода ограничивают выделяемую на кристалле мощность до $P_{раск} = 10^2 \div 10^3 \text{ мВт}$. Поэтому мощность логического элемента для БИС арифметического и управляющего устройств $P_{потэл} < 0,1 \text{ мВт}$, для БИС ЗУ $P_{потэл} < 0,01 \text{ мВт}$.

Так как уровень внутренних помех БИС понижен, то для логического элемента допустима невысокая помехоустойчивость $\Delta U_{\text{н}} = 50\text{—}100\text{ мВ}$. Требуемые значения коэффициента разветвления на выходе составляют $K_{\text{раз}} = 3\text{—}4$, число входов $K_{\text{об}} = 3$.

Современная технология изготовления позволяет получить площади схем $S_{\text{ТТЛ}} \approx 0,02\text{ мм}^2$, $S_{\text{Эсл}} \approx 0,03\text{ мм}^2$ при $K_{\text{об}} = 3$, $P_{\text{пот.эл}} = 0,5\text{ мВт}$.

Одним из новых направлений проектирования БИС на основе биполярной технологии являются схемы И²Л. Вентиль типа И²Л занимает площадь, равную площади одного обычного транзистора. Схемы И²Л потребляют мощность порядка нескольких нановатт и обладают временем задержки менее 10 нс. Они имеют следующие преимущества: высокую степень интеграции на кристалле (до 1000—3000 вентилях или 10 000 бит); малое значение произведения мощности на время задержки — до 0,1 пДж/вентиль; высокую помехоустойчивость и низкую потребляемую мощность.

На основе И²Л-схем разработаны счетчики, сдвиговые регистры, арифметические, декодирующие и запоминающие устройства.

Логические элементы на МДП-структурах также представляют интерес для БИС ввиду исключительно малой рассеиваемой мощности (порядка милливатт в режиме переключения и нановатт в статическом режиме), высокой помехоустойчивости (до 45% напряжения источника питания), способности работать от одного источника (3—15 В) при низких требованиях к точности стабилизации питающего напряжения.

Основным недостатком МДП БИС является сравнительно низкое быстродействие МДП-транзистора, обусловленное медленным перезарядом емкостной нагрузки, состоящей из собственной емкости транзистора и емкости схемы. Так, предельная частота, на которой могут работать *p*-канальные схемы, не превышает 2 МГц. Сокращение размеров транзистора и емкости транзистора (ионное легирование, кремниевый затвор и др.) позволяет повысить предельную частоту до 10 МГц. Использование комплементарных структур позволяет достигнуть максимальной частоты — 20 МГц.

БИС на МДП-структурах проектируются как на потенциальных, так и на динамических логических элементах. Потенциальные БИС отличаются низким быстродействием и большой потребляемой мощностью (10—

15 мВт/вентиль на частоте 200 кГц). Динамические БИС характеризуются наибольшим значением отношения частота/мощность (1 мВт/вентиль на частоте 1 МГц).

Динамические схемы более устойчивы к влиянию паразитных емкостных связей, обусловленных наличием внутренних емкостей МДП-транзистора, а также емкостей связи шин межсоединений. В то же время динамические схемы имеют недостаток. Для их нормальной работы требуются генераторы синхроимпульсов достаточно высокой частоты. Для размещения генераторов требуется дополнительная площадь на кристалле. Ввиду того что работа динамической схемы основана на способности сохранять заряд на емкости затвора, такие схемы не могут работать при высоких температурах из-за повышенных токов утечки.

КМДП БИС на сапфировых подложках представляют собой маломощные быстродействующие приборы. Их использование в специализированной электронной аппаратуре обусловлено высокой помехоустойчивостью, широким диапазоном рабочих температур и радиационной стойкостью.

Цифровые БИС можно разделить на БИС с регулярной и нерегулярной структурами. БИС с регулярной структурой являются схемами широкого назначения или специальными и позволяют создавать функциональные узлы: регистры сдвига, накопители на регистрах сдвига, постоянные и оперативные запоминающие устройства, а также программируемые логические матрицы. С помощью программируемых логических матриц можно реализовать различные логические функции перекодированием содержащихся в них программных матриц, однако их универсальность достигается благодаря значительному увеличению числа элементов (до нескольких тысяч транзисторов на одном кристалле), что возможно лишь при высоком технологическом уровне изготовления БИС.

7.4. Конструктивно-технологические особенности создания БИС

По конструктивно-технологическому признаку БИС можно разделить на следующие два основных типа:

1. Многокристалльные (гибридные) БИС, выполненные на пассивной подложке. Кристаллы с ИС монтируют на поверхности платы из изолирующего материала,

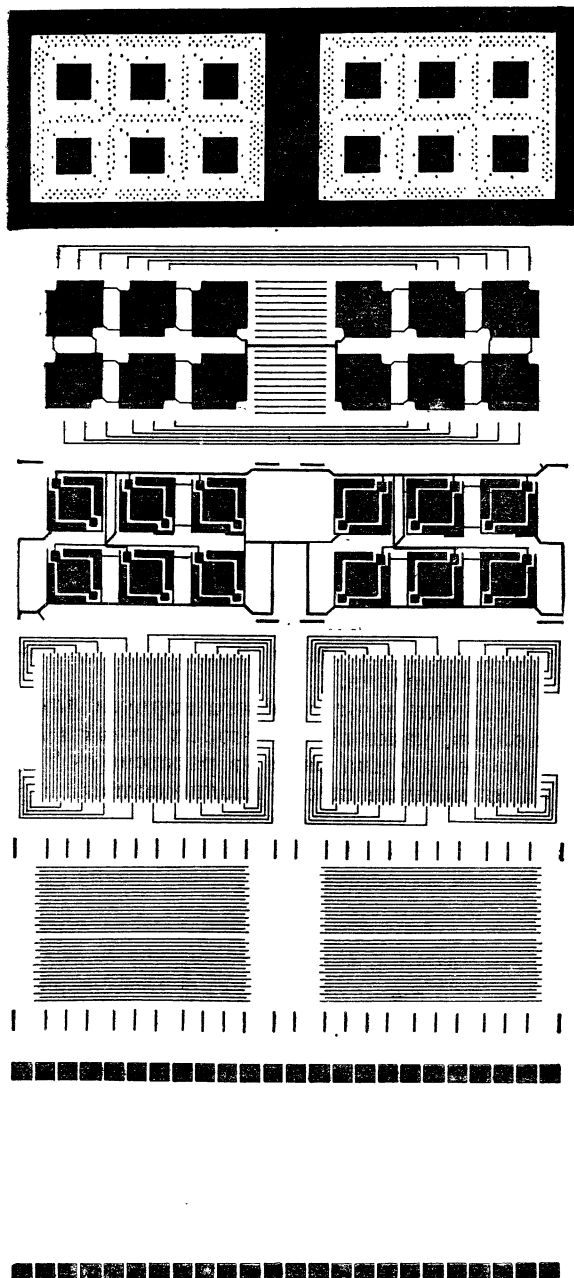


Рис. 7.2. Набор шаблонов для изготовления многослойного корпуса много-кристалльной БИС

предусматривая при этом определенный рисунок разводки.

2. БИС, выполненные на одной кремниевой пластине. Наиболее перспективным методом конструирования гибридных БИС признан сейчас метод пластина — кристалл, когда на ситалловой пластине изготавливаются пленочные монтажные соединения, с помощью которых методом «перевернутого кристалла» или на балочных выводах монтируются кристаллы ИС средней степени интеграции или даже БИС. Этот метод позволяет использовать разнотипные кристаллы ИС, допускает применение других элементов в составе гибридной ИС. Он перспективен для создания небольших партий ИС частного применения.

Технология и организация производства специализированных БИС обеспечивают: выпуск схем практически неограниченной номенклатуры небольшими партиями; короткий срок разработки; низкую стоимость и высокую надежность схемы; высокие технические характеристики схемы.

Разработка топологии пленочной коммутационной платы БИС является весьма трудоемкой операцией, поэтому на этом этапе используются машинные методы проектирования.

Выводы многослойного корпуса для монтажа 12 кристаллов, каждый из которых имеет по 48 выводов, расположены в два ряда на расстоянии 2,5 мм друг от друга. В корпусе шесть изолированных проводящих слоев, полученных с помощью фотошаблонов (рис. 7.2). На верхнем слое монтируются кристаллы. Выводы от кристаллов к площадкам привариваются в верхней части межсоединений.

Следует также отметить, что контроль параметров схемы в процессе производства большой номенклатуры БИС небольшими партиями требует применения универсальной измерительной аппаратуры, управляемой ЭВМ.

Однокристалльные БИС имеют важное преимущество перед гибридными, а именно: они дешевле при изготовлении большими партиями из-за того, что требуется меньше операций для их производства.

На рис. 7.3 приведены корпуса для однокристалльных БИС. Они имеют нормализованный ряд конструкций и габаритов. Наиболее распространенным для БИС является керамический корпус с двумя рядами выводов. Процесс изготовления его состоит из трех простых опера-

ций. Сначала штамповкой или травлением изготавливается коваровая рамка с выводами толщиной 127 или 254 мкм. Затем производится горячая запрессовка рамки в керамическую подложку. Рамка проходит по всей

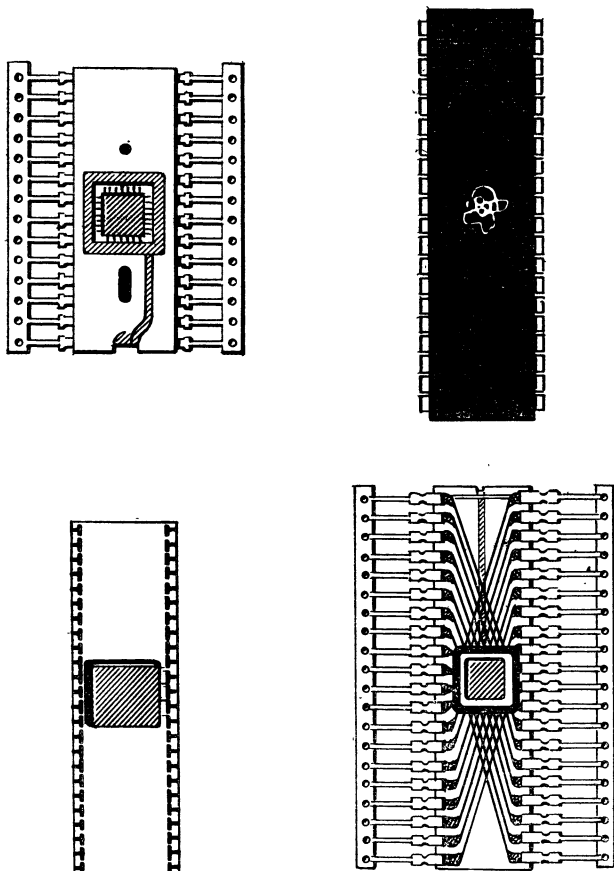


Рис. 7.3. Корпусы для однокристалльных БИС

подложке через ее центр и служит для непосредственного присоединения проволочных выводов к кристаллу. С помощью стёклянного припоя или эпоксидной смолы к подложке припаивается керамическая крышка, которая

служит для защиты кристалла от попадания на него света и повышает механическую прочность корпуса.

Кроме этого метода распространен метод изготовления керамических корпусов с использованием подложки с трафаретом или слоистой подложки. В первом случае на подложку по трафарету наносится рисунок проводни-

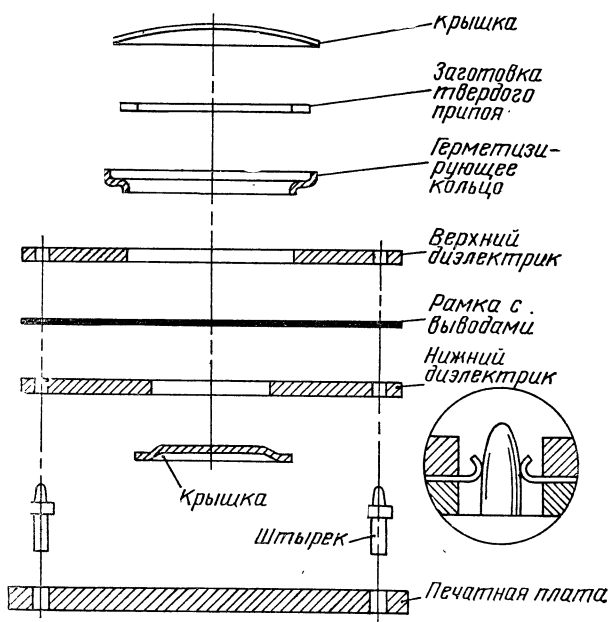


Рис. 7.4. Корпус, монтируемый на штырьки

ков, который затем подвергается термообработке и покрывается слоем стекла. Рамка с выводами приклеивается к краям подложки, после чего надевается крышка. Слоистая подложка получается спрессовыванием двух керамических пластин с проделанными в них отверстиями и нанесенным рисунком проводников. К основанию припаивается металлическая крышка, а затем присоединяется рамка с выводами, которые соединяются с внешними штырьковыми выводами (рис. 7.4).

Корпусы для БИС выпускаются с 16, 18, 24, 28, 40 и 48 выводами. Самый дешевый корпус для БИС — пластмассовый. В корпусе (рис. 7.5) рамка с выводами впрессовывается в пластмассовую подложку по ее краям.

Для соединения рамки с кристаллом, расположенным в центральном углублении, производится металлизация тонкопленочной подложки. Готовая конструкция герметизируется кремнийорганической пластмассой.

Машинное проектирование. Для сокращения времени и стоимости разработки БИС применяются ЭВМ. Одной

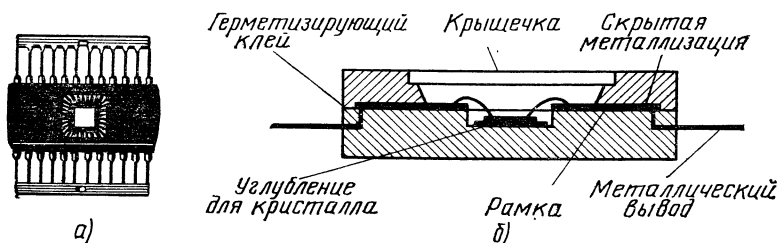


Рис. 7.5. Корпус с использованием рамки с выводами

из задач машинного проектирования является минимизация числа внешних выводов с одновременным увеличением сложности БИС. Для достаточной эффективности БИС в системах конструктивное решение должно обеспечивать высокое отношение числа вентиля к числу выводов. С этой целью конструируемая система расчленяется таким образом, чтобы большую часть необходимых соединений можно было выполнить внутри самого кристалла.

Идеальным при проектировании БИС было бы создание машинной программы, исходными данными которой являлись бы характеристики БИС, а выходными — комплект масок для изготовления БИС по заданному технологическому процессу. Однако возможности современной вычислительной техники не позволяют решить задачу автоматического проектирования таким образом.

Проектирование БИС можно разделить на следующие три этапа: расчет активных элементов, расчет принципиальных электрических схем и расчет топологии, — находящиеся в тесной взаимосвязи. Таким образом, систему машинного проектирования БИС можно представить как ряд программ, решающих задачи вышеперечисленных этапов проектирования БИС.

На этапе расчета активных элементов производится выбор структуры микросхемы, определяются параметры элементов и их геометрия. Электрические параметры используются в качестве исходных данных на этапе

расчета электрических схем. Геометрические характеристики элементов используются для расчета топологической схемы.

В результате предварительного анализа схемы определяется комплексный показатель качества активного элемента, который сильнее всего влияет на требуемые от схемы характеристики. Наибольшую трудность на этом этапе проектирования представляет создание алгоритма математической модели, учитывающей нелинейность и трехмерный характер процессов переноса заряда в транзисторной структуре.

После разработки алгоритма составляется вычислительная программа для определения экстремальных значений показателя качества, т.е. выбираются оптимальный диффузионный профиль и геометрия активных компонентов.

На этапе расчета электрических схем выполняется моделирование электрических процессов, протекающих в схемах, с целью расчета характеристик БИС. На этом этапе рассчитываются значения параметров пассивных элементов.

Разработано большое число машинных программ для анализа и оптимизации характеристик различных схем — как логических, так и линейных. Характеристики схемы представляют собой сложную функцию большого числа переменных, таких, как напряжение источников питания, топология элементов, их размеры и форма, характеристики, паразитные элементы и т.д. Поэтому первым шагом при любой оптимизации является определение критерия, по которому схема должна оптимизироваться. В качестве критерия может быть выбран некоторый показатель качества работы схемы, который должен представлять собой действительную величину, поддающуюся оптимизации, в пределах практически реализуемых условий. При этом процесс оптимизации заключается в процедуре численного исследования с целью поиска соответствующих значений переменных, при которых показатель качества принимает минимальное или максимальное значение в зависимости от конкретно выбранного показателя качества.

После определения показателя качества работы схемы необходимо составить вычислительную программу для его численной оптимизации. Для этого требуется разработать некоторые вычислительные и оптимизационные алгоритмы.

Этап расчета топологической схемы в свою очередь можно разбить на следующие подэтапы: размещение элементов на пластине; проведение внутрисхемных соединений; разложение общей топологической схемы на отдельные маски. При решении задачи размещения элементов необходимо формализовать технологические и схемотехнические ограничения и выбрать критерий оптимальности размещения для определенного класса схем. Эта задача очень сложная и трудоемкая.

Для решения задачи внутрисхемных соединений разработан ряд программ, для выполнения которых требуются значительные затраты машинного времени (несколько часов). Основной проблемой решения этой задачи является создание высокоэффективных вычислительных процедур.

Разложение общей топологической схемы на маски и вычерчивание последних не представляют особых трудностей и выполняются стыковкой ЦВМ с координатографом.

Методика полуавтоматического проектирования БИС с помощью ЭВМ заключается в следующем. Имея в распоряжении логическое описание схемы, технические условия на испытания и картотеку логических элементов в запоминающем устройстве ЭВМ, разработчик с помощью клавиатуры получает на экране электронно-лучевой трубки любую комбинацию элементов, необходимую для выполнения логической функции, наносит межсхемные соединения, объединяет отдельные схемы в большую интегральную схему, способную выполнять сложные функции. Для облегчения межсоединений в БИС разработчик может пользоваться программами, заложенными в вычислительное устройство. С помощью светового пера осуществляются необходимые изменения в рисунке соединений и проверяется соответствие конструкции техническим условиям. Конструкция схемы и межсоединений записывается на магнитной ленте, откуда она поступает на автоматическую установку, обеспечивающую получение различных шаблонов, необходимых при изготовлении кристаллов. В то время как инженер проектирует схему, другая программа вычислительной машины разрабатывает методику испытания кристалла, обеспечивающую автоматическое испытание кристалла после его изготовления. Применение описанного

ким достижением, приведшим к пересмотру методов реализации логических функциональных устройств.

Быстрый прогресс в технологии микросхем позволил создать БИС высокой степени интеграции. Однако при этом наблюдалось снижение универсальности микросхем. Стремление создать универсальные БИС широкого применения и привело к изобретению МП — программируемой БИС.

Под микропроцессором принято понимать центральную часть вычислительной системы, состоящую из одной или нескольких БИС и включающую в себя операционное арифметико-логическое устройство и устройство управления. Микропроцессор предназначен для выполнения последовательности команд (микрокоманд), предусмотренных программой решения задач.

В общем случае МП позволяет выполнять следующие операции: прием закодированных инструкций; прием, обработку, хранение и вывод закодированной информации; ввод и вывод сигналов, управляющих работой микропроцессорной и других схем или характеризующих ее состояние. Таким образом, МП выполняет те же функции, что и процессоры цифровых вычислительных устройств, но отличается небольшим числом выполняемых команд (50—100) и малым числом разрядов (обычно 8 или 16).

Микропроцессоры используются в контроллерах, микро-ЭВМ, микропроцессорных системах.

Контроллер — это цифровой автомат, который работает по определенному (жесткому или программно изменяемому) алгоритму. Обычно контроллер выполняет функции управления периферийными или каким-либо автономным устройством в соответствии с заданным алгоритмом.

Микро-ЭВМ представляет собой вычислительное устройство, выполненное на микропроцессорном комплексе и представляющее собой автономный прибор с комплексом программного обеспечения с каналами ввода—вывода.

Микропроцессорная система представляет собой вычислительную, управляющую, контрольно-измерительную или любую другую систему, выполненную на микропроцессорных комплектах.

В настоящее время МП находят применение в бортовых навигационных ЦВМ, на станциях телеметрии, для управления технологическими операциями и телефон-

ными сетями, для преобразования координат в периферийном оборудовании вычислительных систем, для выполнения стандартных алгоритмов, подпрограмм, в оптических читающих автоматах, медицинской электронике, торговых системах и т. д.

8.2. Структура микропроцессоров

Структура МП должна удовлетворять трем основным требованиям: быть гибкой, обеспечивать высокое быстродействие и допускать экономичную техническую реализацию.

Любой микропроцессор состоит из операционного и управляющего устройств. В операционном устройстве производится преобразование машинных слов. Управляющее устройство управляет ходом вычислительного процесса, обеспечивая выборку команд из памяти, расшифровку команд, последовательность сигналов управления (микрооперации) и реализацию определенной последовательности микроопераций. По структуре можно выделить МП с фиксированной и с наращиваемой разрядностью.

По способу организации управления можно выделить МП с фиксированным набором команд и микропрограммным управлением, а также МП, эмулирующие различные системы команд, составленные из заданного набора микрокоманд.

Первые микропроцессоры имели фиксированную разрядность и набор команд.

Гибкость МП достигается благодаря использованию микропрограммного управления. Большинство МП имеет микропрограммное управление. Применить микропрограммное управление позволили изменения в структурных схемах МП (переход на разрядные секции) и желание сделать МП программно-совместимыми с мини-ЭВМ. Микропрограммное управление обеспечивает широкие возможности для создания собственного математического обеспечения на основе микропрограммной реализации операционных систем и интерпретаторов с языков высокого уровня.

Гибкая структура МП может обеспечивать: по возможности большее число внутренних сверхоперативных регистров; развитую систему прерываний по программе.

С точки зрения экономичности реализации избранной структуры наибольшее значение имеют однородность

схемы и число необходимых связей с внешней средой.

Структура простейшего МП напоминает структуру ЭВМ 1-го поколения, в которых отсутствовали микропрограммное управление и сверхоперативные регистры (их роль выполняют ячейки ОЗУ и пр.). На рис. 8.1 показана типовая структура таких МП. Операционное устройство МП включает в себя арифметико-логическое

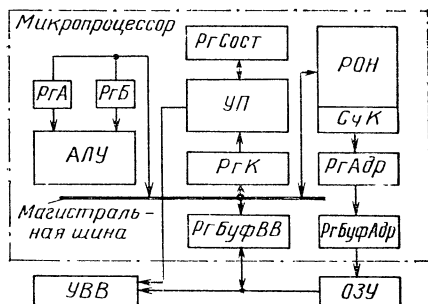


Рис. 8.1. Структурная схема МП с фиксированной разрядностью и набором

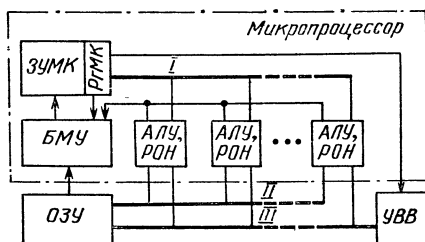
устройство (АЛУ), регистры операндов (РгА и РгБ), регистр команд (РгК), регистры общего назначения (РОН), адресный регистр (РгАдр). Арифметико-логическое устройство служит для реализации арифметических и логических операций над одним или двумя операндами, находящимися в регистрах А и Б. Результат операции передается в общую магистральную шину, соединяющую все блоки. Регистр команд служит для хранения кода текущей команды. Регистры общего назначения используются для хранения оперативной информации во время вычисления. Счетчик команд (СчК) обеспечивает образование и хранение кода адреса ОЗУ или устройств ввода—вывода (УВВ).

Регистр состояний (PrCost) фиксирует состояние МП в каждый момент выполнения программы и обеспечивает выполнение переходов в программе по заданным признакам и условиям. МП имеют фиксированную длину информационного слова: 4 или 8 разрядов. Фиксированный набор выполняемых команд определяется структурой управляющего блока, представляющего собой управляющую память (УП). МП работает совместно с УВВ

и ОЗУ, подключающимися через буферные блоки РгБуфВВ или РгБуфАдр. Обычно используется одна магистральная шина передачи адресов, информации и команд. В этом случае при выполнении команд необходимо временное мультиплексирование передачи информации, адресов и команд, что уменьшает быстродействие.

Рис. 8.2. Структурная схема МП с наращиваемой разрядностью и микропрограммным управлением:

I — управляющая магистраль; *II* — магистраль адресов; *III* — магистраль данных



Из-за весьма ограниченного и жестко фиксированного набора выполняемых команд (несколько десятков) и небольшой разрядности такие МП являются по существу специализированными.

Расширение области применения и повышение универсальности достигается в МП, которые имеют структуру с наращиваемой разрядностью и микропрограммное управление. Типовая структура такого МП приведена на рис. 8.2. В таких МП операционное устройство состоит из арифметико-логического устройства и внутренних сверхоперативных регистров общего назначения малой разрядности (2 или 4). Блок микропрограммного управления (БМУ) состоит из схем микропрограммного управления. Запоминающее устройство микропрограмм (ЗУМК) содержит микропрограммы, реализующие систему команд МП. Управляющее устройство может работать с несколькими АЛУ, число которых зависит от требуемой разрядности МП. Программа работы МП хранится в ЗУ в виде команд, отсюда она поступает в микропрограммное устройство управления (БМУ). Блок микропрограммного управления включает дешифратор кода операции, схему определения переходов микропрограмм и регистр микрокоманды. В ряде микропроцессоров БМУ выделен в отдельный кристалл.

Параметры МП во многом определяются быстродействием ЗУМК. Считается, что для достижения максимальной эффективности МП время доступа к микро-

программной памяти должно быть на порядок меньше, чем к ОЗУ. Среднее время считывания микропрограммной памяти лежит в пределах 30—120 нс. Микрокоманда управляет функционированием АЛУ, выполняющих требуемые микрооперации, в том числе вырабатывает адрес следующей команды, хранимой в ОЗУ. В состав РОНов, как правило, входит индексный регистр, регистр указателя стека, регистр программного счетчика и регистры, выполняющие некоторые специфические функции. Разрядность РОНов в МП последних серий принята равной 16. РОНЫ связаны с другими блоками МП двунаправленной 8- или 16-разрядной информационной шиной. Регистр программного счетчика связан с адресным регистром, который имеет выход на 16-разрядную адресную шину. Адресация РОНов всегда прямая и осуществляется из регистра микрокоманд.

Используются АЛУ нескольких типов: двоичные, двоично-десятичные и символьные. Большинство АЛУ — параллельного действия. АЛУ, как правило, состоит из двоичного сумматора со схемами ускоренного переноса, регистров временного хранения операндов, регистра-сдвигателя и регистра-накопителя. Некоторые МП содержат аппаратные средства для реализации некоторых функций, например десятичной арифметики.

При обращении к внешней памяти в МП обычно используются непосредственная, индексная и косвенная адресации. При косвенной адресации адрес внешней памяти находится в одном из РОНов, указание на который содержится в команде. При этом в короткой команде при 16-разрядном РОНе можно адресовать до 64К слов. При индексной адресации адрес, содержащийся в команде, дополняется информацией из индексного регистра и служит адресом обращения к памяти. Для непосредственной адресации используются длинные команды размером в 3 и 4 байта.

АЛУ МП аппаратно выполняет простейшие операции (сложение, вычитание, пересылка, логическое И и ИЛИ, сдвиг, сложение по модулю 2). Сложные действия, предусмотренные в команде, выполняются по микропрограммам или подпрограммам. Благодаря значительному числу выполняемых микрокоманд (обычно более сотни) МП обеспечивает реализацию большого числа различных функций. Кроме того, ЗУМК обычно выполняется в виде отдельной БИС, и можно менять набор микрокоманд, меняя БИС ПЗУ. В МП обычно используется

несколько магистралей: адресные, управляющие и др. Это позволяет избавиться от мультиплексирования, что упрощает структуру и повышает быстродействие МП.

Адресная и информационная шины АЛУ, а также блока РОНов как бы расщеплены на равные между собой секции (разрядные слои).

Для образования процессора необходимо соответственно скоммутировать цепи переноса и сдвига между секциями. Микропрограммное управление осуществляет управление операциями, причем сигналы поступают параллельно на все секции.

Наиболее быстродействующим является МП с технологией ТТЛ/ДШ. МП состоит из четырех кристаллов 4-разрядных центральных процессорных элементов, пяти кристаллов управления и двух кристаллов памяти микропрограмм. МП имеет 16 РОНов. Четырехразрядный кристалл содержит АЛУ, общую регистровую память на 8 слов, два 4-разрядных рабочих регистра, мультиплексоры масштабирования и сдвига, позволяющие работать при самых разнообразных интерфейсах, и, наконец, программируемую при изготовлении логическую матрицу (ПЛМ) на 512 стандартных операций. Команды, запрограммированные на ПЛМ, обеспечивают большую универсальность в применении. С помощью такого обширного набора микрокоманд можно эмулировать самые разнообразные существующие машины, причем без потери программной совместимости и без увеличения затрат на программное обеспечение.

В машинах с большой длиной слова обеспечиваются ускоренный перенос для всего сумматора и параллельный доступ ко всем управляющим кодам, данным и адресам ввода — вывода.

Для работы МП необходим ряд внешних устройств (ОЗУ, ПЗУ, устройства ввода — вывода и др.), которые также изготавливаются в виде БИС. Таким образом, выпускаются комплекты микропроцессорных БИС, содержащие до 10 и более типов БИС. Состав комплекта определяется структурой МП и выбранной технологической и элементной базой.

Схемы управления вводом — выводом у МП очень просты. Каналы прямого доступа к памяти, используемые в некоторых МП, позволяют вести высокоскоростной обмен большими массивами информации.

Система прерываний в МП осуществляется программно по внешним запросам.

8.3. Технология микропроцессоров

На современном уровне развития технологии разработка БИС МП идет по всем технологическим направлениям: *p*-канальные и *n*-канальные МОП БИС, комплементарные МОП (КМОП) и биполярные (ТТЛ, ЭСЛ и И²Л).

Первый МП был выполнен на основе *p*-канальной МОП-технологии. В то время МОП-схемы обладали такими преимуществами, как простота технологии, малая мощность рассеивания и высокая радиационная стойкость, высокая степень интеграции, низкая стоимость. Такие недостатки МОП-схем, как низкое быстродействие, потребность в нескольких источниках питания, окупались перечисленными достоинствами.

Если в МП 1-го поколения использовалась *p*-МОП-технология, то в основу МП 2-го поколения положена *n*-канальная МОП-технология. Внедрение *n*-МОП-технологии позволило разместить на кристалле до 5000 транзисторов и получить более высокое быстродействие. Большинство 8-битовых МП выполнено по *n*-МОП-технологии.

Широкое развитие получили комплементарные МОП-схемы. Они практически нечувствительны к помехам, работают при широком разбросе номиналов питания и являются самыми микромощными схемами. Типичное значение мощности, потребляемой 100-вентильной логической ИС, составляет 0,1 МВт. Значительное улучшение характеристик КМОП БИС достигается при переходе на сапфировые подложки. БИС, изготавливаемые по технологии «кремний на сапфире» (КНС), обладают большим быстродействием и повышенной радиационной стойкостью, но они пока не могут конкурировать с обычными МОП-схемами из-за более высокой стоимости.

Отличительными признаками микропроцессоров 3-го поколения являются, с одной стороны, высокая степень интеграции, а с другой — высокое быстродействие. Изготавливаются они по модернизированной МОП- и биполярной технологии.

Усовершенствованные методы МОП-технологии позволили получить однокристалльные 16-разрядные МП, которые кроме операционного устройства содержат многочисленные схемы управления и интерфейса. К этим методам относятся технология с затворами, сформиро-

ванными двойной диффузией (ДМОП), и технология с V-образными канавками в качестве изоляции (v-МОП). Эти технологические методы обуславливают увеличение плотности компоновки и уменьшают длину канала до 1 мкм, благодаря чему быстродействие резко повышается.

Разновидностью МП 3-го поколения являются микропроцессорные секции, выполненные на основе биполярной технологии (ТТЛШ, И²Л и ЭСЛ). Большинство микропроцессорных секций выпускается сегодня по ТТЛШ-технологии. Почти все элементы этих схем имеют малые размеры и малую емкость, что приводит к высокому быстродействию (частотный диапазон — до 30 МГц). Эти схемы имеют также высокую нагрузочную способность и малое потребление энергии (2 мВт на один вентиль).

Наиболее быстродействующими на сегодня являются МП, использующие эмиттерно-связанную логику (ЭСЛ-схемы). Типичное значение задержки распространения на вентиль в этих схемах достигает долей наносекунды (0,1—0,5 нс). Но очень большая рассеиваемая мощность этих схем сдерживает пока достижение высокой степени интеграции.

Одним из наиболее перспективных направлений биполярной технологии являются И²Л-схемы. Они сочетают в себе достоинства МОП-схем (высокая степень интеграции и малая мощность рассеивания) с высоким быстродействием ТТЛ-схем. Микросхемы И²Л позволяют выполнять на одном кристалле процессорные и запоминающие блоки, в то же время произведение мощности рассеивания на задержку у этих схем наилучшее среди всех схем, полученных по различным известным на сегодня технологиям. Оно составляет 1 пДж против 40 пДж у *n*-МОП схем и 10—20 пДж у ТТЛ-схем.

Основным недостатком И²Л схем является низкий процент выхода годных.

8.4. Поколения микропроцессоров

Микропроцессоры 1-го поколения. В 1971 г. появился первый МП — модель 4004, разработанный фирмой Intel (США). После этого в 1972 и 1973 гг. появились модель I-8008 фирмы Intel и модели PPS-4 и PPS-8 фирмы Rockwell (США). Все эти МП относятся к 1-му поколению, хотя и отличаются по структуре и по функциональным характеристикам. Основными признаками МП 1-го поколения можно считать следующие: *p*-канальная МОП-технология, разрядность 4—8 бит, время выполнения коротких операций — от 10 до 60 мкс, маломощный и фиксированный набор команд, отсутствие системы прерываний, неразделенные шины адреса и данных.

Наиболее распространенной является модель I-8008 (рис. 8.3). Микропроцессор оперирует однобайтными словами, поэтому большинство его элементов соединено через канал информации на 8 бит. Буферное реверсивное устройство используется для запуска внешних приборов или для ввода данных от внешних приборов во внутренние каналы информации. В адресном стеке хранятся адреса подпрограмм. Глубина стека — восемь уровней, что позволяет хранить в нем до семи подпрограмм. При этом по команде ВЫЗОВ МП приостанавливает обработку основной программы и переключается на

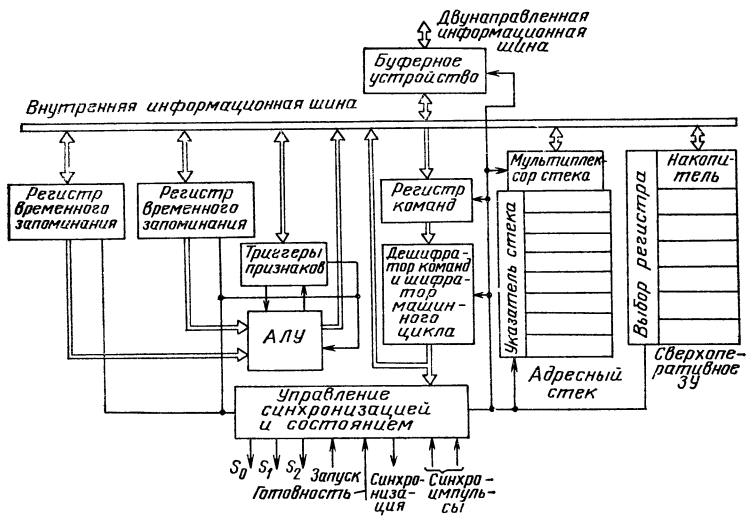


Рис. 8.3. Структурная схема МП I-8008

заданную подпрограмму. После выполнения подпрограммы по команде ВОЗВРАТ МП возвращается к обработке программы. В процессе обработки данных для повышения быстродействия используется сверхоперативная память. Для переадресации имеется семь регистров общего назначения. Данные между ними передаются в соответствии с командами. Арифметико-логическое устройство параллельного действия выполняет сложение, вычитание и логические операции в двоичном коде. По его команде устанавливаются в определенное состояние триггеры признаков: переноса, четности, знака и нуля. Эти триггеры могут использоваться при программировании, например для организации условных переходов.

Для МП I-8008 необходим внешний генератор двухфазных тактовых импульсов. Типичный машинный цикл операций состоит из пяти состояний. Выполнение одной команды требует одного, двух или трех машинных циклов.

К 1-му поколению можно отнести и отечественный МП серии К536, характеристики которого приведены в табл. 8.1.

Как правило, МП 1-го поколения по производительности уступают большинству мини-ЭВМ и находят применение в таких устройствах, как калькуляторы и несложные контроллеры.

Таблица 8.1

Серия	Технология	Разрядность	Число микро- схем	Число ко- манд	Время цикла, мкс	Напряжение питания, В	Потребляе- мая мощ- ность, МВт
K536	p-МДП	8	7	149	10	+24	200
K581	n-МДП	16	3	—	1,6	+5, +12, —5	900
K587	КМДП	4*	4	168	2,0	+9	5
K588	КМДП	16	4	—	2,0	+5	5
K589	ТТЛШ	2*	7	—	0,1	+5	750
K586	n-МДП	16	1	150	0,5	+5, +12, —5	600
K582	И ² Л	4*	1	459	1,5	+5	200
K580	n-МДП	8	1	79	2,0	+5, +12, —5	500

* Позволяет наращивать секции при построении процессора.

Микропроцессоры 2-го поколения. Можно считать, что МП 2-го поколения появились в 1974 г., когда фирма Intel выпустила модель 8080. Эта модель стала самой популярной. Большое число фирм США, Японии и Западной Европы стало выпускать свои варианты этой модели. В СССР — это серия K580. МП 2-го поколения характеризуют следующие признаки:

- использование более передовых технологий (*n*-канальные МОП-схемы и КМОП-схемы);
- повышение производительности на порядок;
- разделенные шины данных и адресов;
- реализация различных способов адресации (прямая, непосредственная, косвенная, индексная и др.);
- расширенный набор команд;
- наличие направленных прерываний;
- уменьшенное число вспомогательных ИС;
- появление микропроцессорных комплектов.

Рассмотрим отечественный МП 2-го поколения серии K580 (рис. 8.4). Удобство его использования в аппаратуре обусловлено в немалой степени централизацией его вычислительных средств. Эта особенность организации заимствована из архитектуры мини-ЭВМ. Все вычислительные средства сосредоточены в одном кристалле.

БИС центрального процессорного элемента (ЦПЭ) имеет 16-битовую шину адреса, 8-битовую информационную шину двунаправленного обмена и выходы управления, полностью совместимые с ТТЛ-схемами. Помимо обслуживания памяти с произвольной выборкой емкости 65 Кбайт он может адресовать большое число внешних устройств, благодаря чему имеется возможность расширения системы. Кроме того, ЦПЭ имеет значительно более совершенную архитектуру по сравнению с ЦПЭ 1-го поколения. Например, он имеет в два раза больше команд, чем модель 8008. МП K580 содержит 16-битовый указатель стека, который размещен во внешней памяти. Выбор соответствующих команд позволяет воздействовать на этот указатель с целью использования любой части внешней памяти в качестве магазинного стека. Благодаря этому открывается возможность для организации гнездования подпрограмм без ограничения числа уровней вложения,

Команды управления стеком ЦПЭ делают также возможной организацию многоуровневых прерываний. При обслуживании прерывания текущее состояние ЦПЭ можно ввести в стек, а по завершении — вывести из него.

В МП К580 разделены шины адреса и данных, введен канал прямого доступа к памяти. Тактовая частота 2 МГц. Используются три источника питания (± 5 и 12 В). Команды МП К580 обладают большими возможностями ветвления и прерывания. МП рассчитан

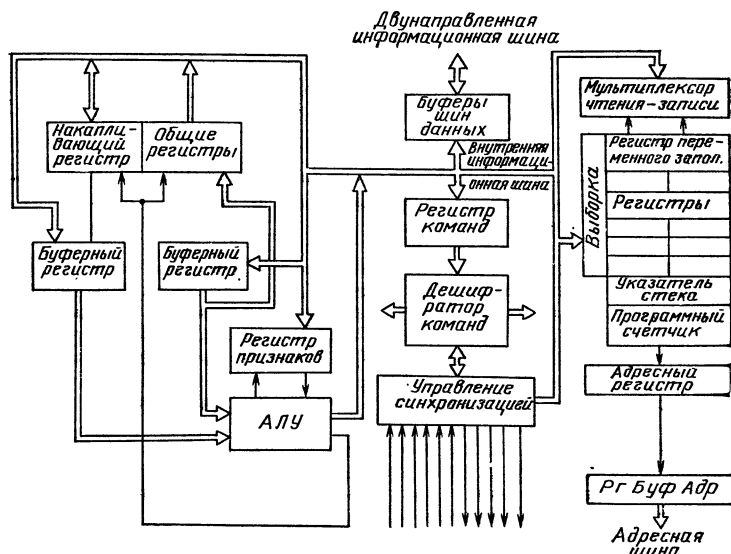


Рис. 8.4. Структурная схема МП серии К580

на сопряжение с самыми разнообразными устройствами. Он оснащен богатым программным обеспечением, включающим внутрисхемную систему разработки опытных образцов и большую библиотеку программ, созданных потребителями.

Характерным для МП 2-го поколения является появление микропроцессорных комплектов, на основе которых можно строить законченную систему. В комплект кроме ЦПЭ входят БИС ОЗУ, ПЗУ и схемы сопряжения ввода — вывода. Так, например, в комплект К580 входят статическое ОЗУ, ПЗУ, системный контроллер, интерфейс ввода — вывода, схемы прерываний и т. д.

На рис. 8.5 приведена типичная системная конфигурация для МП К580.

Дальнейшие направления развития микропроцессоров. Микропроцессоры 3-го поколения. Дальнейшее развитие микропроцессорной техники пошло по нескольким направлениям:

- 1) улучшение параметров существующих МП и резкое расширение состава МП комплектов;
- 2) создание 16-разрядных МП;

- 3) создание автономных однокристалльных контроллеров;
- 4) разработка многокристалльных микропрограммируемых секционированных МП, выполненных на биполярных БИС.

Таким образом, если МП 1-го и 2-го поколений можно было охарактеризовать вполне определенными признаками, то под МП 3-го поколения, которое развивается и по сей день, мы понимаем комплекты МП, созданных с целью повышения производительности, обеспечения автономности и уменьшения стоимости РЭА. Другими

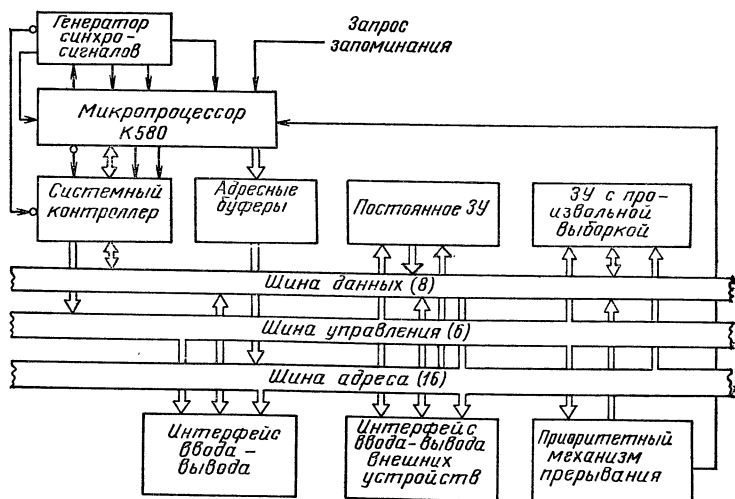


Рис. 8.5. Структурная схема вычислительной системы с микропроцессором серии К580

словами, МП 3-го поколения применяются для построения мини-ЭВМ, средних и даже больших ЭВМ. Благодаря им вычислительная техника стала применяться там, где раньше цифровые схемы не использовались из-за больших габаритов и большой стоимости.

Рассмотрим каждое из направлений развития микропроцессоров 3-го поколения.

Восьмиразрядные МП оказались неудобными (с точки зрения разрядности) для использования в больших системах, где необходимо обрабатывать большие объемы информации, хранимой в памяти, и в высокопроизводительных системах сбора данных, где важное значение имеют скорость и высокая точность вычислений. Кроме того, почти все мини-ЭВМ имеют разрядность 16. Одним из первых 16-разрядных МП является модель TMS-990 фирмы Texas Instruments, который выпускается в виде отдельной БИС, работающей на частоте до 3 МГц. Микропроцессор имеет полноразрядные шины как адреса, так и данных (рис. 8.6), благодаря чему доступ к памяти осуществляется за один короткий цикл. В ЦПЭ нет регистров общего назначения. Все данные передаются из памяти прямо в АЛУ или в специальные регистры прерывания, состояния данных и т. д.,

а затем обратно в память. Ввиду того что общие регистры находятся вне ЦП, значительно повышается эффективность обмена данными, а в памяти выделяется место для шестнадцати 16-битовых общих регистров; это расширяет возможности и гибкость МП. Поскольку вся обработка данных базируется на внешних микросхемах ОЗУ, число РОНов не ограничивается, а хранение данных непосредствен-

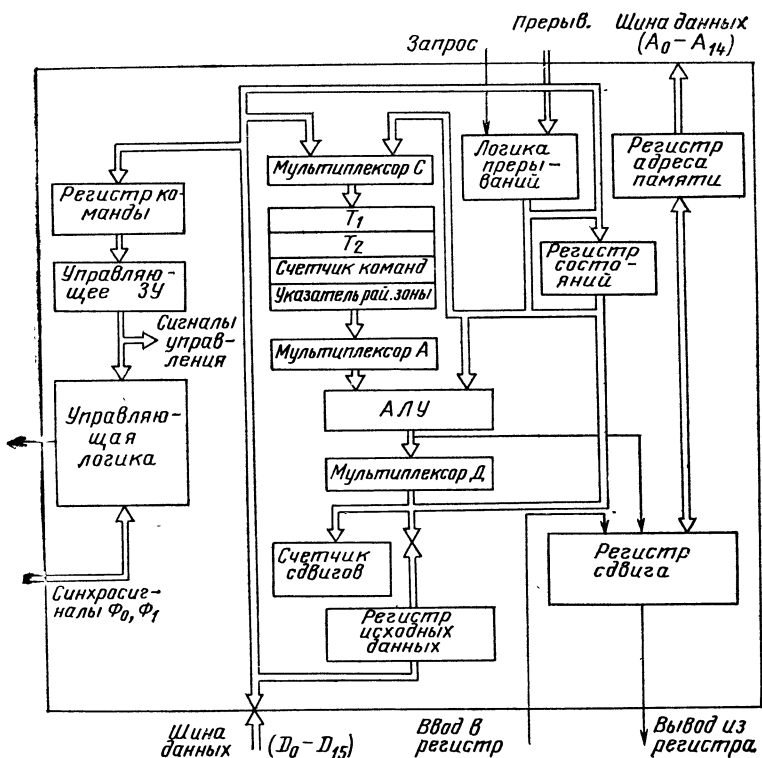


Рис. 8.6. Структурная схема МП TMS-9900

но в памяти экономит время, которое потребовалось бы на запоминание содержимого РОНов при прерываниях или переходах на подпрограммы.

Система прерываний имеет 17 уровней: два фиксированных и 15 определяемых разработчиком. Для решения задач общего характера МП почти столь же универсален, как мини-компьютер.

В системе команд МП имеется 69 инструкций, многие из которых двухадресные. Эффективность системы команд повышается также благодаря наличию семи режимов адресации. Микропроцессор TMS-9900 особенно хорошо подходит для работы с прерываниями в системах реального времени, где требуются большая емкость па-

мноты и высокое быстродействие. Малый командный цикл и мощная система команд характерны для МП 3-го поколения.

Фирма Zilog выпустила 16-разрядный МП Z-8000 с хорошими характеристиками. МП имеет быстродействие мини-ЭВМ PDP-11/45 в сочетании с некоторыми современными архитектурными возможностями, свойственными обычно 32-разрядным мини-ЭВМ, например возможностью обработки слов данных длиной до 32 разрядов. Микропроцессор Z-8000 предусматривает адресацию памяти емкостью 8М байт, а подключение дополнительной микросхемы управления памятью увеличивает возможность адресации, обеспечивая работу с перераспределением памяти и защиту памяти. Фирма ставила своей целью обеспечить легкое и эффективное программирование; для этого она снабжает его обширным набором команд (418 модификаций), включающим операции умножения и деления и мощные команды обработки последовательностей. Все 16 универсальных регистров Z-8000 могут быть накапливающими, а 15 из них можно использовать как индекс-регистры.

В СССР также разработаны 16-разрядные МП серий К581, К586 и К588. Характеристики МП приведены в табл. 8.1.

Однокристалльные контроллеры первыми выпустили фирмы TI и Rockwell. Однокристалльные контроллеры обеспечивают наиболее экономное решение множества задач, связанных с реализацией небольших управляющих устройств, требующих минимальной по объему обработки данных. Поскольку производительность, требуемая от этих устройств, не слишком высока, даже один кристалл может содержать достаточно таких элементов, как центральный процессор, программное ПЗУ, ОЗУ данных и средства ввода-вывода.

Первым таким однокристалльным автономным контроллером можно считать модель PPS-4/1 фирмы Rockwell. БИС содержит ПЗУ на 10752 бит, ОЗУ на 384 бит и 31 цепь ввода — вывода. Универсальности БИС способствует также большой список команд, насчитывающий 50 операций. Данные обрабатываются аккумулятором, функционирующим в качестве первичного регистра, и 5-регистровым арифметико-логическим устройством, которые могут объединяться с регистром переноса для выполнения двоичных и десятичных арифметических операций.

Более производительным и сложным однокристалльным МП является 8-разрядный микроконтроллер фирмы Intel I-8048, который, как и другие контроллеры типов I-8748 и I-8035, входят в семейство однокристалльных микро-ЭВМ MCS-48. Эти МП отличаются в основном типом и емкостью адресуемых ПЗУ, расположенных на кристалле.

Микропроцессор 8048 содержит все элементы микро-ЭВМ: центральный процессор, ПЗУ, ОЗУ и устройства ввода — вывода. Однако этот МП и более производительный, чем PPS-4/1, поскольку он содержит 8-битовое АЛУ, способное выполнять более 80 команд, и более гибкий, поскольку встроенное ПЗУ может программироваться пользователем. Помимо АЛУ, регистров данных и ПЗУ кристалл содержит ОЗУ на 512 бит, программируемый интервальный таймер и каналы ввода — вывода.

К третьему поколению относятся также многокристалльные микропрограммируемые секционированные микропроцессоры, выполненные на биполярных БИС и используемые совместно со стандартными ЗУ. Процессорная секция обычно представляет собой несколько БИС и обрабатывает не целые байты и слова, а слоги по два и четыре разряда. Подобный процессор имеет ряд особенностей, кото-

рые делают его пригодным там, где требуется вычислительная мощность, выходящая за пределы возможностей МОП-приборов, например мини-ЭВМ, процессоры сигналов и некоторые виды автономных контроллеров процессов. Изделия на базе процессорных секций содержат меньшее число элементов, чем машины на логических микросхемах средней степени интеграции.

Секционированные МП имеют следующие преимущества: биполярные МП позволяют достичь большей производительности (скорость вычислений в 5—10 раз большая, чем у МОП МП);

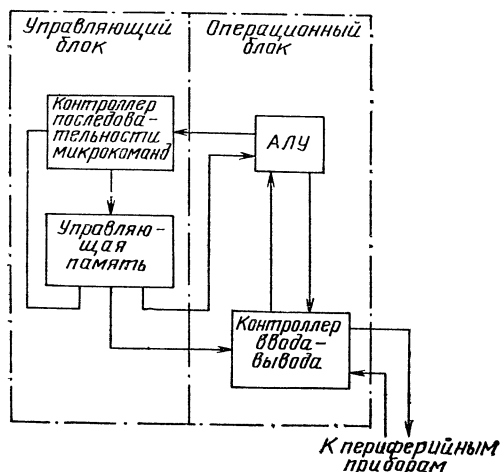


Рис. 8.7. Основные компоненты n -рядной секции

процессорные секции позволяют использовать потребителю свою собственную систему команд, в результате такой гибкости эти МП позволяют разработчику добиться оптимизации аппаратуры: выполнив основную конфигурацию устройства, разработчик может, меняя содержание управляющей памяти, применять базовую структуру в различных устройствах;

возможность расширения управления, которая может выполняться по двум направлениям. Расширение длины микропрограммы двумя путями — горизонтально и вертикально. Горизонтальное расширение микрослова осуществляется простым добавлением управляющих битов для управления дополнительными аппаратными средствами. Вертикальное расширение означает увеличение числа микроинструкций в микропрограмме для выполнения новых функций. Горизонтальное расширение позволяет МП выполнить больше параллельных действий в каждом микроцикле, в то время как вертикальное может увеличить общие возможности центрального процессора. Благодаря этому свойству можно добавлять к МП управляющие или периферийные устройства для создания полной системы и увеличивать общую производительность системы.

Биполярные МП можно подразделить на два основных типа: лучше приспособленные для управления и для обработки данных.

В управляющих устройствах, таких как высокоскоростные периферийные контроллеры, чаще требуется выборка битов, чем их обработка. Требуются также пересылочные и сравнительные операции. При обработке цифровой информации МП оперирует дискретными словами. Умножение, деление и операции над числами с плавающей запятой, например, являются необходимыми действиями для таких применений, как обработка сигналов, быстрое преобразование Фурье, вычисление орбит и др.

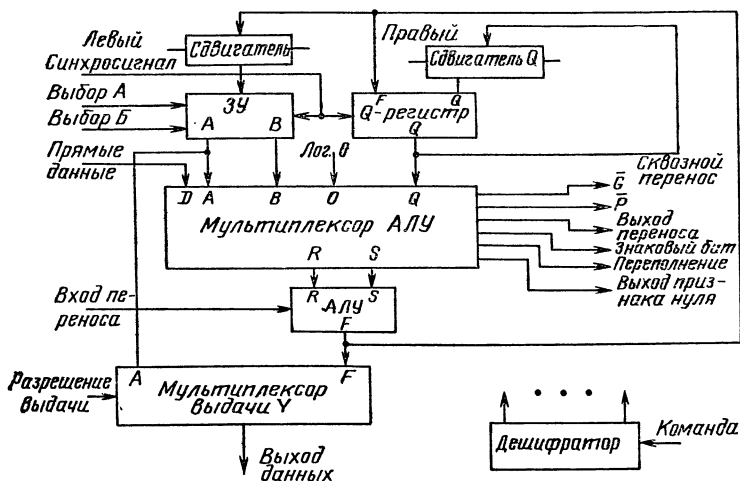


Рис. 8.8. Структурная схема МП АМ-2901

Прежде чем описывать наиболее известные биполярные МП, необходимо показать общую структуру процессора на биполярных МП. На рис. 8.7 показаны основные части биполярных микропроцессорных комплектов: процессорная и управляющая. Соответственно в любом комплекте процессорных секций есть микроконтроллер, который задает последовательность микрокоманд, и процессорный элемент.

Комплект процессорных секций может также содержать несколько БИС, реализующих специальные функции, например контроллеры прерываний и ввода — вывода, БИС ЗУПВ, программируемые ПЗУ (ППЗУ) и приемопередатчики.

Из-за ограничений на число выводов и размеры кристалла, вытекающих из технологических возможностей, процессор делится на несколько функционально эквивалентных секций. Хотя каждый тип МП имеет некоторые отличия, секция каждого типа МП содержит АЛУ, РОНЫ, аккумулятор, ряд специальных регистров и несколько триггеров состояний.

Более сложная при конструировании управляющая часть обычно включает в себя логику декодирования микрокоманд, схему уп-

правления переходами и управляющую память, где хранятся микропрограммы.

Рассмотрим МП комплект АМ-2900 фирмы АМГ. На рис. 8.8 представлена структурная схема процессорной секции — биполярного микропроцессора АМ-2901. Организация этой 4-разрядной секции очень похожа на информационную часть типичной мини-ЭВМ. МП АМ-2901 содержит двухадресное внутреннее ОУ, файл регистров 16×4 вместе со схемой сдвига, которая очень удобна для операций умножения и деления.

Эти операции требуют сложения, сдвига и хранения частичного произведения в регистре внутри одного цикла. Дополнительный Q-регистр позволяет выполнять операции с двойной точностью. МП АМ-2901 также включает четыре триггера состояния для АЛУ (перенос, знак, переполнение и ноль триггера), типичные для мини-ЭВМ. Благодаря этому АМ-2901 наиболее удобен для обработки информации. Двухадресное ЗУ позволяет легко реализовать системы команд высокого уровня больших ЭВМ.

В состав комплекта МП АМ-2900 кроме процессорной секции АМ-2901 входят: схема ускоренного переноса (АМ-2902); шинные формирователи (АМ-2905 и АМ-2906); микропрограммное устройство управления (АМ-2909) и контроллер прерывания (АМ-2914).

Для реализации 16-разрядной микромашины требуется 11 микросхем комплекта АМ-2900.

БИС ЦПЭ АМ-2903 представляет собой модификацию МП АМ-2901 и отличается тем, что предусматривает при необходимости возможность подключения внешнего блока регистровой памяти, содержит логическую схему нормализации для аппаратной реализации операций над числами с плавающей запятой, а также вырабатывает признак четности для результата АЛУ. Этот МП рассчитан главным образом для построения ЭВМ, предназначенной для математических расчетов.

Отечественной промышленностью выпускаются секционированные МП серий К587, К582 и К589. Основные характеристики этих МП приведены в табл. 8.1.

8.5. Секционированный микропроцессорный комплект серии К589

Микропроцессорный комплект БИС серии К589 состоит из восьми микросхем, выполненных по технологии ТТЛШ:

блока микропрограммного управления (БМУ) К589ИК01;

центрального процессорного элемента (ЦПЭ) К589ИК02;

схемы ускоренного переноса (СУП) К589ИК03;
многорежимного буферного регистра (МБР) К589ИР12;

блока приоритетных прерываний (БПП) К589ИК14;
шинных формирователей без инверсий (ШФ) К589АП16;

шинных формирователей с инверсией (ШФИ) К589АП26;

схемы синхронизации и управления (МСУ) К589ХЛ4;

Комплект обеспечивает построение автономных микро- и мини-ЭВМ, контроллеров, устройств автоматики с различной архитектурой благодаря модульности структуры, возможности параллельного наращивания, микро-

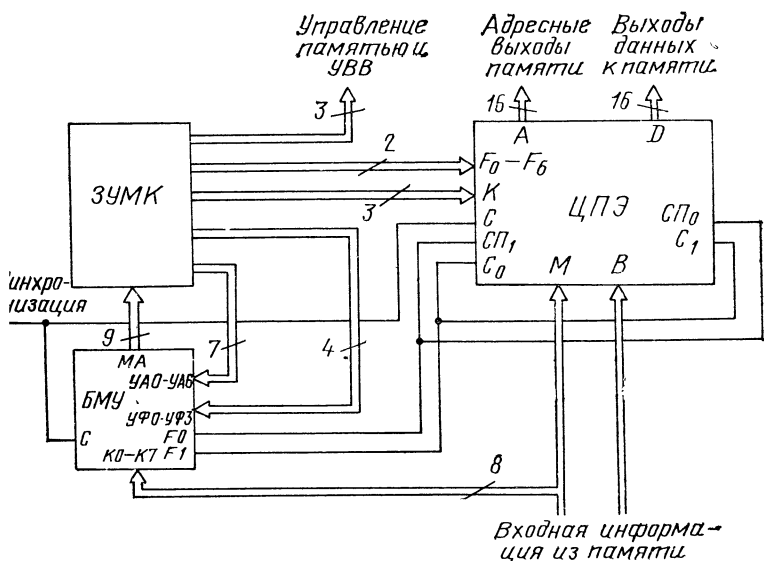


Рис. 8.9. Структурная схема процессора, выполненная на основе серии К589

программного управления, совместимости с ТТЛ-схемами серии К-133 и др.

Микросхемы герметизированы в пластмассовых корпусах с вертикальным расположением выводов (ДИП). Разрабатываются микросхемы в керамических корпусах с планарным расположением выводов.

Соединяя параллельно несколько микропроцессоров, можно получить процессор с требуемой длиной слова. Для реализации 16-разрядного процессора, содержащего устройство управления, шины и микропрограммное ЗУ, требуется примерно 20 БИС и 10 ИС. Такой процессор заменяет эквивалентную систему на ТТЛ ИС

среднего уровня интеграции, имеющую более 200 корпусов.

Центральный процессор (ЦП) состоит из восьми микросхем ЦПЭ, одного БМУ, ЗУМК. На рис. 8.9 показана структурная схема такого процессора. Микропрограмма, находящаяся в управляющей памяти, после включения питания устанавливает ЦП в исходное состояние и осуществляет выборку и выполнение команд. Разрядность слова микропрограммной памяти определяется числом и разрядностью микроинструкций.

Центральный процессорный элемент имеет шесть групп входов и выходов, по которым происходит связь с другими схемами. Четыре из них (В, М, А, Д) используются преимущественно для связи с внешней памятью и устройствами ввода — вывода. Группа выводов F_0 — F_6 используется для управления работой ЦПЭ, а входы К — для маскирования информации или занесения константы.

Блок микропрограммного управления имеет восемь входов команды К (макрокоманды). Таким образом, информация о коде операции определяется восемью разрядами, максимальное число макрокоманд 256. Число разрядов микрокоманды, требуемое для управления БМУ, равно 11—7 разрядов ($УА_0$ — $УА_6$) для управления выработкой перехода к следующему адресу микрокоманды и 4 разряда ($УФ_0$ — $УФ_3$) для управления схемой выработки признаков условных переходов. Таким образом, для управления ЦПЭ и БМУ необходимо 18 разрядов. Кроме этих микроинструкций необходимы дополнительные микроинструкции для управления памятью, вводом-выводом и т.д. На рис. 8.10 показан формат типовой микрокоманды.

Данные в АЛУ поступают из памяти из устройства ввода информации и передаются в регистр, называемый аккумулятором (АС). В него поступают также результаты операций, выполненных в АЛУ. После завершения операции данные посылаются в память или в устройства вывода информации.

Устройство управления осуществляет управление операциями в соответствии с содержанием команд, которые считываются из внешнего ЗУ и помещаются в регистр команд (РК). Адрес очередной команды обычно определяется счетчиком команд (СчК). В качестве регистра и счетчика команд используются внутренние регистры ЦПЭ.

Связь с ЗУ осуществляется через регистр адреса памяти и регистр данных памяти, выходы которых соединены с соответствующими адресными и информационными сигналами. Разрядность адреса памяти определяет адресуемое поле памяти. Часть регистров МП используется в качестве сверхоперативной памяти, в которой хранятся промежуточные результаты вычислений. Это позволяет повысить быстродействие процессора.

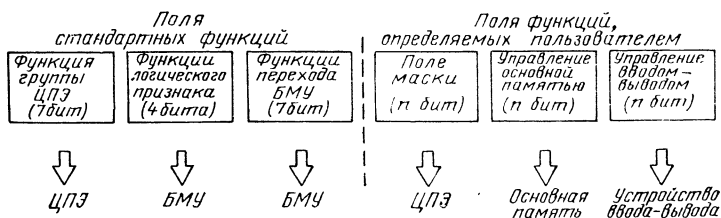


Рис. 8.10. Общий формат микрокоманды

Для обеспечения контроля за состояниями регистров при выполнении операций используются регистры состояний (БМУ). Триггеры этих регистров (флажки) индицируют переполнение регистров ЦПЭ, нулевое содержание аккумулятора, знак его содержимого и подобные состояния. Эта информация используется для организации условных переходов в микропрограммах.

Синхронизация работы отдельных узлов процессора осуществляется одной или несколькими сериями тактовых импульсов. Для реализации одной команды необходимо несколько периодов тактовых импульсов. Командный цикл состоит из цикла выборки, во время которого вырабатывается адрес команды, и по нему выбирается команда и считываются в регистр данные из памяти, и цикла исполнительного, во время которого в устройстве управления команда дешифрируется и процессор исполняет ее.

Рассмотрим подробно устройство и основные характеристики отдельных БИС комплекта серии К589

Центральный процессорный элемент предназначен для логической и арифметической обработки информации, для приема, хранения и выдачи оперативной информации, а также для формирования адреса ЦПЭ

представляет собой 2-разрядную микропроцессорную секцию со структурой, обеспечивающей практически неограниченные возможности объединения кристаллов ЦПЭ по горизонтали с целью увеличения разрядности процессора.

Структурная схема ЦПЭ представлена на рис. 8.11. Основная особенность ЦПЭ — большое число шин: три

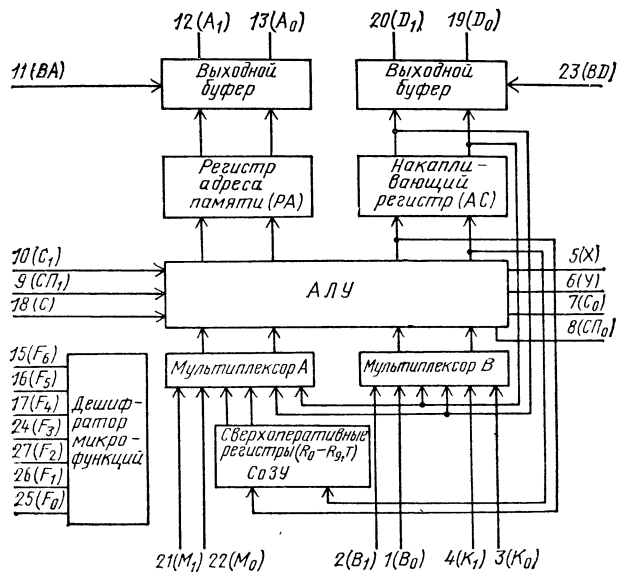


Рис. 8.11. Структурная схема ЦПЭ

входные и две выходные с адресным регистром данных. Это обеспечивает возможность выдачи данных и адреса в память одновременно. Три входные шины делают ЦПЭ очень эффективным для пересылки байтов, тестирования битов, ввода — вывода информации во внутренние регистры.

Формирователи выходных шин выполнены на элементах с тремя состояниями, что существенно упрощает подключение ЦПЭ к магистрали. Шина микрофункций управляет работой секции, выбирая операнды и операции, которые должны выполняться АЛУ. ЦПЭ выполняет свыше 40 логических и арифметических операций. Секция выдает сигналы ускоренного переноса. Кроме

того, она снабжена независимыми линиями входа и выхода переноса, входа и выхода сдвигаемого кода.

В состав ЦПЭ входят: АЛУ, 11 сверхоперативных регистров, два мультиплексора (А и В), аккумулятор, регистр адреса памяти, схема дешифрации микроконструкций.

Информация на ЦПЭ поступает по трем группам независимых входов М, В и К из основной памяти, из устройств ввода — вывода, из памяти микропрограмм. Информация, поступающая на ЦПЭ, хранится в 11 регистрах $R_0—R_9$, Т), в накапливающем регистре (АС) или в регистре адреса памяти. Через мультиплексоры А и В информация подается в АЛУ. Регистры $R_0—R_9$ и Т выполняют функции сверхоперативного запоминающего устройства и могут выполнять функции счетчиков. Информация с регистров через мультиплексор А поступает в АЛУ, а с выхода АЛУ снова на регистры. Аккумулятор служит для хранения результата операций АЛУ. Информация с выхода аккумулятора поступает на выход АЛУ или через выходной усилитель-буфер может выдаваться на выходную магистраль для передачи в основную память или на устройства ввода — вывода. Через мультиплексоры А и В информация может подаваться на один из двух входов АЛУ. На входы мультиплексора А поступают данные со входов М, регистров $R_0—R_9$, Т и аккумулятора. На входы мультиплексора В поступает информация со входов В, К и аккумулятора. При этом производится маскирование информации входов В и АС данными на входах К.

Результат операций, выполняемых в АЛУ, может храниться в $R_0—R_9$, Т и аккумуляторе.

При операции сдвига вправо используются вход $СП_1$ и выход $СП_0$. Для организации последовательного переноса используются вход $С_1$ и выход $С_0$. Наличие выходов Х и У обеспечивает организацию ускоренного (сквозного) переноса между микросхемами ЦПЭ. При неарифметических операциях схемы переноса используются для выполнения логического ИЛИ всех разрядов слова с учетом маскирования по входам К. Входом К пользуются при арифметических операциях для маскирования полей и отдельных разрядов обрабатываемых слов. Через входы К в ЦПЭ могут подаваться константы из памяти микропрограмм. Обычно регистр адреса используется для хранения и пересылки адреса команд в основную память. В этом случае информация с АЛУ

через отдельный выход поступает на регистр адреса памяти. В каждом микрокомандном цикле на входы F поступает микроконструкция (часть поля микрокоманды), которая дешифрируется и определяет выполнение необходимых операций ЦПЭ. Микроконструкция $F_0 - F_6$ разбита на два поля: F - и R -группы. F -группа ($F_4 - F_6$)

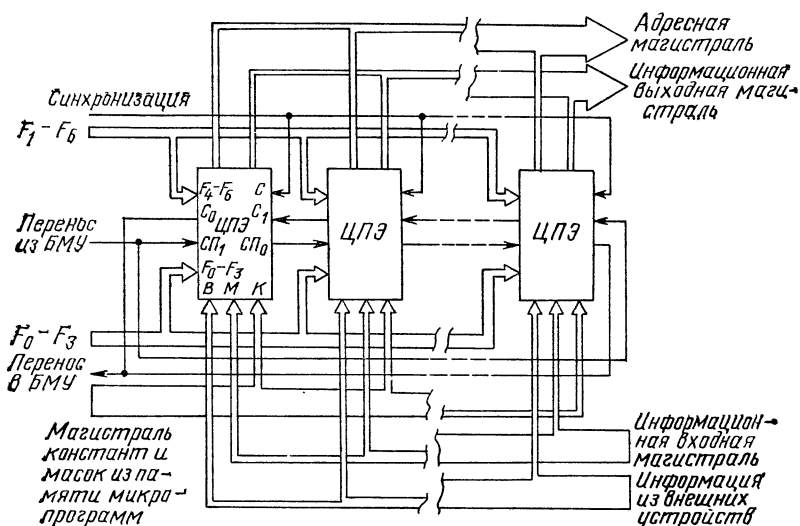


Рис. 8.12. Организация 2n-разрядного процессора с последовательным переносом

определяет код операции, R -группа ($F_0 - F_3$) — регистровая, она определяет адрес регистров.

На рис. 8.12 и 8.13 показаны варианты соединения БИС ЦПЭ с последовательным и параллельным переносом, осуществляемым с помощью БИС схемы ускоренного переноса.

Цикл обработки ЦПЭ составляет 100 нс. Корпус микросхемы типа ДИП с 28 выводами.

Блок микропрограммного управления предназначен для управления последовательностью выборки микрокоманд из управляющей памяти (ЗУМК). В состав БМУ (рис. 8.14) входят:

9-разрядный регистр адреса микрокоманд и соответствующая магистраль;

схема формирования очередного адреса;

выходные буферы адреса микрокоманды на элементах с тремя состояниями;
 триггеры признаков: S , Z и Φ ;
 регистр команды;
 выходной буфер флажков.

Блок микропрограммного управления выполняет следующие функции: управление регистром адреса микро-

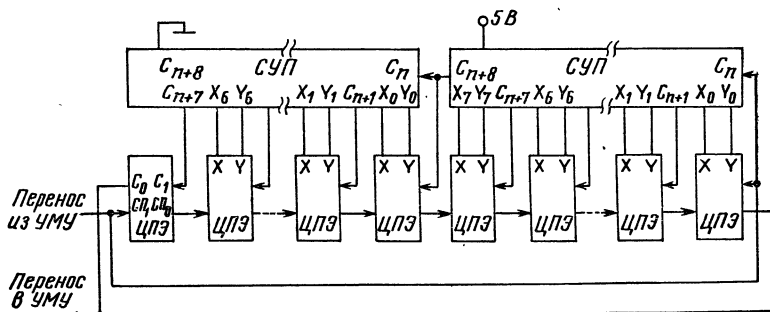


Рис. 8.13. Организация $2n$ -разрядного процессора с параллельным переносом между ЦПЭ (УМУ — устройство микропрограммного управления)

рокоманды; выборку очередной микрокоманды с учетом содержимого РАМК; хранение и выдачу признаков: управление микропрограммными прерываниями.

Формирование адреса очередной микрокоманды выполняется с помощью условных и безусловных переходов. В каждой текущей микрокоманде содержится поле микроинструкции БМУ, предназначенной для формирования адреса следующей микрокоманды. Все адреса микрокоманды образуют матрицу (страницу), состоящую из 32 строк и 16 столбцов (всего 512 адресов). Каждый адрес микрокоманды определяется номером той строки и того столбца, на пересечении которых он находится. Под адрес строки отводится пять разрядов ($MA_8 — MA_4$), а под адрес столбца — четыре разряда ($MA_3 — MA_0$). Девятиразрядный адрес микрокоманды, выработанный логикой следующего адреса, загружается в регистр адреса микрокоманд, а из него выдается в память микрокоманд по девяти выходным шинам.

Блок микропрограммного управления обеспечивает хранение текущего значения на выходе переноса ЦПЭ (C_0, SP_0) и управляет информацией на входе переноса

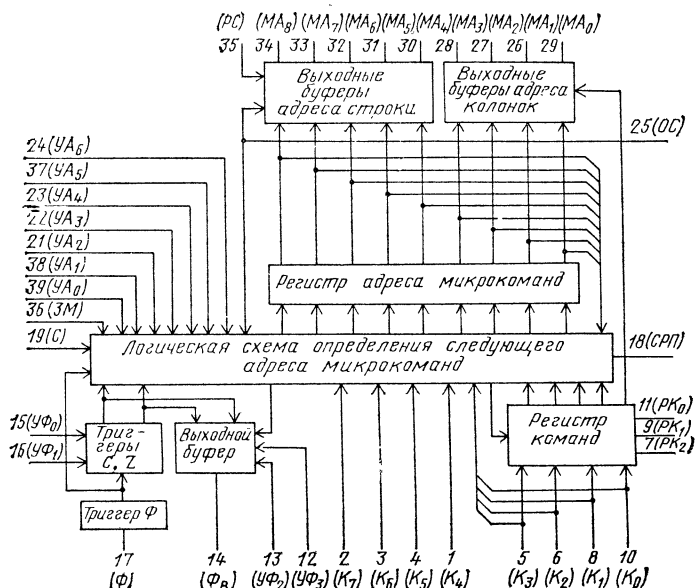


Рис. 8.14. Структурная схема блока микропрограммного управления

(C_1 , $СП_1$). С помощью двух групп микроинструкций осуществляется управление признаками: установка и выдача признаков. Схема обработки признаков содержит три триггера: C , Z и триггер-защелку Φ , в котором осуществляется запоминание текущего состояния выхода переноса ЦПЭ. Логическая схема признаков совместно со схемой переноса ЦПЭ используется для выполнения арифметических и сдвиговых операций.

Сигнал в двоичном коде на входах $УА$ используется для формирования адресов необходимых строки и столбца и вида микрооперации, выполняемой БМУ. По четырем микроинструкциям производятся безусловные переходы, по остальным — условные. При безусловных переходах для формирования адреса следующей микрокоманды используются адрес текущей микрокоманды, который хранится в регистре адреса, и ряд битов микроинструкции $УА_0$ — $УА_6$. При условных переходах для формирования адреса следующей микрокоманды используется адрес текущей (предыдущей) микрокоманды и содержимое C -, Z - или Φ -регистра либо код старших

разрядов $K_4—K_7$. Для выработки следующего адреса микрокоманды по содержимому данных на шинах $K_4—K_7$ используются часть адреса текущей микрокоманды и несколько разрядов кода на шинах УА.

Управление схемой обработки признаков (С, Z и Ф) осуществляется с помощью микроинструкции на входах $УФ_0—УФ_3$. Информация на входе Ф записывается в триггер Ф и затем в триггер С или Z. По входу ЗМ производится разрешение записи информации со входов К в регистр адреса микрокоманд. Разрешение на прерывание выдается с выхода СРП при микроинструкции ПЕРЕХОД В НУЛЕВУЮ СТРОКУ, что означает конец выполнения микропрограммы (команды).

Обычно сигнал с шины СРП подается на входную шину СРП блока приоритетного прерывания. Этот блок может ответить на прерывание выдачей сигнала подтверждения прерывания, что блокирует выдачу следующего выбранного адреса строки из БМУ. Тогда при выдаче нового адреса микрокоманды на линию адреса строки можно подавать адрес извне, минуя БМУ, что позволяет перевести микропрограмму на программу обработки прерывания. Измененный адрес строки, переданный на адресные линии памяти микрокоманд, не изменяет содержимого регистра адреса микрокоманд. Таким образом, последующая функция перехода будет использовать адрес строки в регистре адреса микрокоманды, а не измененный адрес строки.

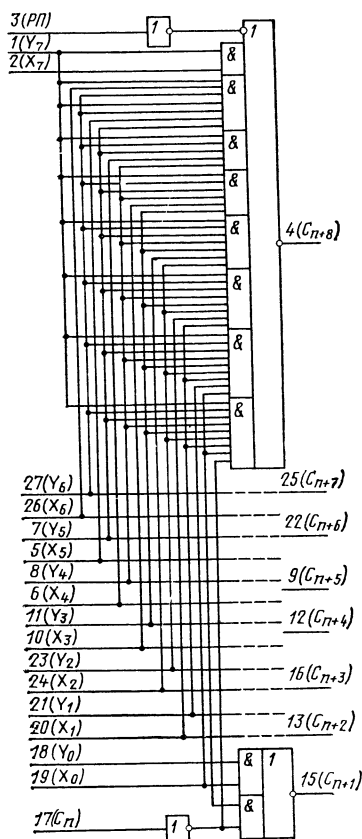


Рис. 8.15. Структурная схема ускоренного переноса

Цикл БМУ 85 нс. Имеется возможность адресации 512 микрокоманд (предусмотрена возможность наращивания числа адресуемых микрокоманд). Корпус микросхемы типа ДИП с 40 выводами.

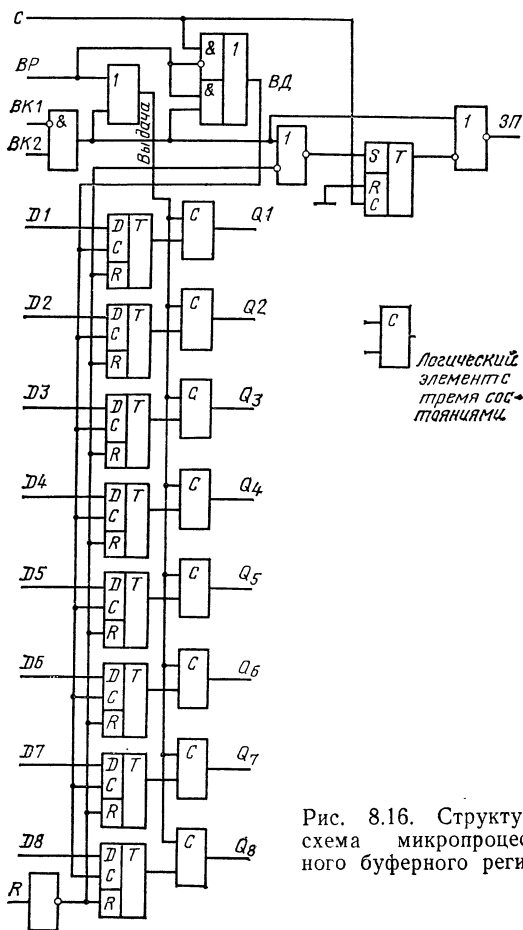


Рис. 8.16. Структурная схема микропроцессорного буферного регистра

Схема ускоренного переноса (рис. 8.15) предназначена для формирования групповых переносов при совместном использовании с ЦПЭ в многоразрядных сумматорах. Микросхема позволяет объединить до восьми ЦПЭ, т.е. образовать 16-разрядный сумматор, как показано на рис. 8.13.

Схема имеет 17 информационных входов, 8 информационных выходов и один управляющий вход, который позволяет управлять выходом самого старшего переноса.

В каждом ЦПЭ формируются сигналы подготовки сквозного переноса, которые подаются в СУП, а он в свою очередь вырабатывает сигналы переносов, поступающие в ЦПЭ. Если в каждом разряде 1, то сигнал подготовки также 1 и через данную секцию происходит перенос от младшей к старшей. Так как схема ускоренного переноса генерирует сигналы переносов во все ЦПЭ одновременно, вне зависимости от разрядности, то время суммирования многоразрядных слов существенно сокращается по сравнению с последовательным межсекционным переносом.

Микропроцессорный буферный регистр содержит восемь D-триггеров-зашелка с выходными буферами на элементах с тремя состояниями, схему управления записью и считыванием информации и схему формирования запроса прерывания. Многопроцессорный буферный регистр обладает универсальными возможностями: он может использоваться в качестве буферного регистра для выхода на магистраль, для формирования двуправленных магистралей, для построения адаптеров параллельного интерфейса.

В зависимости от уровней управляющих сигналов МБР может работать в двух режимах — во входном и в выходном. Это позволяет создавать с помощью МБР двуправленные магистрали. Если на входе ВР 1 (рис. 8.16), то устройство работает в выходном режиме и выходные буферы открыты, МБР выдает информацию в выходные шины, МБР работает во входном режиме, когда на входе С 1, на входе ВР 0 и выбран данный МБР, т. е. на BK_1 0, а на BK_2 1. В этом режиме выполняется запись в МБР с входных шин D, выходные буферы закрыты и на выход информация не выдается.

Триггер запроса прерывания служит для выработки сигнала запроса на прерывание в процессорной системе. При установке системы в исходное состояние низким уровнем сигнала (Уст. 0) триггер запроса прерывания устанавливается в 1, т. е. данное устройство не требует прерывания. Триггер обслуживания запроса на прерывание вырабатывает сигнал прерывания ЗП. Для организации системного сброса этот триггер устанавливается в непрерывающее состояние подачей сигнала R, при

этом одновременно сбрасываются информационные триггеры. Сигнал ЗП позволяет подавать сигнал R непосредственно на входы $R_0 — R_7$ микросхемы БПП.

Когда МБР находится во входном режиме (сигнал ВР 0), сигнал С может использоваться для синхронной записи данных в информационные триггеры и установки триггера в прерывающее состояние. Время цикла МБР

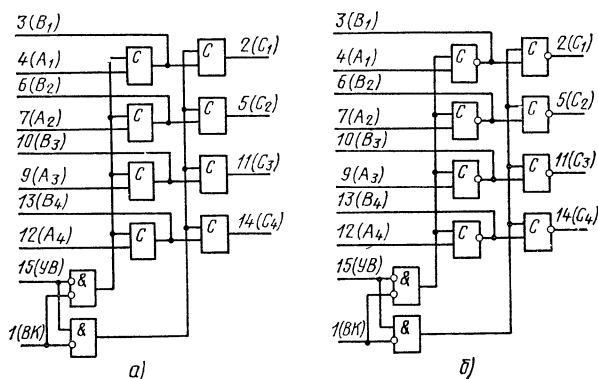


Рис. 8.17. Структурная схема ШФ (а) и ШФИ (б)

50 нс. Корпус микросхемы типа ДИП с 24 выводами. Блоки двунаправленных шинных формирователей (ШФ) (рис. 8.17, а) с выходами на элементах с тремя состояниями предназначены для подключения модулей к магистрали. На рис. 8.17, б приведена структурная схема шинных формирователей с инверсией (ШФИ). Типичная задержка на ШФ и ШФИ 20 нс, корпус схемы типа ДИП с 16 выводами.

Глава 9.

БИС ЗАПОМИНАЮЩИХ УСТРОЙСТВ

9.1. Классификация и параметры ЗУ

БИС ЗУ широко используются в ЭВМ, калькуляторах, периферийных устройствах, контрольно-измерительной аппаратуре, аппаратуре связи и т. д.

БИС ЗУ разделяют на динамические и статические,

биполярные и МДП, оперативные и постоянные, с произвольной и последовательной выборкой.

Статические ЗУ представляют собой матрицу элементов, каждый из которых может быть установлен в одно из двух возможных состояний, сохраняющихся при данном режиме питания. Основным элементом статических ЗУ является триггер или вентиль. Очевидно, что в рабочем состоянии такая матрица непрерывно потребляет энергию.

Динамические ЗУ — матрица элементов, для которых требуется периодическое восстановление информации (регенерация). Необходимость регенерации является существенным недостатком динамических ЗУ, который, однако, компенсируется их высоким быстродействием и малой средней потребляемой мощностью (энергия расходуется только при считывании, записи и регенерации информации).

Обычно биполярные ЗУ имеют значительно большее быстродействие, но меньшую плотность элементов по сравнению с МДП ЗУ. Наиболее широкое применение нашли ЗУ на ТТЛ- и на ЭСЛ-элементах. Главное внимание при создании биполярных ЗУ уделяется увеличению плотности упаковки в результате дальнейшего совершенствования технологии производства и разработки новых типов схем, примером которых могут служить И²Л. Биполярные ЗУ наиболее эффективны для высокоскоростных буферных ЗУ в больших системах.

Среди МДП ЗУ доминирующее положение занимают *p*-канальные БИС с кремниевыми затворами и *n*-канальные БИС. Среди новых направлений в МДП-технологии наибольшие успехи были достигнуты в области создания ЗУ на основе приборов с зарядовой связью (ПЗС). БИС ПЗС технологичны, обладают очень высокой плотностью упаковки.

Для ЗУ с произвольным обращением или выборкой (ЗУПВ) характерно равенство времен записи (считывания) любого бита из хранимого массива информации, поэтому основное ЗУ ЭВМ должно обеспечивать произвольное обращение. Изготавливаются они как на биполярных, так и на МДП-структурах.

В ЗУ с последовательным обращением данные выбираются в определенной последовательности, начиная с заранее определенного адреса. ЗУ этого типа используются для периферийного оборудования ЭВМ. До последнего времени они строились лишь на МДП-структурах.

.. Постоянное ЗУ имеет три модификации: собственно постоянное ЗУ (информация не может быть переписана); программируемое ЗУ (информация может один раз переписываться); репрограммируемое ЗУ (информация может несколько раз переписываться).

Полупроводниковые постоянные ЗУ — это ЗУ с неизменяемой информацией. Накопитель этих ЗУ представляет собой матрицу диодов, биполярных или МДП-транзисторов с рисунком межсоединений, определяемым маской при изготовлении.

Репрограммируемые ЗУ — это ЗУ, информация в которых может быть изменена один или несколько раз. Они могут быть изготовлены, например, по МНОП-технологии. В таких ЗУ информация может быть стерта ультрафиолетовыми лучами. В репрограммируемых ПЗУ с однократной сменой информации пережигаются перемычки в местах, где должны быть 0 (или 1). Постоянные ЗУ чаще всего применяются в качестве блоков последовательного управления, преобразователей кодов, генераторов символов, просмотрных таблиц, а также для хранения программ.

Рассмотрим основные параметры БИС ЗУ.

Информационная емкость ЗУ обычно указывается в битах.

Организация микросхемы — это число слов и число разрядов в данной схеме.

К статическим параметрам относятся ток адресного входа (I_{ao}) и выходное напряжение лог. 0. Эти параметры приводятся при крайних температурах и напряжениях питания.

Напряжения статической помехи при лог. 0 U_n^0 и при лог. 1 U_n^1 определяются так же, как и для логических ИС.

Мощность, потребляемая микросхемой, определяется мощностью, потребляемой в режиме хранения и выборки. Иногда указываются токи, потребляемые в режиме хранения и выборки.

Динамические параметры определяются из временных диаграмм циклов считывания и записи и отсчитываются на уровне 0,5 выходного сигнала.

К динамическим параметрам относятся следующие: время выборки кристалла $t_{вк}$ — время задержки выходного сигнала от момента подачи сигнала выборки кристалла;

время выборки адреса $t_{\text{ва}}$ — время задержки выходного сигнала от момента подачи сигнала адреса;

время восстановления после выборки кристалла $t_{\text{в вк}}$ — время восстановления выхода схемы после снятия сигнала выборки кристалла.

Эти временные параметры характеризуют цикл считывания.

Цикл записи определяется следующими временными параметрами:

минимальной длительностью импульса записи по входу (разрешение записи) $t_{\text{рз}}$;

временем восстановления после записи $t_{\text{вз}}$ — временем восстановления выходного сигнала после снятия сигнала разрешения записи;

временем установления записи $t_{\text{уз}}$ — временем задержки фронта выходного сигнала относительно фронта сигнала разрешения записи;

временем установки информации $t_{\text{уи}}$ — временем опережения информационным сигналом записи сигнала разрешения записи;

временем установки адреса $t_{\text{уа}}$ — временем опережения сигналом адреса сигнала разрешения записи;

временем установки выборки кристалла $t_{\text{увк}}$ — временем опережения сигнала разрешения записи сигналом выборки кристалла;

временем сохранения информации на входе после прекращения импульса записи $t_{\text{си}}$;

временем сохранения адреса после прекращения импульса записи $t_{\text{са}}$;

временем сохранения сигнала выборки кристалла после прекращения сигнала разрешения записи $t_{\text{свк}}$;

длительностью фронта $t_{\text{ф}}$ и среза $t_{\text{свк}}$ выходного сигнала по уровням 0,2 и 0,8 от амплитуды выходного сигнала.

На практике в технической документации очень часто в качестве динамических параметров приводятся длительности записи, считывания, выборки и других операций, выполняемых схемой:

время выборки $t_{\text{в}}$ — максимальное из времен $t_{\text{ва}}$ и $t_{\text{вк}}$;

время считывания $t_{\text{сч}}$ — длительность полного цикла считывания от момента поступления адресных сигналов или сигнала выбора кристалла до момента, в который схема может быть использована для выполнения новой операции;

время записи $t_{\text{зап}}$ — длительность цикла записи до

момента, когда схема может быть использована для выполнения новой операции;

время цикла $t_{\text{ц}}$ — суммарная длительность операций записи и считывания без смены адреса.

9.2. Организация полупроводниковых ЗУ

ЗУ с произвольной выборкой (ЗУПВ). Полупроводниковые ЗУ имеют такую же организацию, как магнитные ЗУ. Массив запоминающих элементов выполнен в виде квадратной или прямоугольной матрицы. Местоположение элемента хранения определяется двумя координатами: X и Y . В большинстве БИС ЗУПВ, выпускаемых промышленностью, на одном кристалле осуществляются функции записи, хранения и считывания информации, соответствующей 1024 или более одноразрядным словам. Структурная схема ЗУПВ (рис. 9.1)

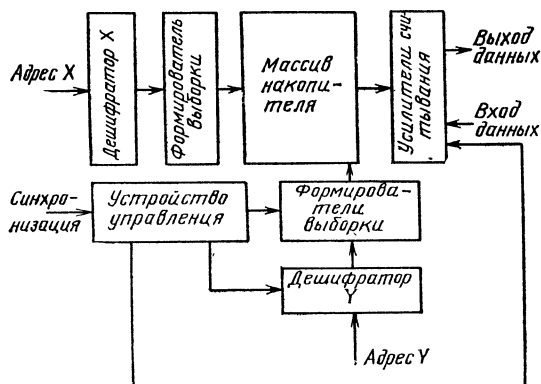
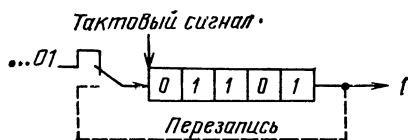


Рис. 9.1. Структурная схема ЗУ с произвольной выборкой

кроме матрицы элементов хранения включает также дешифраторы и формирователи сигналов выборки, записи и считывания по координатам X и Y , усилители считывания, схему управления и буферные схемы. Различают матричную, словарную и комбинированную организацию ЗУПВ. При матричной организации возможно обращение к каждому элементу хранения независимо от остальных элементов, размещенных на том же кристалле. При словарной организации одновременно выбирается группа элементов хранения (группа разрядов одного слова). Для реализации в виде БИС предпочтителен

первый тип организации, в этом случае требуются меньше усилителей и значительно меньшее число выводов. При матричной организации выбирается один элемент хранения из матрицы памяти, размещенный на пересечении шин выборки X и Y . При комбинированной организации выбирается ряд элементов из матрицы памяти (строка), связанных с одной шиной X выборки,

Рис. 9.2. Структурная схема ЗУ с последовательной выборкой



а также производится коммутация усилителей считывания или формирователей записи, чтобы выделить элемент памяти с соответствующей координатой Y .

Представляя ЗУ с произвольной выборкой в виде «черного ящика», можно выделить следующие потоки данных, связывающих его с внешними устройствами:

входные данные (информация, которую необходимо записать);

адрес (местоположение элемента хранения, к которому производится обращение);

выходные данные (считанная информация);

управляющие сигналы, определяющие режим работы ЗУ (хранение, запись или считывание).

Кроме того, для обеспечения работоспособности ЗУ к нему подводится питание.

ЗУ с последовательной выборкой. По способу записи и считывания информации регистры сдвига разделяются на последовательные, параллельные и параллельно-последовательные. Собственно регистр сдвига можно представить в виде последовательно связанных элементов хранения, называемых разрядами. Связь между отдельными разрядами позволяет осуществлять последовательный перенос информации от одного разряда к другому. В регистре сдвига последовательного типа (рис. 9.2) для непосредственной записи информации доступен только 1-й разряд, а для непосредственного считывания — только последний разряд. Запись и считывание для остальных разрядов осуществляются последовательным сдвигом информации от одного регистра к другому. В параллельных регистрах сдвига, возможны

запись или считывание (или то и другое одновременно) для любого разряда. Специфика БИС (ограниченное число внешних выводов и высокие требования к плотности упаковки) объясняет широкое распространение регистров сдвига последовательного типа. Для построения простейшего ЗУ с неразрушающим считыванием на основе регистра сдвига последовательного типа необходимо ввести цепь обратной связи, предназначенную для передачи считываемой информации с выхода регистра сдвига на его вход (см. рис. 9.2). Для выборки какого-либо разряда регистра сдвига необходимо осуществить соответствующий сдвиг информации. Например, при выборке i -го разряда необходимо осуществить такой сдвиг, чтобы его содержимое перезаписать в N -й разряд. Чтобы устранить потерю информации, записанной в разрядах i, \dots, N , необходимо использовать цепь обратной связи для записи этой информации в освободившиеся разряды с номерами $1, \dots, N-i$.

Информация для записи на вход регистра может поступать по одному или двум каналам связи, что соответствует однофазным или парафазным схемам. Сдвиг информации на один разряд осуществляется в схеме регистра сдвига при воздействии на нее так называемых тактовых сигналов. По числу тактовых сигналов различают одно-, двух- и многотактные схемы. По принципу действия электронных запоминающих схем, составляющих основу регистров сдвига, они делятся на статические, квазистатические и динамические.

9.3. ОЗУ с произвольной выборкой

Наибольшее распространение из биполярных ОЗУ получили ТТЛ- и ЭСЛ-элементы памяти. Один запоминающий элемент обычно содержит от двух до шести транзисторов, причем на двух из них реализуется классическая схема триггера, являющаяся ячейкой хранения.

Простейшая запоминающая ячейка изображена на рис. 9.3, а. Триггер содержит пару взаимосвязанных многоэмиттерных транзисторов, один из которых включен, а другой — выключен в зависимости от хранимой информации. В матрице памяти все ячейки по колонкам разделены цифровыми шинами, а в строке объединяются общей шиной «выборка слова». Цифровые шины имеют более высокий потенциал, чем шина «выборка слова», и смещают эмиттеры многоэмиттерных транзисторов в

обратном направлении. При повышении потенциала шины «выборка слова» через один из эмиттеров, подключенных к цифровым шинам, идет ток. При записи информации (как и при чтении) повышают потенциал шины «выборка слова» и понижают потенциал одной из цифровых шин, устанавливая триггер в нужное состояние.

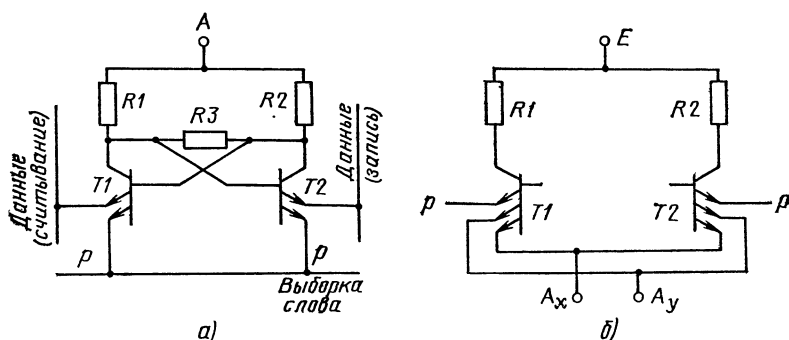


Рис. 9.3. Элементы ЗУ на многоэмиттерных транзисторах

Существует много модификаций схем запоминающих ячейки, например с диодами Шотки, с различными схемами управления и минимизации мощности рассеивания в невыбранных ячейках.

В схеме элемента памяти, показанной на рис. 9.3, б, использованы трехэмиттерные транзисторы. Дополнительные эмиттеры предназначены для выборки по адресам X , Y , а не по словам, как в предыдущем случае. Для обращения к такому элементу памяти необходимо одновременно повысить потенциал обеих шин выборки.

На кристалле размещены также схемы управления и дешифрации. На рис. 9.4 показана часть схемы управления элемента памяти. Особенностью схемы является то, что формирователи записи и усилители считывания соединены с различными разрядными шинами одного элемента памяти. Это позволяет увеличить плотность упаковки микросхемы.

Топология элемента памяти приведена на рис. 9.5. Области разрядных эмиттеров и коллекторные области используются в качестве проводящих соединений («подныров»), что позволяет использовать одноуровневую металлизацию.

Схемы памяти построены на ТТЛ-элементах. Как известно, схемы такого типа являются насыщенными, что

налагает определенные ограничения на их быстродействие. Широко известен способ уменьшения степени насыщения триггерного транзистора шунтированием его коллекторного перехода диодом Шотки, как показано на рис. 9.6. Создается нелинейная обратная связь между коллектором и базой, которая предотвращает насыщение транзистора и дает возможность существенно снизить задержку сигнала при его включении. Время цикла

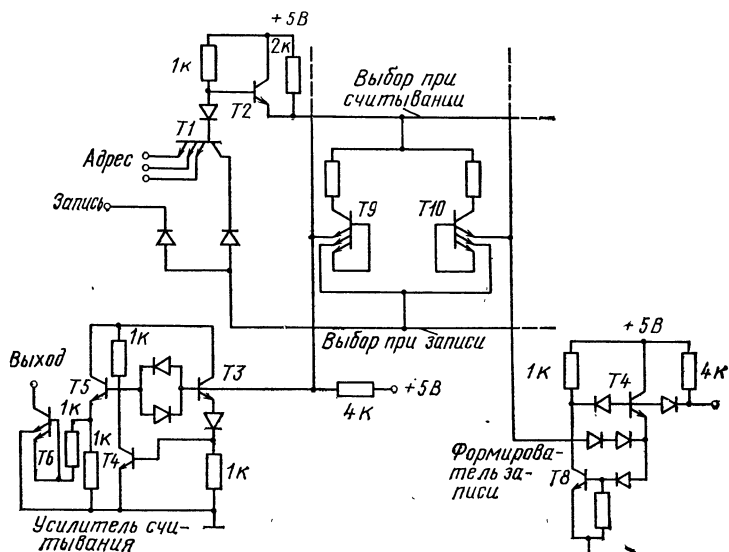


Рис. 9.4. Схема управления ЗУ

ОЗУ снижается на 30—40%. Например, ОЗУ с емкостью памяти 256 бит, выполненное с применением диода с барьером Шотки, имеет время цикла 70 нс. Введение дополнительных элементов (диодов Шотки) приводит к уменьшению плотности упаковки запоминающих схем. Кроме того, усложняется технологический процесс изготовления БИС ЗУ и уменьшается процент выхода годных. Более эффективный способ увеличения быстродействия — построение схем запоминающих устройств на основе ЭСЛ-элементов, высокое быстродействие которых обусловлено отсутствием насыщения ключевых транзисторов.

В качестве примера построения запоминающих схем на ЭСЛ-элементах можно рассмотреть схему элемента

памяти ненасыщенного типа на двухэмиттерных транзисторах (рис. 9.7), в котором шинами «выборка слова» служат шины питания. Как видно, данная схема отличается от схемы элемента памяти насыщенного типа (см. рис. 9.2) тем, что в цепи эмиттеров триггерных транзисторов включен резистор, выполняющий роль генератора тока.

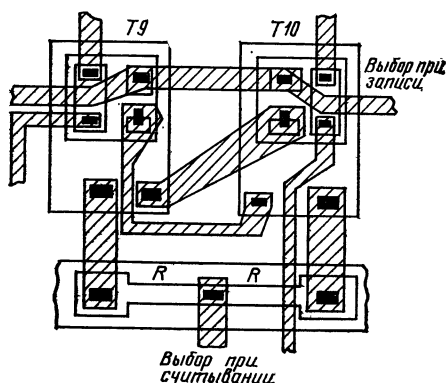


Рис. 9.5. Топология элемента памяти на трехэмиттерных транзисторах

Не так давно в ЭВМ преобладали *p*-канальные МДП ИС. Они были технологичными в производстве, недорого стоили. Однако *p*-канальные ЗУ небыстродействующие. Совершенствование технологии, особенно *n*-канальных структур, позволило уменьшить время выборки оперативных ЗУ, сделав их сравнимыми с быстродействием биполярных ЗУ. Кроме того, *n*-канальные микросхемы памяти имеют большую плотность упаковки, чем *p*-канальные.

В настоящее время стали широко применяться КМДП-схемы. Они сложнее в производстве, чем *p*- и *n*-канальные МДП ИС, и требуют кристалла большего размера. Однако они совместимы с ТТЛ. При низком напряжении КМДП-память действует быстрее, чем *n*-канальная память. Наиболее важным признаком КМДП-памяти является очень низкая мощность рассеивания. Широкое применение находят полупроводниковые ЗУ, изготавливаемые по технологии с «кремниевым затвором» и с применением ионного легирования.

ОЗУ с произвольной выборкой строятся на симметричных триггерах. Разработано более 10 типов элементов хранения на МДП-транзисторах с различными электрическими схемами.

Статические ОЗУ с двухкоординатной выборкой строятся на элементах хранения (рис. 9.8). Схемы совпадения адресных сигналов (A_x и A_y , A — адресная шина)

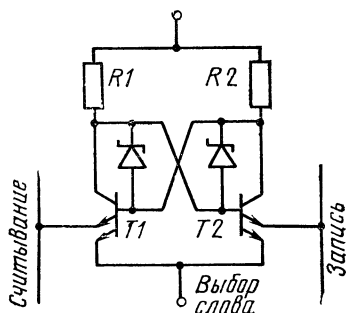


Рис. 9.6. Применение диодов Шотки для ограничения насыщения

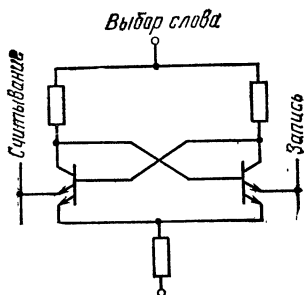


Рис. 9.7. Схемы элементов памяти ненасыщенного типа

реализованы на транзисторах $T7$, $T5$, $T6$, $T8$. В схемах со словарной выборкой достаточно использовать два симметрично включенных транзистора с объединенными затворами. Затворы транзисторов $T3$ и $T4$, выполняющих роль высокоомных нелинейных резисторов, могут быть подключены к отдельному источнику питания с напряжением, превышающим E , что обеспечивает линеаризацию характеристик нагрузочных МДП-резисторов и, следовательно, более высокое быстродействие элемента, а также позволяет снизить напряжение основного источника питания и тем самым уменьшить потребляемую мощность.

Подключение импульсного источника питания к затворам нагрузочных транзисторов (рис. 9.9) дает возможность снизить потребляемую элементом хранения мощность до 10 мкВт. Частота импульсов выбирается с таким расчетом, чтобы за время паузы между импульсами накопленный заряд на входной емкости транзисторов $T1$ или $T2$ не успел рассосаться.

На рис. 9.10. приведена структурная схема БИС ЗУПВ на МДП-структурах К527РУЗ, а на рис. 9.11 — ее принципиальная схема. Схема состоит из следующих функциональных узлов:

запоминающей матрицы из 1024 статических триггеров (ЯП1—ЯП1024). Каждая ячейка памяти через строчные адресные ключи (Т3, Т4), столбцовые адресные ключи (Т1, Т2), столбцовые и магистральные шины связаны со схемой записи и считывания;

дешифраторов строк и столбцов, которые в соответствии с кодовой комбинацией на 12 адресных выводах микросхемы подклю-

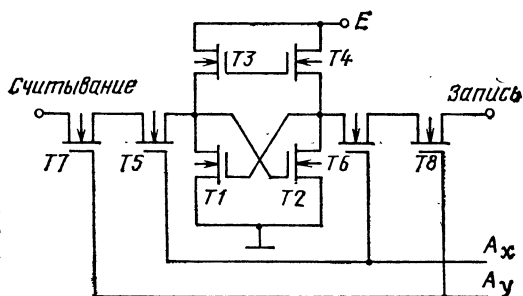


Рис. 9.8. Статический элемент памяти на МДП-транзисторах

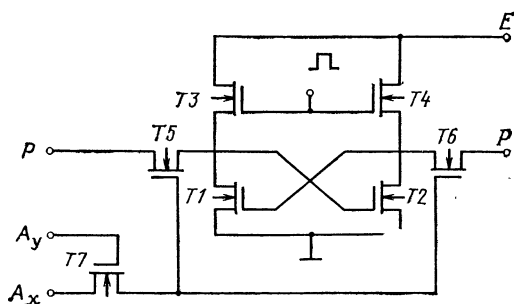


Рис. 9.9. Статический элемент памяти на МДП-транзисторах с импульсным питанием

чают через адресные ключи запоминающую ячейку к магистральным шинам. Дешифраторы строк и столбцов состоят из 12 адресных усилителей-инверторов (A_y) и 16 трехходовых схем совпадения (D);

схемы записи для установки триггеров матрицы в состояние, определяемое кодом входного числа. Схема записи состоит из двух последовательно включенных трехходовых схем совпадения, которые управляют четырьмя ключами. Запись в ячейку выполняется тогда, когда на вывод «выбор кристалла» поступает сигнал выбора кристалла (лог. 0), а на вывод «запись — считывание» — сигнал записи (лог. 1). Уровни 1 и 0 соответствуют уровням напряжений на управляющих входах;

схемы считывания, предназначенной для вывода информации из микросхемы. Схема считывания состоит из двух последовательно соединенных двухходовых схем совпадения, которые управляют двумя мощными выходными ключами. Информация с запоминающей

ячейки поступает на выход микросхемы при 0 на выводе «выбор кристалла»;

схемы выбора кристалла, предназначенной для разрешения обращения к схеме, т. е. для разрешения считывания или записи. Схема состоит из трех инверторов. В режиме считывания на выводе «выбор кристалла» должен быть 0; при этом схема выбора кристалла разблокирует схему считывания, а схема записи блокирована сигналом считывания. При отсутствии обращения к микросхеме блокируются и схема записи, и схема считывания, на выводе «выбор

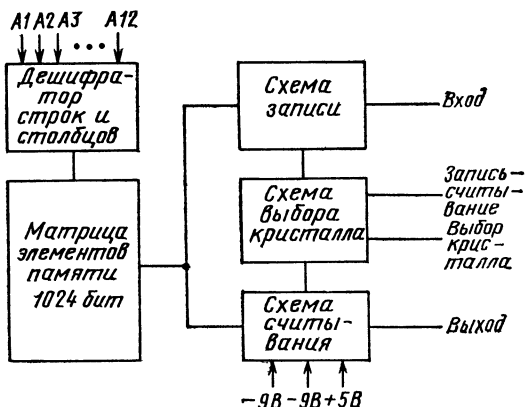


Рис. 9.10. Структурная схема ИС К527РУЗ

кристалла» должна быть 1. При этом информация не считывается и не записывается.

Рассмотрим процесс считывания. На адресные входы микросхемы подается двоичный код, который определяет адрес ячейки памяти. На вывод «запись — считывание» подается 0, что соответствует режиму считывания. На вывод «выбор кристалла» подается сигнал обращения 0 одновременно с кодом адреса. Так как время срабатывания дешифратора больше, чем время срабатывания схемы выбора кристалла, на выходе микросхемы возможно появление информации, хранящейся в ячейке, адрес которой соответствует предыдущему состоянию дешифратора. Эта информация появляется после появления сигнала обращения. Затем, если во вновь выбранной ячейке хранится противоположная информация, происходит смена ее на выходе микросхемы через время считывания.

В режиме записи на адресные входы микросхемы подается двоичный код, определяющий адрес нужной ячейки памяти, на вывод записи — считывание — положительный импульс, соответствующий сигналу записи. Записываемый в микросхему код должен поступать на вход одновременно с сигналом записи. Записываемая информация появляется на выходе ОЗУ уже во время действия сигнала записи.

Приведем параметры микросхемы:

выходной ток лог. 0, мА	1,7
выходное напряжение лог. 1, В	4

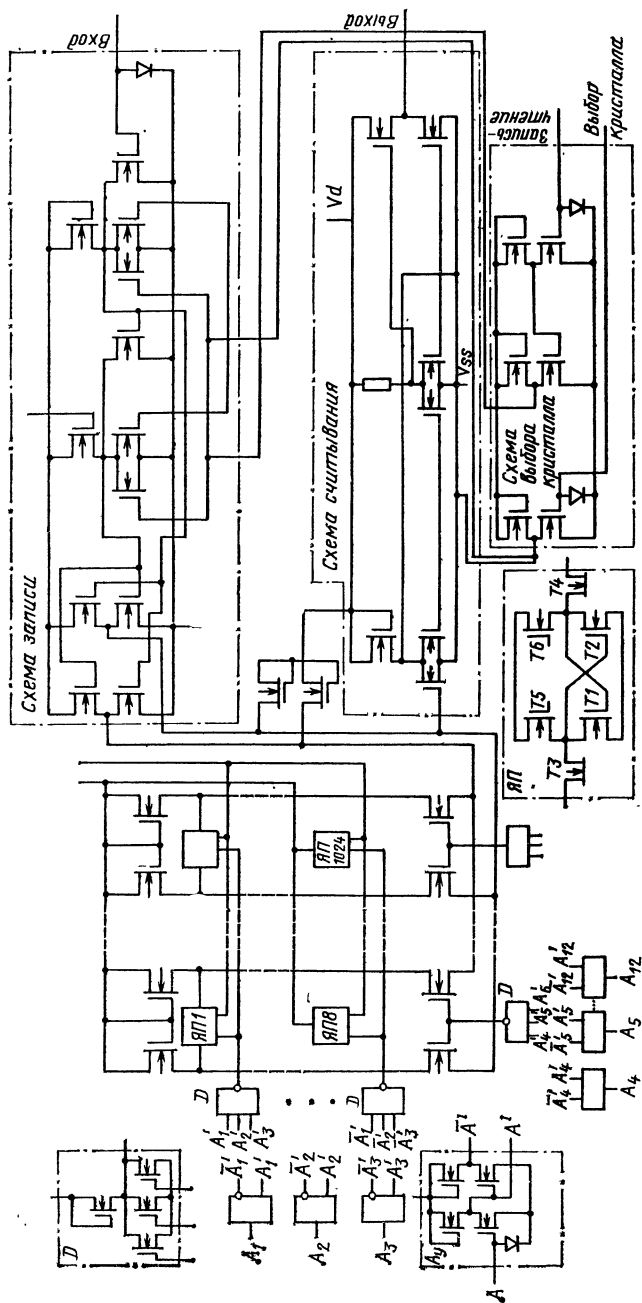


Рис. 9.11. Принципиальная электрическая схема микросхемы K527PU3

время считывания, нс	700
время задержки импульса записи, нс	300
ток, потребляемый цепью управления, мА	10
ток, потребляемый матрицей, мА	27
входная емкость управляющих выводов и выхода, пФ	5
емкость выводов, пФ	40
задержка импульса записи, нс	300
задержка выбора кристалла при считывании, нс	200
задержка выбора кристалла при записи, нс	200

Биполярные динамические ОЗУ. В запоминающих устройствах динамического типа информация хранится в виде заряда соответствующих емкостей, поэтому в электронное обрамление ЗУ всегда входят специальные схемы регенерации информации. Основное преимущество динамических ЗУ — возможность создания массивов элементов хранения большой емкости. Кроме того, динамические схемы рассеивают значительно меньшую мощность, что также позволяет увеличивать емкость массива элементов хранения информации.

Принципы построения динамических элементов памяти можно рассмотреть на примере конкретной схемы. Динамический элемент памяти, принцип работы которого основан на эффекте пробоя одного из $p-n$ -переходов биполярного транзистора с «оборванным» выводом базы, показан на рис. 9.12. Как видно, для хранения информации в одностранзисторном элементе памяти используются две последовательно соединенные емкости $p-n$ -переходов.

Один из способов записи информации реализуется при кратковременном повышении напряжения между коллектором и эмиттером транзистора. В результате один из $p-n$ -переходов, например эмиттерный, смещается в прямом направлении, а второй — пробивается. Если напряжение, приложенное к транзистору, равно 7 В, то ток пробоя 0,5 мА. Длительность импульса записи должна быть меньше 10 нс, чтобы после окончания его воздействия восстановилось высокое сопротивление пробитого перехода. После окончания импульса записи прямосмещенный эмиттерный переход продолжает проводить ток до тех пор, пока не рассосется накопленный заряд неосновных носителей. Этот эффект используется для уменьшения заряда, накопленного в транзисторе, т. е. для записи 0. Чтобы использовать такой способ записи, необходимо обеспечить достаточно большое время жизни неосновных носителей в эмиттерном переходе (более 20 нс). Преимуществом данного способа является воз-

можность использования для записи и считывания однополярных импульсов тока.

Другой способ записи информации основан на самопроизвольном прекращении пробоя в процессе разряда коллекторных и эмиттерных емкостей транзистора, которое наблюдается в том случае, когда напряжение на обратносмещенном $p-n$ -переходе уменьшается до некото-

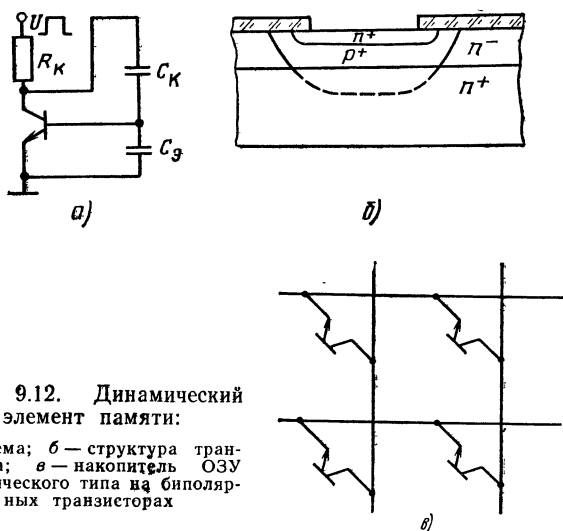


Рис. 9.12. Динамический элемент памяти:

а — схема; б — структура транзистора; в — накопитель ОЗУ динамического типа на биполярных транзисторах

рого критического значения. В этом случае импульсы записи 0 и 1 должны иметь различную полярность. Кроме того, для реализации этого способа записи необходимо иметь несимметричную транзисторную структуру. Например, емкость и напряжение пробоя коллекторного $p-n$ -перехода должны быть намного больше соответствующих параметров эмиттерного перехода. Известно, что неоднократный пробой перехода эмиттер—база транзистора приводит к деградации транзисторной структуры. Для устранения этого недостатка необходимо удалить область пробоя от поверхности раздела полупроводник — диэлектрик ($Si-SiO_2$). Это возможно, поскольку концентрация эмиттерной примеси вблизи поверхностной части перехода эмиттер — база меньше, чем вблизи донной его части. На рис. 9.12, б показано поперечное сечение подобной структуры однотранзисторного элемента памяти. На таких элементах был изготовлен массив ЗУ нако-

пителя (рис. 9.12, в). Такая организация позволяет получить очень высокую плотность упаковки.

На основе однотранзисторных элементов памяти на одном кристалле созданы ОЗУ емкостью 4096 бит с очень низким уровнем мощности (около 10 мкВт/бит) и достаточно высокой скоростью записи и считывания информации (менее 10 нс). Время сохранения информации опре-

деляется током утечки обратно смещенного $p-n$ -перехода и достаточно велико.

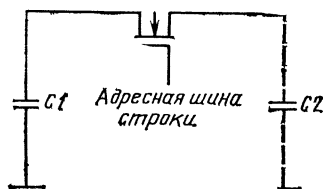


Рис. 9.13. Динамический элемент памяти на МДП-транзисторе

Динамические ЗУ с произвольной выборкой на МДП-структурах. Наибольший интерес представляет однотранзисторный запоминающий элемент, изготовленный по технологии кремниевых затворов. Он обладает высоким быстродействием и малой потребляемой мощностью. Однако

самым важным достоинством его является высокая плотность упаковки благодаря очень малой площади однотранзисторного элемента. Упрощенная схема однотранзисторного запоминающего элемента показана на рис. 9.13. Затвор транзисторного элемента подключен к выходу дешифратора строки. Накопительный конденсатор $C1$, имеющийся в каждом запоминающем элементе, служит для хранения заряда обычным способом. Емкость $C2$, образующаяся в результате объединения нескольких элементов в один столбец ЗУ, паразитная.

При построении ЗУ на однотранзисторных элементах требуются максимальная накопительная емкость и минимально возможная паразитная емкость для минимизации падения напряжения считанного сигнала. Емкость $C2$ не должна существенно превышать $C1$, так как при считывании происходит перераспределение хранимого в $C1$ заряда между $C1$ и $C2$. Чем больше $C2$ по сравнению с $C1$, тем значительнее это перераспределение, тем меньше уровень напряжения логического сигнала и жестче требования к чувствительности логических схем считывания.

На основе рассмотренного элемента памяти было получено ЗУ емкостью 2048 бит. Площадь, занимаемая одним запоминающим элементом, составляет менее

0,0023 мм². Размеры кристалла 3,5×3,75 мм. Время выборки при считывании составляет менее 250 нс, а время цикла — менее 400 нс. Рассеиваемая на максимальной частоте мощность — всего 300 мВт.

Схема ЗУ (рис. 9.14) состоит из секций для матрицы запоминающих элементов, дешифраторов строки и столбца, инверторов строки и столбца и усилителей-регенераторов. В него входят также логические схемы управления считыванием и записью, выходные мультиплексоры и буферные схемы приема и выдачи числа. Все эти схемы размещены на одном кристалле.

Матрица запоминающих элементов обеспечивает хранение 2048 бит информации, дешифраторы обрабатывают адресную информацию, а инверторы вырабатывают дополнительные коды для нее. Усилители-регенераторы осуществляют считывание малых сигналов и восстановление хранимой информации. В функции управляющей логики входит регенерация хранимой информации или запись новой. Выходные мультиплексоры объединяют выходы всех столбцов и осуществляют подключение выбранного элемента к выходу схемы. Выходная буферная схема служит защитой матрицы ЗУ от помех на шине приема числа.

Во время фазы тактового сигнала в данной трехфазной системе все сигналы адреса строки и столбца и сигнал запрета кристалла подаются и устанавливаются до среза тактового импульса Φ_1 . Уровни сигналов на этих входах должны оставаться неизменными в течение всего цикла, пока не истечет 20 нс после среза последнего тактового импульса Φ_3 . Таким образом, в течение времени действия тактового сигнала происходит установление уровней напряжения во всех узлах дешифраторов строки и столбца, формирование в схеме сигналов дополнительного кода адреса и подготовка усилителей-регенераторов к считыванию сигналов информации.

В течение всего времени действия сигнала Φ_1 на входах синхронизации (узлах *a*) во всех 64 дешифраторах строки независимо от внешних условий появляется отрицательное напряжение, благодаря чему выходные узлы *b* этих дешифраторов приводятся к уровню E_2 с низким сопротивлением. Это гарантирует запертое состояние всех изолирующих вентилях транзисторов запоминающей матрицы в течение всего времени установления сигналов. Кроме того сигналы прямого и дополнительного кодов на всех входах дешифратора строки остаются неизменными до окончания предварительного заряда (в течение действия сигнала Φ_1) и в течение дополнительного промежутка времени t_d между окончанием Φ_1 и началом Φ_2 .

С окончанием t_d напряжение в узлах *a* всех невыбранных строк падает до E_2 . Напряжения на выходах всех невыбранных адресных шин (узлы *b*) также останутся равными E_2 в течение всего остального времени цикла, обеспечивая тем самым запертое состояние всех невыбранных элементов. Для узла *a* выбранной строки цепь разряда разомкнута, поэтому его напряжение в течение всего остального времени цикла отрицательное. В течение времени действия Φ_2 напряжение узла *a* на выходе выбранной адресной шины становится отрицательным и разрешается обращение ко всей строке на всех кристаллах системы.

Когда адрес любой строки в любом режиме работы (считывание, запись или регенерация) выбран, информация из всех 32 элементов с данным адресом на всех кристаллах поступает в соответствующие усилители-регенераторы столбцов. Узел *c*, являющийся вхо-

В течение действия сигнала Φ_1 осуществляется подготовка усилителей-регенераторов к считыванию низковольтных входных сигналов. В них происходит выработка внутреннего опорного напряжения, которое является функцией порогового напряжения $U_{\text{зи пор}}$. Это напряжение не зависит от напряжений внешних источников питания и автоматически следит за изменениями $U_{\text{зи пор}}$ под действием температуры и в результате технологических разбросов. С окончанием Φ_1 и до начала Φ_2 напряжение узла c безусловно поддерживается равным этому опорному напряжению. При подаче Φ_2 срабатывает дешифратор выбранной строки и происходит перераспреде-



ние заряда емкости C_1 между C_1 и C_2 в каждом из 32 элементов каждого кристалла.

Если в C_1 хранится уровень лог. 0, напряжение узла c получает положительное приращение. В течение первой половины периода Φ_2 этот сигнал проходит через неинвертирующий усилитель-регенератор. Во время действия Φ_3 замыкается цепь обратной связи и уровень U_0 лог. 0 с малым сопротивлением поступает обратно в узел c и одновременно в накопительный элемент C_1 . В случае же хранения в C_1 уровня лог. 1 напряжение в узле c в результате перераспределения зарядов получит отрицательное приращение.

Это относительно слабое приращение усиливается и во время действия сигнала Φ_3 через цепь обратной связи подается обратно в виде высокого отрицательного уровня U_1 с малым сопротивлением. По окончании действия Φ_2 дешифратор строки отключается и происходит фиксация регенерированного напряжения U_0 или U_1 в каждом элементе памяти выбранной строки.

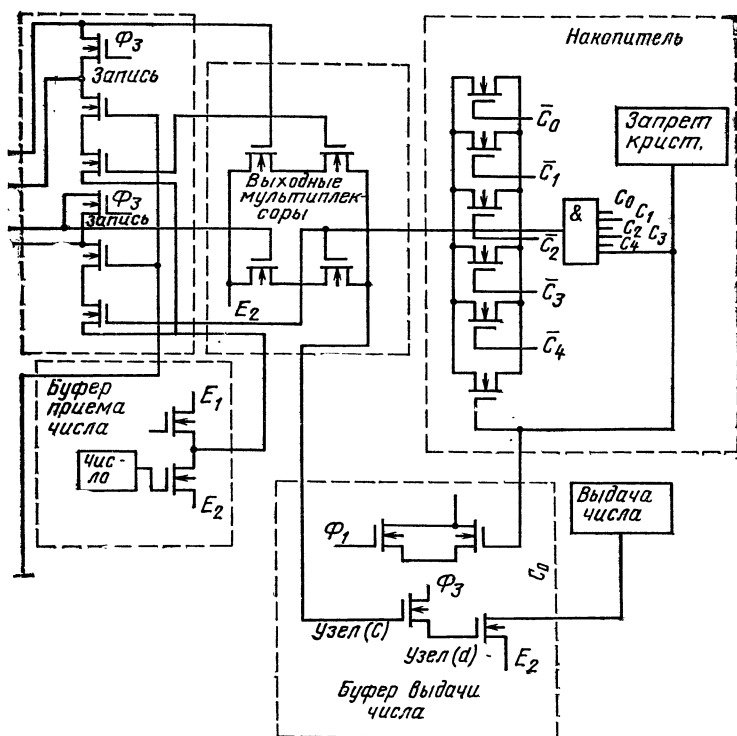


Рис. 9.14. Схема БИС динамического ЗУ на МДП-элементах

Выходные мультиплексоры осуществляют коммутацию выходов усилителей-регенераторов в соответствии с сигналами на каждом из 32 выходов дешифраторов столбцов. Сигнал выбора столбца ис-

пользуется для подачи числа с выхода усилителя-регенератора на вход буферной схемы выдачи числа. Буфер приема числа улучшает отношения сигнал-помеха на входе схемы за счет подавления низковольтных импульсов помехи. Он обеспечивает также малую входную емкость (6 пФ) шины ввода числа.

В режиме считывания на шине считывание-запись сохраняется положительное напряжение, запрещающее прием числа. В режиме записи на эту шину подается отрицательное напряжение, фронт которого за 50 нс до начала сигнала Φ_2 , а срез совпадает с фронтом Φ_3 . Для правильного приема записываемых данных сигнал на входной шине числа выдерживается после окончания команды записи еще 30 нс.

При этом из 32 элементов столбца в 31 осуществляется регенерация числа таким же способом, как и при считывании. Старое же содержимое элемента, лежащего на пересечении выбранной строки и выбранного столбца, попадает в узел c , но не принимается, а в запоминающий элемент C_1 записывается новое число. Это новое число регенерируется затем в контуре усилителя регенератора, поступает на выходной мультиплексор и в конечном счете проходит на шину выдачи числа, в которой может быть считано. Такая операция позволяет осуществлять контроль того, что информация действительно правильно записана в ЗУ.

Буфер выдачи числа представляет однополюсный однопозиционный переключатель с высоким коэффициентом усиления. В случае отрицательного сигнала на шине запрета кристалла выходной транзистор независимо ни от чего находится в запертом состоянии в течение всего цикла, что позволяет использовать для объединения выходов кристаллов схемы типа «проводное ИЛИ».

В табл. 9.1 приведены характеристики выпускаемых промышленностью полупроводниковых ОЗУ произвольной выборки.

Таблица 9.1

Характеристика	Тип ЗУ		
	биполярные	МДП динамические	МДП статические
Время цикла (макс), нс	50—100	300—1 000	1 000—1 500
Рассеиваемая мощность (макс), мВт/бит	0,5—10	0,08—0,4	0,4—2
Емкость, бит	256—4 096	4 096—16 384	512—4 096

9.4. ОЗУ с последовательной выборкой

Биполярные статические ОЗУ. Регистры сдвига предназначены для записи, хранения и считывания информации. Регистр сдвига с коллекторной связью (рис. 9.15) содержит ряд транзисторных пар, включенных по схеме с общим эмиттером. Первая пара $n-p-n$ -транзисторов образует каскад с высоким входным сопротивлением, а

остальные транзисторные пары — отдельные элементы ЗУ. В каждой паре база левого транзистора соединена с источником опорного напряжения ($0,25\text{ В}$). Эмиттеры каждой пары соединены через общий резистор с шинами тактовых сигналов. Состояние одного элемента памяти соответствует 1, если через коллекторный резистор протекает ток. В противном случае элемент памяти находится в состоянии 0. Различают также активное и пассивное

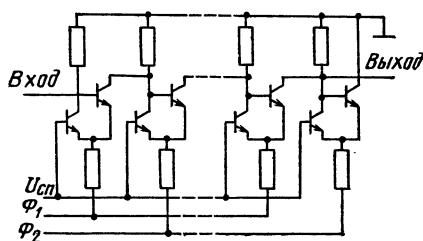


Рис. 9.15. Принципиальная электрическая схема регистра сдвига с коллекторной связью

состояния такого элемента памяти. Если эмиттерный резистор соединен с тактовой шиной, на которой поддерживается низкий уровень напряжения, то через него протекает ток, что соответствует активному состоянию. Если на тактовой шине поддерживается высокий потенциал, то схема, связанная с этой шиной, находится в пассивном состоянии. В качестве источника тактовых сигналов для такой схемы можно использовать маломощный генератор импульсов, размещенный на одном кристалле со схемой регистра сдвига. С выходного каскада такого генератора два противофазных сигнала поступают в соответствующие тактовые шины.

При изменении фазы тактовых сигналов происходят сдвиг и инверсия состояния активный 0 от n -го элемента памяти к $(n+1)$ -му (рис. 9.16). До сдвига n -й элемент находился в состоянии пассивная 1. В процессе сдвига, когда напряжение U_{Φ_1} начинает превышать U_{Φ_2} , ток I_n уменьшается, а ток I_{n+1} увеличивается, причем напряжение $U_{c,n+1}$, зависящее от суммы этих токов, не превышает опорного $U_{оп}$. Напряжение $U_{c,n+1}$ незначительно отличается от нуля из-за наличия тока базы правого транзистора n -го элемента. Таким образом, в процессе сдвига

$(n+1)$ -й элемент переходит из состояния пассивная 1 в состояние активная 1. В процессе сдвига состояние пассивной 0 n -го элемента поддерживается $(n-1)$ -м элементом.

На рис. 9.16 показаны пути протекания токов и диаграмма напряжений на узлах схемы регистра сдвига при передаче и инверсии состояния 1 от n -го элемента к

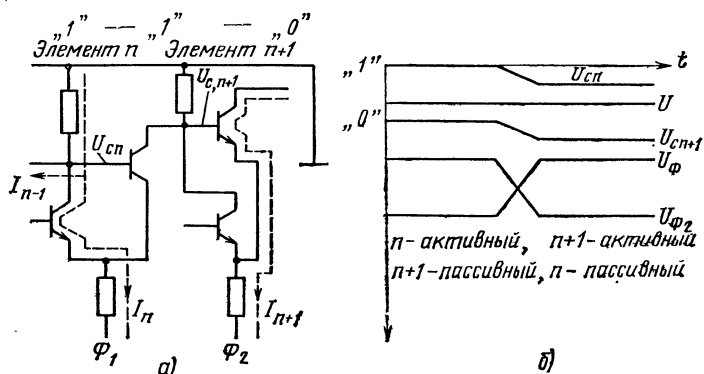


Рис. 9.16. Пути протекания токов (а) и временная диаграмма (б)

$(n+1)$ -му. Предполагается, что в процессе сдвига информации состояние пассивная 1 n -го элемента поддерживается $(n-1)$ -м элементом. Действительно, уменьшение тока I_n компенсируется увеличением тока I_{n-1} , поэтому напряжение U_{cn} не превышает опорного. Рассмотрены случаи передачи информации в регистре сдвига с коллекторной связью, когда состояние n -го элемента не изменялось, соответствовали комбинации 0 0 1 или 1 1 0. Представляет также интерес анализ процесса сдвига информации для комбинации 0 1 0, когда состояние n -го элемента изменяется от активной 1 к пассивному 0. В процессе такого сдвига напряжение U_{cn} уменьшается и достигает $U_{соп}$. В результате происходит переключение тока $I_{ноп}$, протекающего по эмиттерному резистору, от левого транзистора n -го элемента к правому. Возникающий при этом импульс тока, протекающий через коллекторный резистор $(n+1)$ -го элемента, создает падение напряжения, достаточное для ложного переключения $(n+1)$ -го элемента из состояния активный 0 в состояние активная 1.

Интегральная схема регистра сдвига с коллекторной связью емкостью 256 бит разместилась на кристалле размером $2,8 \times 2$ мм². Регистр сдвига может работать с тактовой частотой до 75 МГц при рассеиваемой мощности менее 0,2 мВт/бит.

Динамические схемы регистров сдвига. На рис. 9.17 приведена принципиальная электрическая схема двухтактного динамического регистра сдвига на биполярных

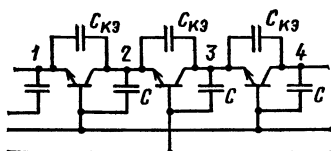


Рис. 9.17. Двухтактный динамический регистр сдвига

транзисторах. Для упрощения предполагается, что тактовые импульсы имеют прямоугольную форму, коллекторный ток транзистора равен эмиттерному. Эмиттерный ток определяет скорость разряда емкости C основного

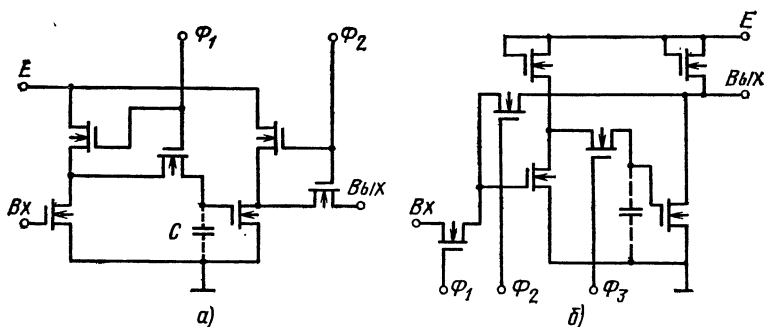


Рис. 9.18. Схемы сдвиговых регистров на МОП-транзисторах с двухтактным (а) и трехтактным (б) питанием

элемента, используемого для хранения информации в динамической схеме регистра сдвига.

Максимальная частота сдвига информации для ЗУ емкостью 70 бит 30 МГц, амплитуда тактовых импульсов 2 В. Роль элемента хранения информации выполняла емкость перехода коллектор — база $n-p-n$ -транзистора.

Регистр сдвига емкостью 512 бит был размещен на кристалле размером $2,8 \times 2,9$ мм². Схема устойчиво рабо-

тала в широком диапазоне частот от 100 Гц до 3 МГц. Полная рассеиваемая мощность составляла 20 мВт при частоте тактовых импульсов 1 МГц.

Главным достоинством регистровых ОЗУ на МДП-транзисторах, так же как и элементов динамического типа для ОЗУ с произвольной выборкой, является малая потребляемая мощность в режиме хранения, обусловленная токами утечки.

В настоящее время регистры сдвига составляют около половины всех выпускаемых схем на МДП-транзисторах. Наиболее распространены схемы на двух-, трех- и четырехтактных динамических элементах. На рис. 9.18, а и б показаны двух- и трехтактные элементы регистров сдвига. Для этих схем повышение быстродействия сопровождается увеличением потребляемой мощности.

Типовым примером динамических регистров сдвига на МДП-транзисторах, выпускаемых в настоящее время, служит регистр на 1024 разряда, потребляющий мощность 0,4 мВт/бит и работающий на частотах до 5 МГц.

9.5. Полупроводниковые постоянные запоминающие устройства

Биполярные ПЗУ. В системах вычислительной техники широкое применение получили постоянные запоминающие устройства (ПЗУ) с запоминающей матрицей на многоэмиттерных транзисторах. Эти ПЗУ совместимы по напряжению питания и уровням выходных и входных сигналов с ТТЛ-схемами.

Для уменьшения площади, занимаемой запоминающей матрицей, коллекторные контакты всех многоэмиттерных транзисторов необходимо подсоединить к одной потенциальной шине, например включить все транзисторы по схеме эмиттерного повторителя, что позволит разместить их в одной изолированной области полупроводникового кристалла. Электрическая схема запоминающей матрицы для ИС ПЗУ, построенной на многоэмиттерных транзисторах, показана на рис. 9.19. Все эмиттеры подключены к соответствующим разрядным шинам. Это означает, что при возбуждении какой-либо адресной шины к базе соответствующего многоэмиттерного транзистора будет приложено напряжение, которое отпирает этот транзистор, и через его эмиттеры во все разрядные шины будет поступать ток. На всех выходах схемы для

любого слова ПЗУ будет формироваться сигнал 1. Так как в ПЗУ записывается самая разнообразная информация, то должна быть обеспечена возможность осуществления различных вариантов подсоединения эмиттеров запоминающей матрицы к разрядным шинам, т. е. возможность программирования ПЗУ. В зависимости от способов программирования ИС ПЗУ делятся на два

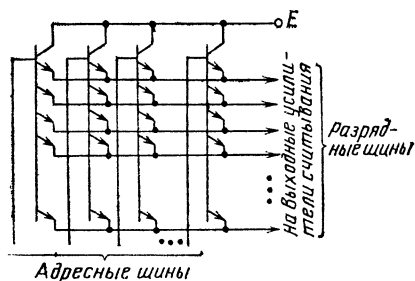


Рис. 9.19. Накопитель ПЗУ на многоэмиттерных транзисторах

класса: программируемые маской и с электрическим программированием (ППЗУ).

При программировании маской весь комплект фотошаблонов, за исключением фотошаблона одного слоя (металлизация или контактные окна), является постоянным для данного типа ПЗУ и не зависит от записываемой в конкретный кристалл информации. Конфигурация фотошаблона, определяющего картину подсоединения эмиттеров каждого кристалла к разрядным шинам, зависит от заносящейся в кристалл информации.

Этот способ позволяет изготавливать все пластины до заключительной операции металлизации и затем хранить их до тех пор, пока заказчик не уточнил свою информацию. После этого наносится последний слой металлизации.

Для программирования ПЗУ большой емкости (1024 бит и более) используется маска контактных окон. В этом случае разрядные шины располагаются над областью эмиттеров транзисторов запоминающей матрицы, а подсоединение эмиттера к разрядной шине определяется наличием или отсутствием в нем контактного окна. Такой способ позволяет уменьшить размер кристалла, что существенно для ПЗУ большой емкости.

Одним из недостатков масочного программирования является высокая стоимость фотошаблонов, что сказывается на стоимости ИС ПЗУ при изготовлении небольшой партии. Разработаны ИС ПЗУ с электрическим программированием (ППЗУ). Все эмиттеры многоэмиттерных транзисторов запоминающей матрицы соединены с разрядными шинами плавкими перемычками (рис.

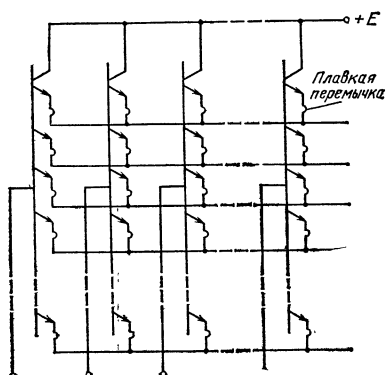


Рис. 9.20. Программируемое ПЗУ

9.20). Информация заносится в готовые ППЗУ либо изготовителем, либо заказчиком. Для этого через эмиттеры, которые не должны быть соединены с разрядной шиной, пропускается импульс тока, достаточный для разрушения плавкой перемычки.

Плавкие перемычки шириной 2,5 мкм выполнены из поликристаллического кремния, потому что они расплавляются при

меньших токах, чем металлические перемычки. Кроме того, кремниевые перемычки не подвержены опасности миграции металла и воздействию других механизмов возможных отказов, свойственных металлическим перемычкам.

ППЗУ поставляются потребителям с записанными во все разряды лог. 1. При пережигании поликристаллический кремний плавится в середине перемычки и оплавленные концы отходят друг от друга, обеспечивая разрыв электрической цепи. При считывании информации с такого элемента на выходе ПЗУ формируется лог. 0.

Постоянные запоминающие устройства на МДП-структурах. В БИС ПЗУ запоминающая матрица выполняет функцию НЕ — ИЛИ (рис. 9.21) над данными на выходных шинах дешифратора. Штриховыми линиями показаны избирательно реализуемые соединения между выходами дешифратора и входом вентиля НЕ — ИЛИ.

В МДП-матрицах для записи информации обычно используется соответствующий рисунок из окисла. Тонкий слой окисла, нанесенный поверх области канала

МДП-транзистора, отделяет канал от затвора. Если этот слой имеет большую толщину, то затвор не будет работать. Таким образом, запись 1 и 0 в постоянную память осуществляется формированием соответственно тонких и толстых слоев окисла. Толщина окисла в свою очередь обуславливается маской, используемой на определенном этапе технологического процесса. Если у МДП-транзистора под затвором тонкий окисел, то при выборе числовой шины этот транзистор включается и на выходе соответствующей разрядной шины появляется потенциал земли.

Применяется и другая система записи информации, требующая определенного соединения затворов. Нужные соединения выполняются с помощью металлического рисунка, состоящего из очень тонких проводников, которые расплавляются при прохождении через них очень сильных токов. Применяя программное управление, с помощью таких токов можно получить в памяти нужное распределение информации в виде 1 и 0.

Применяя способ выплавления некоторых межсоединений для программирования ПЗУ, покупатель заносит

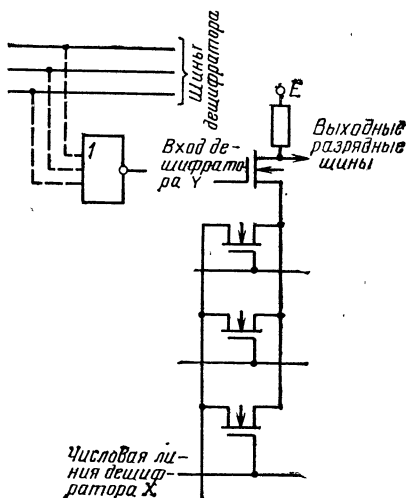


Рис. 9.21. Матрица ПЗУ на МДП-структурах

Таблица 9.2

Характеристика	биполярные	МДП	
		ПЗУ, ППЗУ	репрограммируемые ПЗУ
Время выборки (макс), нс	10—100	100	100—300
Максимальная рассеиваемая мощность, мВт/бит	0,05—0,8	0,01	0,1
Информационная емкость, бит	256—16 384	1 024—65 536	256—2 048

данные, которые должны храниться в ПЗУ, путем выплавления (устранения) определенных металлических межсоединений или связей, соответствующих хранимым значениям 0. В табл. 9.2 приведены характеристики ПЗУ, выпускаемых промышленностью.

Г л а в а 10.

ФУНКЦИОНАЛЬНАЯ МИКРОЭЛЕКТРОНИКА

10.1. Перспективы развития микроэлектроники

В настоящее время наметилось два основных подхода к дальнейшему развитию микроэлектроники:

интегральный, при котором каждый элемент схемы создается как дискретный элемент в полупроводниковом кристалле;

функциональный, при котором работа схемы осуществляется за счет использования физических явлений в полупроводниковом кристалле.

В настоящее время степень интеграции БИС приближается к 10^6 элементов на кристалл. Дальнейшее увеличение степени интеграции ограничивается не технологией изготовления ИС, потенциальные возможности которой с внедрением электронно-лучевой фотолитографии, плазменного травления и ионной имплантации будут исчерпаны не скоро, а чисто физическими факторами.

Наиболее серьезное ограничение связано с отводом тепла от микроструктур. По мере уменьшения размеров микроструктур возрастают трудности отвода выделяемой ими тепловой энергии и вследствие этого лимитируется дальнейшее повышение уровня интеграции и надежности ИС. Снижение же мощности рассеивания микроструктур (по мере увеличения степени интеграции) за счет понижения подводимой энергии ограничено минимальной мощностью, необходимой для обеспечения работоспособности схемы.

Другим фактором, ограничивающим степень интеграции, является рост электрического сопротивления проводников с уменьшением размеров микроструктур, приводящий к увеличению выделяемого схемой тепла и потерь в ней.

Не менее важное влияние на ограничение степени интеграции оказывает явление электромиграции в пленочных проводниках (движение ионов) при высоких плотностях тока. Это явление также приводит к снижению надежности.

Кроме того, для обеспечения высокой надежности РЭА, содержащих большое число БИС, необходимо многократное резервирование, что опять же приводит к увеличению числа элементов.

Таким образом, перед интегральной электроникой по существу снова возникают те же проблемы, которые стимулировали вначале ее развитие: проблема «тирании количеств», организации межсоединений и повышения надежности.

Решение вопроса может быть получено лишь при полном отказе от понятия классических схемных элементов и непосредственном использовании свойств твердого тела для выполнения функций системы. Эти функции будут осуществляться без объединения элементов в системе и без многократного увеличения их числа. Устройства, изготавливаемые на основе этого принципа, называются функциональными приборами. В них невозможно выделить локальные области, эквивалентные элементам обычной схемы. Этот путь на современной стадии развития интегральной электроники пока широкого распространения не получил. Однако полагают, что дальнейшее совершенствование ИС пойдет именно по пути использования функциональных приборов.

Примерами простейших функциональных устройств могут явиться многие из уже существующих полупроводниковых приборов, часть которых появилась до того, как проблема «тирании» количеств приобрела такую актуальность: пьезоэлектрические резонаторы, датчики Холла, приборы с отрицательным сопротивлением. Широки функциональными возможностями обладают приборы, основанные на использовании объемных явлений в полупроводниковых (диоды Ганна, приборы с зарядовой связью). В этих устройствах основная энергия рассеивается почти во всем объеме кристалла, поэтому проблемы теплоотвода в них менее серьезны, чем в классических приборах с $p-n$ -переходами.

В настоящее время в радиоэлектронике разрабатывается несколько направлений, основанных на непосредственном использовании известных и новых физических явлений и их взаимодействии, которые найдут примене-

ние в будущем в функциональных системах. К таким направлениям относятся оптоэлектроника, акустоэлектроника, криогенная электроника, магнитоэлектроника, молекулярная электроника, теплоэлектроника.

10.2. Функциональные приборы на четырехслойных структурах

Наиболее характерным примером полупроводниковых функциональных устройств является четырехслойная $p-n-p-n$ -структура. Наличие на вольт-амперной

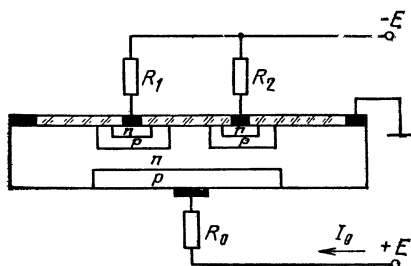


Рис. 10.1. Четырехстабильный токовый переключатель

характеристике трех участков: низкого, высокого и отрицательного сопротивления — позволяет выбором соответствующих режима и нагрузки создавать различные устройства для выполнения очень многих функций. Использование таких структур позволит значительно уменьшить число необходимых элементов схем.

На рис. 10.1 показана структура четырехстабильного токового переключателя. Структура представляет собой два тиристора, у которых два слоя (n и p) являются общими. Управляющий общий слой имеет металлическое кольцо, на которое подается нулевое напряжение, а на общий p -электрод подается напряжение положительной полярности через резистор с большим сопротивлением, что обеспечивает постоянство тока I_0 . От значения этого тока и зависит состояние переключателя. Верхние p - и n -слои тиристоров разделены и подключены к напряжению отрицательной полярности через резисторы с различным сопротивлением. В результате верхние $p-n$ -переходы смещены в прямом направлении.

Управление переключателем осуществляется с помощью управляющего тока I_0 . В зависимости от этого тока может быть одно из четырех устойчивых состояний прибора. Первое устойчивое состояние — когда оба тиристора выключены, ток мал. Второе сопротивление соответствует току, при котором включается один (левый) тиристор. Тиристор имеет большой коэффициент передачи. Для его включения требуется меньший ток, чем для включения другого тиристора. Наконец, в третьем устойчивом состоянии включается второй тиристор и выключается первый. Это происходит, когда ток становится достаточным для включения второго тиристора. Однако в связи с тем, что $R_2 < R_1$ и ток через второй тиристор значительно больше, чем через первый, а ток I_0 остается постоянным, дырки, инжектированные в n -область из нижней p -области, перемещаются во второй тиристор. В результате весь ток переключается в правый тиристор, а левый тиристор выключается. И, наконец, в четвертом состоянии включены оба тиристора. При этом на вход должен быть подан ток, достаточный для включения обоих тириستоров.

Четырехстабильный токовый переключатель может быть широко использован в различных цифровых устройствах.

10.3. Функциональные приборы, использующие эффекты накопления и задержки носителей

Рассмотрим функциональную микросхему — линию задержки. Принцип действия линии задержки основан на задержке и накоплении носителей вследствие конечной скорости дрейфа неосновных носителей.

На рис. 10.2 приведена схема одного из вариантов линии задержки. Она представляет собой высокоомную (с временем жизни неосновных носителей порядка 1000 мкс) пластинку полупроводника p -типа с разнесенными омическими контактами, на которые подается напряжение E . Из эмиттера (области n -типа) неосновные носители инжектируются в высокоомную p -область и дрейфуют под действием поля вдоль пластины к правому омическому контакту со скоростью

$$V = \mu U / l, \quad (10.1)$$

где μ — подвижность неосновных носителей; U — напряжение, создающее дрейфовое поле; l — длина полупроводникового кристалла, по которому протекает ток.

На высокоомный кремний нанесен слой электропроводящего материала (рис. 10.2, а). Так как проводящая пленка шунтирует находящийся под ней полупроводник, то ток протекает по пленке, а не в полупроводнике. Протекая по высокоомному слою, неосновные носители вызывают увеличение проводимости материала и, следовательно, увеличение напряжения на резисторе R . Когда носители достигнут проводящего слоя, падение напряже-

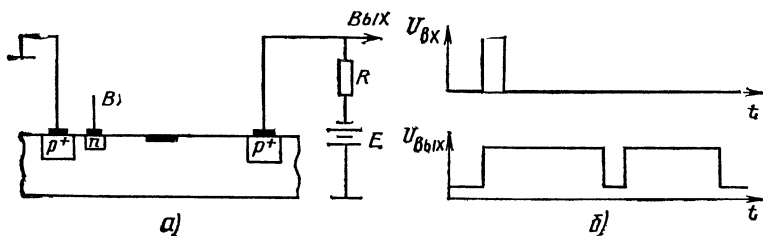


Рис. 10.2. Линия задержки

ния на резисторе R снизится до напряжения при отсутствии инъекции. Так будет продолжаться, пока носители не пройдут проводящий слой. В продолжении дрейфа носителей по высокоомному кремнию от проводящего слоя до омического контакта на резисторе R будет опять повышенное напряжение. Время прохождения носителями расстояния ΔX может быть определено из выражения (10.1):

$$\Delta t = \Delta X l / \mu U. \quad (10.2)$$

Практически были получены линии с временем задержки 500 мкс и более.

Одним из характерных примеров функциональной микросхемы является трехслойная структура, выполняющая функции выпрямителя постоянного тока (рис. 10.3, а). Выпрямитель выполнен в одном кристалле. Верхний слой представляет собой резистор, который отделен тонким слоем диэлектрика от полупроводникового слоя, выполняющего функции генератора термо-ЭДС. Изоляционный слой должен обладать хорошей электроизоляцией и в то же время хорошей теплопроводностью. В связи с тем, что тепловая постоянная структура значительно больше периода изменения переменного тока, температура за время периода практически не изменяется, а следовательно, не изменяется и выходное напря-

жение. При подведении к резистивному слою переменного тока выделяемое тепло будет передаваться через очень тонкий изоляционный слой к p -слою. Верхняя граница этого слоя будет нагреваться и благодаря эффекту Зеебека в нем будет развиваться термо-ЭДС. Таким образом, подавая на вход переменное напряжение, на выходе будем получать постоянное напряжение с очень малой амплитудой пульсации. Значит, по выполняемым функци-

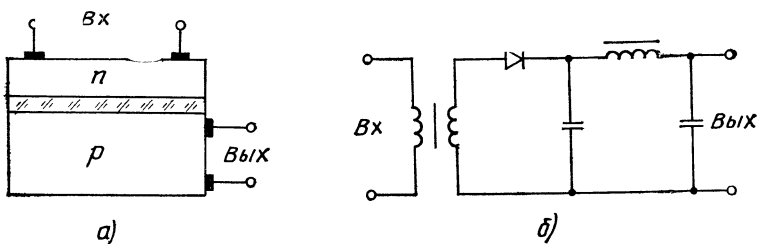


Рис. 10.3. Структура (а) и эквивалентная схема (б) выпрямителя

ям такая микросхема эквивалентна схеме, состоящей из пяти отдельных элементов: трансформатора, дросселя, диода и двух емкостей (рис. 10.3, б).

10.4. Молекулярная электроника

Молекулярная электроника — область электроники, в которой функциональные электронные компоненты и устройства организованы на уровне отдельных молекул и их комплексов. Это направление непосредственно примыкает к бионике. В биологических системах процессы преобразования информации протекают, как правило, на молекулярном уровне, что обуславливает малые мощности рассеяния и очень высокий уровень миниатюризации.

Эффект выпрямления в молекулярном выпрямителе происходит на уровне молекулы, один конец которой — акцептор — легко захватывает электрон, а другой — донор — легко его отдает. В таком приборе электрический ток свободно протекает только в одном направлении — от акцептора к донору. Создание реальной конструкции молекулярного выпрямителя осложняется необходимостью предотвращения возможного взаимодействия акцептора и донора (эквивалентного короткому замыканию цепи) и проблемой подсоединения выводов.

Работа молекулярного ЗУ основана на наличии или отсутствии в донорах и акцепторах двух избыточных электронов, что может быть использовано для отображения 1 или 0. Такие ЗУ будут обладать огромным быстродействием, обусловленным тем, что время переключения определяется временем перемещения электронов вдоль молекулы. Теоретически время переключения составляет 10^{-15} с. Ре-

ально время будет, вероятно, ограничено сопротивлением внешней цепи.

На основе сложных молекул можно создавать логические схемы непосредственно на поверхности экранов соответствующих индикаторов, поскольку молекулярные проводники прозрачны.

Ведутся разработки, основанные на эффекте, получившем название «электромагнитный молекулярный резонанс». Эффект наблюдается в длинноцепочечных полимерах. Нарушение статической электронной плотности на одном конце молекулярной цепочки, возникающее в результате воздействия излучения ионного лазера, в течение 10^{-15} с распространяется вдоль полимерной цепочки, достигает другого ее конца и отражается. Вся молекулярная цепочка резонирует в диапазоне 10^{13} — 10^{14} Гц.

Явление электромагнитного молекулярного резонанса может быть использовано для создания на различных молекулярных цепочках генераторов гармоник, параметрических усилителей, гетеродинных детекторов и других устройств.

10.5. Оптоэлектроника

Оптоэлектроника базируется на электронно-фононных методах получения, передачи и хранения информации. В настоящее время независимо развиваются два направления: электронно-оптическое и лазерное.

Первое электронно-оптическое направление использует внутренний фотоэффект и электролюминесценцию. Используя оптические связи, можно обеспечить полную электрическую развязку между элементами, малый уровень шумов и высокую надежность. Одним из первых шагов в этом направлении явилось создание оптронов, преобразующих электрический сигнал в оптический и наоборот. Оптоны нечувствительны к искрению и вибрациям, быстродействие их достигает нескольких наносекунд, ширина полосы частот 5 МГц.

Наиболее радикальным методом миниатюризации является создание оптических интегральных схем (ОИС). В качестве источников света доминирующее положение занимают полупроводниковые светоизлучающие диоды. Однако для использования в ОИС больше подходят лазеры. Наиболее перспективными приемниками являются фотодетекторы с внутренним фотоэффектом.

Лазерное направление основывается на эффектах взаимодействия твердого тела со светом. Примером оптической реализации возможностей лазерного направления могут служить оптические ЗУ большой емкости, устройства распознавания образов и в будущем — управляемые функциональные среды. Основные преимущества оптических ЗУ обусловлены большой плотностью записи информации, малой стоимостью и высокой надежностью.

Основным методом построения оптических ЗУ является голографический. Этот метод основан на страничной организации, при которой записывается и считывается сразу целая страница, содержащая 10^3 — 10^5 бит информации, в результате чего обеспечивается параллельный ввод и вывод данных. Благодаря большой емкости таких ЗУ и параллельности их действия отпадает необходимость многократного обращения к ЗУ и сильно упрощается организация адресации. Однако для достижения ожидаемых параметров оптических (лазерных) ЗУ необходимо решить ряд сложных конструкторских и технологических проблем. Среди них — безынерционное

отклонение оптического пучка, модуляция пучка с требуемой скоростью и соответствующей временной последовательностью выполнения записи, считывания и стирания, отсутствие лазеров с импульсной мощностью более 10 кВт при длительности импульса порядка 10 нс, поиск необходимых материалов и др. Все это задерживает разработку оптических ЗУ. Пока созданы лишь опытные образцы голографических ЗУ.

10.6. Акустоэлектроника

Акустоэлектроника использует процессы и явления, связанные с возбуждением и распространением в твердых телах и приемом ультразвуковых волн очень высокой частоты — от десяти до нескольких тысяч мегагерц. Освоение этого диапазона ультразвуковых частот способствовало открытию акустоэлектронных эффектов и явлений, которые позволяют создавать твердотельные устройства совершенно новых типов.

Принцип работы этих устройств основан на преобразовании энергии электрического сигнала в упругие волны, которые распространяются в твердом теле со сравнительно малой скоростью (на пять порядков меньше скорости электромагнитных волн). Благодаря этому открываются новые возможности для микроминиатюризации РЭА.

Использование акустоэлектронных устройств с поверхностной волной позволяет решать практически все виды обработки информации: задержку, фильтрацию, усиление и др. Причем технология изготовления акустических систем совместима с технологией ИС. Это дает возможность создавать гибридные устройства из акустических и электронных микросхем. К настоящему времени уже созданы устройства на поверхностных волнах: линии задержки, усилители, фильтры, ЗУ и т. п.

Простейшими устройствами являются линии задержки. Они работают в диапазоне частот 30—300 МГц, однако могут работать в более высокочастотном диапазоне. Звукопровод (из рубина, сапфира и др.) длиной всего 1 см обеспечивает такую задержку сигнала, для создания которой потребовалась бы коаксиальная линия длиной в сотни метров. Для преобразования электрического сигнала в звуковую волну и наоборот используются пьезокристаллы из ниобата лития.

Благодаря возможности съема электрического сигнала с любой точки поверхности кристалла можно легко выполнять многоотводные линии задержки и получать серию импульсов, следующих друг за другом с заданным интервалом времени.

Другим примером использования акустоэлектронных эффектов являются ВЧ фильтры. Эти устройства могут быть сконструированы с любой наперед заданной частотной характеристикой. С их помощью можно производить весьма сложную обработку сигналов, создавая корреляционные, кодирующие и другие устройства с чрезвычайно малыми габаритами. Так разработан фильтр на частоту 50 МГц длиной всего 30 мкм.

На акустических поверхностных волнах выполняются также усилители ультразвука. Коэффициент усиления их достигает сотен децибел на 1 см длины кристалла. Усиление электрических сигналов было получено на частотах до 30 ГГц. Явление усиления акустичес-

ких волн можно использовать также и для генерации ВЧ электромагнитных колебаний.

К основным преимуществам акустоэлектронных приборов на поверхностных волнах, обеспечивающих их широкое применение, относятся: плановая конструкция и использование хорошо освоенной технологии, аналогичной технологии изготовления ИС; простота конструкции; повторяемость характеристик; высокая стабильность; радиационная стойкость; малая потребляемая мощность.

10.7. Криогенная электроника

В последнее время все более широкое практическое применение находит явление сверхпроводимости. Устройства, основанные на явлении сверхпроводимости, позволяют получить такие параметры, которые недостижимы в устройствах, использующих другие известные в настоящее время физические явления.

Значительных успехов ожидают и от перевода вычислительных устройств на сверхпроводящие элементы. Это позволит увеличить быстродействие ЭВМ до 10^{-11} с, уменьшить расходуемую энергию до 10^{-18} Дж и значительно увеличить функциональную плотность. Все эти возможности могут быть практически реализованы с помощью переходов Джозефсона, основанных на эффектах, которые были открыты еще в 1962 г.

Переход Джозефсона имеет довольно простое устройство. Он состоит из двух сверхпроводящих слоев, либо соединенных сверхпроводящей перемычкой, либо разделенных тонким слоем несверхпроводящего материала. Этот переход характеризуется рядом необычных свойств:

1) в отсутствие напряжения на переходе через него может протекать постоянный ток (стационарный эффект Джозефсона);

2) при подаче на переход напряжения смещения переход не только пропускает постоянный ток, но и генерирует колебания, частота которых пропорциональна смещению (нестационарный эффект, индуцируемый самим переходом);

3) нестационарный эффект Джозефсона, индуцируемый внешними полями.

Устройства на эффекте Джозефсона могут явиться основой для создания нового поколения ЭВМ. Серьезным препятствием для применения этих приборов считается необходимость поддержания низкой температуры (4,2 К), однако для охлаждения центрального процессора и некоторых ЗУ на приборах Джозефсона окажутся пригодными обычные галиевые устройства.

Такие приборы уже находят практическое применение. Они успешно изготавливаются, а в ряде случаев выпускаются серийно. Плечные же приборы, которые найдут применение главным образом в вычислительной технике, требуют еще технологической отработки для получения воспроизводимых и стабильных характеристик.

В качестве примера приведем ячейку памяти. Информация хранится в виде циркулирующих токов с разным направлением циркуляции, при этом запоминающий контур содержит два джозефсоновских перехода. Вентили находятся в сверхпроводящем состоянии, если вентильный ток ниже порогового значения I_m . В противном случае вентиль переключается в обычное состояние. Полярность тока определяет, какой вентиль будет переключен, т. е. определяет направление циркулирующего тока после цикла записи. Считывание

неразрушающее, с помощью вентиля опроса, управляемого током, подаваемым в правую область запоминающего контура. Запоминающий контур весьма велик ($500 \times 625 \text{ мкм}^2$), поэтому скорость переключения медленная. Время переключения — около 600 нс, т. е. операции с памятью возможны на частотах порядка 1 ГГц. Особую ценность представляет стабильность считывания, связанная с квантовой природой ячейки памяти.

10.8. Теплоэлектроника

Электротепловые функциональные микросхемы осуществляют передачу теплового сигнала. Они выполняют заданные функции благодаря использованию электрических и тепловых процессов в специально подобранных областях твердого тела и содержат пассивные элементы электрических цепей. Теплоэлектрические процессы значительно инерционны. Это позволяет использовать простой метод реализации больших постоянных времени в физически малых объемах. Таким образом, использование сигнала позволяет существенно уменьшить габариты и массу функциональных блоков на низких частотах. Структурно электротепловое устройство состоит из электрической части, электротеплового преобразователя электрический сигнал — тепловой сигнал, теплопровода и теплоэлектрического преобразователя.

Пока еще рано сравнивать различные способы реализации электротепловых устройств. В качестве примера таких устройств можно привести аналоги пассивных RC-линий. На основе подобных структур реализованы селективные усилители и генераторы синусоидальных колебаний. Характеристики усилителей с тепловой обратной связью имеют максимум усиления на частотах 70—80 Гц.

Глава 11.

НАДЕЖНОСТЬ. ИСПЫТАНИЕ МИКРОСХЕМ

11.1. Надежность микросхем

Надежность может быть определена как вероятность безотказной работы системы в течение заданного времени при заданных условиях работы. Так как надежность зависит от времени и убывает с увеличением срока службы изделия, то должна быть также указана продолжительность срока службы, для которого определяется надежность. При рассмотрении временной зависимости надежности удобно ввести понятие интенсивности (или частоты) отказов, определяемой для работающих микросхем, которые отказывают в единицу времени.

Предположим, что партия вновь изготовленных микросхем работала при заданных рабочих условиях. После

некоторого заданного интервала времени мы обнаружили, что N приборов выдержало испытания, а ΔN отказало. Тогда интенсивность отказов в любой заданный момент времени

$$\lambda = \frac{1}{N} \frac{dN}{dt}.$$

Рисунок 11.1 дает несколько идеализированное представление о зависимости интенсивности отказов от вре-

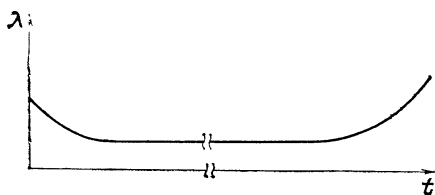


Рис. 11.1. Интенсивность отказов микросхем в зависимости от срока службы

мени. Первоначально партия содержит некоторое число микросхем, которые неисправны из-за некачественных материалов и методов изготовления, и поэтому интенсивность отказов в первый период работы высока. После того как некачественные микросхемы выйдут из строя и будут отбракованы, интенсивность отказов оставшихся микросхем уменьшается и, в конце концов, достигает постоянного значения. Вторая область (период постоянной частоты отказов) соответствует отказам, происходящим в микросхеме в установившийся период его эксплуатации вследствие различных не поддающихся контролю процессов. Третья область — отказы, возникающие из-за износа и старения.

Из изложенного следует, что надежность системы может быть повышена, если использовать только те микросхемы, которые выдержали предварительные испытания. Применение ИС значительно повысило надежность аппаратуры за счет резкого сокращения числа компонентов и соединений. Однако с увеличением сложности ИС и с переходом к БИС надежность БИС как целого прибора принципиально ниже, чем надежность более простого компонента. В настоящее время накоплены статистические данные по надежности различных типов ИС в различных эксплуатационных условиях. Интенсивность отказов современных ИС колеблется в пределах 10^{-6} — 10^{-9} 1/ч, приближаясь к уровню высоконадежных диск-

ретных элементов. В ИС элементы связаны между собой таким образом, что индивидуальная регулировка нагрузки оказывается невозможной. Например, уменьшение напряжения питания может не оказать сильного влияния на долговечность какого-нибудь конденсатора, но при этом вызвать нарушение работы схемы в целом. Потребляемая мощность для цифровых схем помимо напряжения питания может зависеть от нагрузочных коэффициентов по входу и выходу.

Интенсивность отказов МДП и биполярных ИС аналогичной сложности примерно одинакова. Отличия в основном определяются условиями применения, испытаний и контроля качества.

Интенсивность отказов гибридных микросхем несколько выше. Отказы их в большей степени определяются конструкцией и технологией изготовления в сравнении с отказами полупроводниковых схем. Это объясняется главным образом тем, что большинство процессов изготовления гибридных микросхем пока не поддается автоматизации, и поэтому при их производстве более широко используется ручной труд.

Надежность многокристалльных схем ограничена большим числом соединений между отдельными кристаллами, повреждения которых могут вызвать отказ схемы. Для повышения надежности разработки идут по пути усложнения схем, размещающихся на отдельных кристаллах, уменьшения числа кристаллов, а также числа соединительных перемычек за счет использования тонкопленочных соединений. Основное внимание разработчиков схем этого типа направлено на улучшение качества поверхности раздела между полупроводниковым кристаллом и тонкими пленками.

Тонкопленочные схемы с перевернутыми кристаллами обладают более высокой надежностью. В них вообще нет перемычек, за исключением идущих к выходным проводникам. Основной проблемой является соединение контакта кристалла с тонкопленочными проводниками.

Совмещенные схемы обладают наиболее высокой надежностью. Интенсивность отказов таких схем сравнима с интенсивностью отказов полупроводниковых.

По мере возрастания степени интеграции увеличивается удельный вес отказов, связанных с дефектами металлизации, погрешности диффузии и влиянием инородных частиц, что обусловлено уменьшением геометрических размеров элементов БИС.

Проблема повышения надежности БИС решается на всех этапах «жизни» элемента — от проектирования до эксплуатации. На этапе проектирования закладываются облегченные режимы работы элементов, проводятся унификация, оптимизация схемных решений, проектирование БИС на ЭВМ. На этапе производства применяются прогрессивные методы технологии, операционный и выходной контроль и отбраковочные испытания, автоматизация производства и контроля. На этапе испытаний применяются более совершенные методы ускоренных и долгосрочных испытаний и анализа информации. На этапе эксплуатации основными факторами повышения надежности являются правильное применение микросхем и организация периодической профилактики радиоэлектронной аппаратуры. Важнейшим средством обеспечения и повышения надежности на всех перечисленных этапах является изучение физики отказов.

Когда конструктор пытается оценить интенсивность отказов системы, реализуемой на основе БИС интегральных схем, первое, с чем он сталкивается, — это полное отсутствие данных об их эксплуатации, на которые он мог бы опереться. Не приходится надеяться и на появление таких сведений в обозримом будущем, поскольку не представляется возможным применить анализ отказов для определения надежности БИС. Для подтверждения расчетной надежности потребовалось бы подвергать испытаниям недопустимо большое число БИС из рассматриваемой партии, на что пришлось бы затрачивать недопустимо много времени. Так, например, чтобы подтвердить с 90%-ной доверительной вероятностью интенсивность отказов, равную $1 \cdot 10^{-8}$ 1/ч для ИС в виде одиночного вентиля, необходимо, чтобы 10 тыс. таких деталей проработали без единого отказа в течение 31,5 месяца или при одном отказе 53 месяца. Поскольку в БИС ожидается меньшая интенсивность отказов в пересчете на один вентиль, указанные цифры должны возрасти.

Если учесть быстроту, с которой изменяется сама технология производства ИС, результаты такого анализа будут устаревать скорее, чем их удастся получить. По существу для изготовления ИС используется та же последовательность технологических операций вплоть до операции разламывания пластины с ИС на отдельные кристаллы. Вместо этой последней операции при изготовлении БИС следует реализация заданных логических

функций нанесением двух дополнительных слоев металлизации. Таким образом, интенсивность отказов БИС можно оценить, воспользовавшись данными, накопленными в ходе работы с ИС, и поняв эффекты, накладывающиеся в результате дополнительной технологической обработки, необходимой для получения прибора на БИС.

Данный метод требует определения интенсивности отказов для ИС, которые по своим сложности и качеству сравнимы с элементами рассматриваемых БИС. Эта интенсивность отказов затем распределяется по видам отказов, которые ее вызывают. Механизмы отказов, обуславливающие каждый вид отказа, сводятся в группу, соответствующую той операции технологического процесса, на которой эти источники отказов вводятся, причем для каждого вида отказа определяются весовые коэффициенты, отражающие частоту данного вида отказа. Полученным частным интенсивностям отказов приписываются определенные весовые коэффициенты, позволяющие учесть различие между технологическими методами изготовления ИС и БИС. В результате суммирования этих взвешенных частных интенсивностей отказов можно получить интенсивность отказов БИС.

Интенсивность отказов микросхемы

$$\lambda_m = \lambda_b \pi_c \pi_k \pi_{oc} \pi_Q,$$

где λ_b — базовая интенсивность отказов (функция температуры); π_c — коэффициент, сложность схемы; π_k — коэффициент, учитывающий тип корпуса; π_{oc} — коэффи-

Т а б л и ц а 11.1

Вид отказа	Вклад отказа данного вида, %	$\lambda_{\text{БИС}}$, %/10 ⁶ ч
Отказы из-за дефектов в проводниках и сварных соединениях	33	0,970
Отказы из-за дефектов металлизации	26	0,765
Отказы из-за поверхностных явлений	7	0,206
Отказы из-за фотолитографических дефектов	18	0,529
Отказы из-за дефектов установки кристалла в корпус	10	0,294
Прочие виды отказов	6	0,176
Всего	100	2,940

Таблица 11.2

Операция, обуславливающая отказы данного вида	Механизм отказа	Относительная частота отказа, %	$\lambda_{ИС} \cdot \% / 10^6 \text{ ч}$	ω	$\lambda_{БИС} \cdot \% / 10^6 \text{ ч}$
Приварка выводов (получение термокомпрессионного сварного соединения)	Трещины или сколы в кристалле. Перевар или неперевар	70	0,679	P/14	P (0,485)
Проектирование сварных соединений	Несовместимость материалов, приводящая к загрязнению контактной площадки. Образование эвтектического сплава золота — алюминий («пурпурная чума»). Недостаточная площадь контактных площадок из-за малого расстояния между ними. Неправильный выбор режима термокомпрессионной сварки или неправильное проведение этой операции. Плохое совмещение вывода с контактной площадкой	10	0,097	1	0,097
Сварка	Слишком большая длина выводов и неправильная ориентация кристалла. Наличие зазубок, насечек и следов абразива на выводах. Слишком длинные хвостики, оставшиеся после подрезки выводов	20	0,194	P/14	P (0,139)

Таблица 11.3

Операция, обуславливающая отказы данного типа	Механизмы отказа	Относительная частота отказа, %	$\lambda_{ИС}$, %/10 ⁶ ч	ω	$\lambda_{БИС}$, %/10 ⁶ ч
Обращение с кристаллом в ходе изготовления БИС	Царапины и грязь на металлизации (повреждения, обусловленные обращением)	60	0,459	3	1,377
Проектирование проводников и контактных площадок	Малая толщина металлизации из-за малого времени нанесения или наличие ступеней окисла	20	0,153	1	0,153
Металлизация	Загрязнение окисла; несовместимость материалов. Коррозия (из-за неполного удаления химически активных веществ). Механическое несомещение кристалла и маски, а также загрязненные контактные площадки. Неправильный выбор температуры или длительности сплавления	20	0,153	1	0,153

Таблица 11.4

Операция, обуславливающая отказы данного вида	Механизм отказа	Относительная частота отказа, %	$\lambda_{ИС}$, $\%/10^6$ ч	ω	$\lambda_{БИС}$, $\%/10^6$ ч
Подготовка полупроводниковой пластины	Трещины, сколы и царапины (повреждения из-за неаккуратного обращения с пластиной). Загрязнение	50	0,103	g/10	g (0,0103)
	Трещины и микроканалы. Неравномерность по толщине	50	0,103	3	0,309

Таблица 11.5

Операция, обуславливающая отказы данного вида	Механизм отказа	Относительная частота отказа, %	$\lambda_{ИС}$, $\%/10^6$ ч	ω	$\lambda_{БИС}$, $\%/10^6$ ч
Маскирование	Царапины и пятна на фотошаблоне. Несовмещение. Нерегулярности рисунка, проецируемого на фоторезист (неодинаковая ширина линии, различные по размерам зазоры между ними, а также различные диаметры отверстий)	50	0,2645	1	0,2645
Травление	Неправильно удаленный окисел. Подтравливание. Неравномерность травления. Загрязнение (фоторезистом, полностью удаленными химически активными веществами)	50	0,2645	2	0,5290

Таблица 11.6

Операция, обуславливающая отказ данного вида	Механизм отказа	Относительная частота отказа, %	$\lambda_{ИС}$, $\%/10^6$ ч	ψ	$\lambda_{БИС}$, $\%/10^6$ ч
Подготовка пластины	Дислокация и дефекты упаковки в кристалле. Неравномерность удельного сопротивления. Нерегулярности поверхности	20	0,0352	1	0,0352
Разламывание разрезной скрайбером пластины	Неправильно выполняемое разламывание пластины, приводящее к получению кристаллов с трещинами и сколами. Пустоты между подложкой и кристаллом	20	0,0352	0	—
Приварка кристалла к основанию корпуса (подложке)	Слишком широкая наплавка и (или) наличие оторвавшихся частиц припоя. Плохое качество сварного соединения кристалла с основанием. Несовместимость материалов кристалла и основания	40	0,0704	5	0,3520
Помещение кристалла в корпус	Оторвавшиеся проводящие частицы в корпусе. Неправильная разметка	15	0,0264	5	0,1320
Прочие операции	Неправильный профиль распределения легирующих примесей из-за отсутствия должного управления соответствующей операцией. Конструирование	5	0,0088	1	0,0088

циент, учитывающий условия окружающей среды π_q — коэффициент качества.

Интегральная схема, которую будем рассматривать как ячейку БИС, представляет собой трехходовый логический вентиль И—НЕ в плоском корпусе с выводами, приваренными с помощью припоя в виде эвтектического сплава; микросхема рассчитана на работу при температуре 50° С. Используя выражение для λ_m , находим

$$\begin{aligned}\lambda_m &= (0,0098 \text{ отказ./}10^6 \text{ ч.} \cdot 1 \cdot 2,0 \cdot 1,5 \cdot 1 = \\ &= (0,0294 \text{ отказ./}10^6 \text{ ч}) = 3 \cdot 10^{-8} \text{ 1/ч.}\end{aligned}$$

Определенную таким путем интенсивность отказов ИС можно разложить на частные интенсивности отказов, соответствующие видам отказов, которые наблюдаются в ИС. В табл. 11.1 приведены виды отказов ИС, их относительные вклады в результирующую интенсивность отказов данной ИС и частные интенсивности отказов $\lambda_{\text{БИС}}$. Эти данные получены на основе анализа отказов и сведений об отказах, получаемых при эксплуатации.

Для детального сопоставления видов отказов ИС и БИС необходимо осуществить дальнейшее разбиение интенсивностей отказов по механизмам отказов, обуславливающим каждый вид отказа. Механизм отказов следует свести в группы, каждой из которых отвечает определенная технологическая операция, являющаяся источником отказов данного вида. Такая группировка служит основой для экстраполяции различий в технологии изготовления ИС и БИС. Для приписывания механизмов отказов правильных весов в некоторых случаях необходимо учитывать используемые технологические методы и материалы. Однако это нужно делать лишь тогда, когда от выбора того или иного альтернативного варианта существенно меняется надежность получаемого изделия.

В табл. 11.2—11.6 каждый вид отказа, приведенный в табл. 11.1, соответственно рассматривается более подробно. В ней указаны типичные значения. Следовательно, значения $\lambda_{\text{ИС}}$ являются приближенными; они округлялись до ближайшего 5%-ного вклада. Весовые коэффициенты w показывают, как различия в технологии ИС и БИС влияют на интенсивность отказов. Каждая составляющая общей интенсивности отказов БИС получена умножением интенсивности отказов ИС на соответствующий весовой коэффициент для БИС.

Складывая частные интенсивности отказов, приведенные в 6-м столбце табл. 11.2—11.6, можно получить общую интенсивность отказов для БИС.

Расчетные интенсивности отказов БИС, спроектированных с учетом определенного разбиения логического устройства, позволяют рассчитывать надежность систем.

11.2. Испытания микросхем

По мере увеличения сложности ИС повышаются требования к методам выявления неисправных микросхем. Контроль параметров микросхем в процессе производства является единственным способом проверить, что готовая ИС будет выполнять свои функции. Для провер-

ки ИС на полупроводниковой пластине применяются как статические измерения, при которых на входы подают сигналы постоянного тока и измеряют выходные реакции схемы, так и динамические измерения, обеспечивающие достаточно хорошее приближение к реальным рабочим условиям.

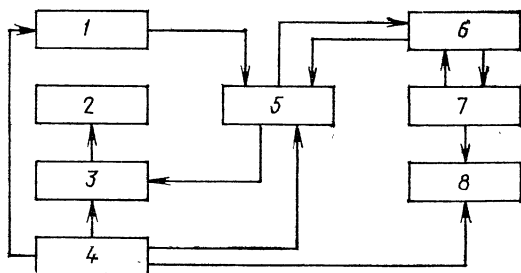


Рис. 11.2. Структурная схема установки для проведения динамических испытаний:

1 — устройство электрического возбуждения; 2 — экран для воспроизведения данных; 3 — осциллограф с числовым считыванием информации; 4 — пульт управления; 5 — матрица переключателей; 6 — рабочая плата и пробник; 7 — испытываемая ИМС; 8 — устройство для перемещения ИМС

Динамические характеристики — это такие, которые измеряются при условии, что входной сигнал и ответная реакция схемы периодически или непрерывно изменяются с периодом, соответствующим номинальным эксплуатационным режимам ИС. Так, время задержки ИС, предназначенных для работы на частоте 10 МГц, должно измеряться импульсами с частотой повторения 10 МГц.

Измерительная установка для проверки ИС, снабженная автоматическим программным устройством, способна выполнять до 40 контрольных операций за 2 с. Если ИС годная, то проверка на установке продолжается. Если же у какой-либо ИС обнаруживается несоответствие требованиям хотя бы на одной из 40 контрольных операций, то эту ИС установка маркирует черной краской.

Для контроля ИС малой степени интеграции применялись, как правило, измерения статических характеристик. Но поскольку при этом невозможно предусмотреть все уровни входных сигналов, которые могут иметь место в БИС, результаты таких измерений могут оказаться

недостаточными. Некоторые «дефектные» ИС пройдут контроль, и брак обнаружится лишь при окончательной проверке на функционирование, которую обычно производят уже после того, как пластина с ИС будет заключена в корпус. Снижение выхода годных микросхем на этой стадии обходится слишком дорого.

По этой причине наряду со статическими измерениями перед корпусированием пластин проводят функциональные испытания. Качество схемы в этом случае можно оценить в результате одного измерения. В сложных ИС отдельные элементы не проверяют, а проводят динамические испытания всей ИС, что позволяет получить полное представление о ее функционировании. Некоторые типы ИС (такие, как динамическая МДП-схема регистра сдвига, приборы с зарядовой связью, динамическая схема ЗУ с произвольной выборкой) можно проконтролировать только с помощью динамических испытаний, дающих возможность оценить работу схемы в условиях переходных процессов. Структурная схема устройства для динамических испытаний групповым методом приведена на рис. 11.2.

Рабочая плата (выбираемая в зависимости от типа испытуемой ИС) состоит из ряда дискретных согласующих элементов, расположенных на печатной плате, и других необходимых элементов. Зондирование осуществляется с помощью матрицы фиксированных контактных выводов (пробника), закрепленных на небольшой пластмассовой квадратной рамке. Для проведения динамических испытаний емкость и индуктивность пробника должны быть незначительными; кроме того, пробник должен образовывать низкоомный контакт с мягкими золотыми балочными выводами ИС без их повреждения, а также обладать высокой надежностью и долговечностью.

Электрический сигнал (импульсный или постоянного тока) с помощью матрицы языковых переключателей подается через рабочую плату на ИС; выходной импульс через те же переключатели с минимальным искажением подается на измерительное устройство, которым обычно является осциллограф с цифровым считыванием информации, обеспечивающий снятие динамических характеристик импульсов. При использовании механически прижимаемых к пластине точечных зондов результаты проверки нельзя считать надежными до тех пор, пока схема не будет собрана в корпус.

При испытаниях для обеспечения электрического контакта с нужными точками схемы применяется специальное устройство — головка зондов, служащая для очень точной установки каждого зонда в нужную точку ИС на пластине. При массовом производстве ИС применяется несколько испытательных головок с числом зондов от 3 до 60 с ручной, полуавтоматической или полностью автоматической установкой положения зондов. Ручная установка производится с помощью микрометрических винтов, находящихся по обеим осям координат; в автоматических головках установка производится с помощью микрометрических винтов, приводимых в действие шаговыми электродвигателями. По окончании испытаний головка поднимается с помощью пневматического привода или механизма, также приводимого в действие шаговым электродвигателем. Данные измерений автоматически считываются в цифровой форме. Эти цифровые данные подаются прямо на ЭВМ, которая в соответствии с заданными допусками определяет, следует ли пропустить данную ИС.

Виды испытаний микросхем. Все испытания осуществляются в двух направлениях: определение пределов механических и климатических воздействий (так называемые оценочные или конструктивные испытания) и определение долговечности в различных окружающих условиях (периодические испытания).

Оценочные испытания — это небольшие выборки (по 20 схем), испытываемые при различных механических и климатических воздействиях для определения предельных условий эксплуатации.

Обнаруженные дефекты классифицируются по видам отказов (полный и постепенный). Перечислим условия испытаний:

1) механическая ударная нагрузка — десять следующих друг за другом ударов с ускорением до 20 000 g в течение 1 мс;

2) постоянное ускорение до 100 000 g в разных направлениях;

3) хранение схем в течение трех суток при температуре свыше 125°С;

4) хранение схем в течение трех суток при температуре —60°С;

5) быстрый перепад температур — пять циклов с перепадами температуры (—60°С+125°С);

6) эксплуатация в условиях высоких температур —

работа схемы в течение суток при повышении температуры до 160°C ;

7) повышенное напряжение питания — 8,5 В вместо максимально допустимого напряжения 7,5 В;

8) хранение во влажном тепле — три испытания при постоянной температуре 40°C и относительной влажности до 95 %.

Периодические испытания проводятся в различных окружающих условиях; их продолжительность достигает 5000 ч. После каждого испытания изделия классифицируются по категориям отказов: полный отказ (короткое замыкание, невыполнение логических функций) и постепенный (превышен допустимый разброс параметров).

Затем по соответствующим оценочным таблицам рассчитываются показатель качества и средняя интенсивность отказов λ . По найденным значениям прогнозируется надежность всей партии изделий, которые были изъяты для выборочного контроля.

Т а б л и ц а 11.7

Виды испытаний	Условия и режимы
Визуальная проверка кристаллов	При увеличении не менее чем в 200 раз
Визуальная проверка перед герметизацией	Увеличение не менее чем в 40 раз
Хранение при высокой температуре	96 ч при максимально допустимой температуре
Термоциклирование	10 циклов с перепадами от -65 до $+125^{\circ}\text{C}$
Постоянное ускорение	20 000 g
Электрические испытания	Измерение и запись критичных параметров при $+25^{\circ}\text{C}$
Термоэлектрические испытания	24 ч при максимально допустимой температуре и обратном смещении
Электрические испытания	Измерение и запись годен — не годен при $+25^{\circ}\text{C}$
Тренировка	240 ч при максимально допустимой температуре
Электрические испытания	Измерение и запись критичных параметров. Отбраковка приборов с изменением уровня логического сигнала на +10 % и увеличение тока утечки в 10 раз
Проверка герметичности, радиографическая проверка	Тонкая и грубая

Для проведения испытаний на старение микросхемы также были распределены по группам в соответствии с различными условиями хранения и эксплуатации.

В табл. 11.7 перечислены виды испытаний и тренировок, выбранных как наиболее эффективные для обнаружения и исключения потенциально ненадежных микросхем на МДП-структурах.

Заключение

Развитие микроэлектроники происходит так стремительно, что порой опережает самые смелые прогнозы в этой области. Особенно подвержена изменениям технология ИС, широко использующая последние достижения науки и техники в областях электромагнетизма, термодинамики, электроакустики, квантовой механики и др. Физические пределы, соответствующие какой-либо технологии, резко расширяются при переходе на другую технологию.

Параметры микросхем в решающей степени определяют технико-экономические и эксплуатационные характеристики радиотехнических систем в целом. Именно поэтому установившееся понятие поколений РЭА в первую очередь связано с поколениями развития элементной базы и физическими принципами ее построения. Создание РЭА четвертого поколения идет в направлении широкого применения БИС и сверхбольших БИС (СБИС). Современный уровень развития элементной базы цифровой вычислительной техники определяется устойчивым выпуском БИС с интеграцией порядка 10^5 транзисторов на кристалл, СБИС с интеграцией около $5 \cdot 10^5$ транзисторов на кристалл и сверхскоростных ИС с задержкой сигнала примерно 0,5 нс. В таблице отражена динамика развития полупроводниковых БИС:

Параметры	Годы		
	1979	1983	1986
Геометрический размер вентиля, мкм	5	1,25	0,7
Плотность упаковки:			
число вентилях на кристалл	$6 \cdot 10^3$	$5 \cdot 10^4$	$1,5 \cdot 10^5$
число транзисторов на кристалл	$6,5 \cdot 10^4$	$2,5 \cdot 10^5$	10^6
Быстродействие вентилях, нс	12	2,5	0,6

Наметились следующие основные направления развития элементной базы средств цифровой вычислительной техники:

- создание микропроцессоров и микропроцессорных комплектов БИС;

- разработка матричных БИС широкой номенклатуры на основе базового кристалла с трассировкой соединений между логическими элементами на кристалле по заданной функциональной схеме;

- создание СБИС однокристалльных микро-ЭВМ и микроконтроллеров;

- создание СБИС запоминающих устройств;

- создание сверхскоростных БИС.

Развитие этих направлений обеспечит в значительной степени переход вычислительной аппаратуры на БИС и СБИС.

Наибольшее развитие в настоящее время получили микропроцессоры. Уже сейчас созданы 16- и 32-разрядные микропроцессоры, способные эмулировать программы больших ЭВМ. Микропроцессорные комплекты последних разработок имеют 16- и 32-разрядные внутренние шины данных, диапазон адресации памяти до 16 М байт, мощные наборы команд, структуру с несколькими уровнями совмещения (2—3 уровня), широкий набор внутренних регистров (от 8 до 17) и периферийных БИС, высокое быстродействие, системные возможности (наличие специальных схем управления запоминающими устройствами и выполнение аппаратно инструкций с плавающей запятой), большое число способов адресации, высокую степень интеграции (10^5 элементов на кристалл) выполняют операции с различными типами данных (бит, байт, полуслово, слово, двойное слово, десятичная арифметика).

Интересной представляется разработка процессоров, работающих с тем же потоком данных, что и основные кристаллы, но выполняющих только инструкции, относящиеся к ним. Примером такой БИС является модель 8087 (США), выполняющая команды обратного деления, извлечения корня, масштабирования, округления, выделение мантиссы или порядка, вычисление tg , arctg , $2^x - 1$, $\log_2 X$. Такой процессор дает 100-кратный выигрыш по быстродействию по сравнению со стандартным процессором, выполняющим подпрограммы указанных функций. Для выполнения операций с плавающей запятой в его структуре предусмотрена 64-разрядная внутренняя

шина, 68-разрядное арифметико-логическое устройство, 80-разрядный регистровый стек. Для реализации такой сложной структуры на кристалле размером 8×9 мм² размещено $6,5 \cdot 10^4$ вентиляей.

Появление универсальных микропроцессоров, безусловно, улучшило качество цифровых устройств вычислительной техники, но почти не затронуло сферы аналоговой техники. Однако этот разрыв между аналоговыми и цифровыми системами в настоящее время преодолевается с помощью микропроцессора для обработки аналогового сигнала, представляющего собой однокристалльный цифровой процессор. Его можно применять всюду, где используются аналоговые схемы. Запрограммировав, или настроив на нужную область применения, его можно использовать вместо катушек индуктивности, конденсаторов и операционных усилителей и даже для генерирования колебаний, модуляции, смещения сигналов, фильтрации, кодирования и декодирования в реальном масштабе времени. Прибор может также распознавать и синтезировать речь, выполнять быстрое преобразование Фурье и спектральный анализ. К этой же категории можно отнести и однокристалльные микро-ЭВМ с встроенными аналого-цифровыми преобразователями.

В настоящее время все чаще на кристалле процессора располагают запоминающее устройство оперативной памяти данных (ЗУПВ), генератор тактирующих сигналов и средства ввода—вывода. Это позволяет построить двухкристалльную микро-ЭВМ или микроконтроллер, добавляя одну внешнюю программируемую БИС ПЗУ. Наиболее интересным конструктивным исполнением этого варианта является микро-ЭВМ с приставкой-гнездом для установки стираемого программируемого ПЗУ. Это позволяет отрабатывать программы и проверять работоспособность микро-ЭВМ с программой, содержащейся в стираемой памяти. После этого можно начинать серийный выпуск с масочными ПЗУ.

Начался выпуск однокристалльных микро-ЭВМ и микроконтроллеров различного назначения. Практически любая схема, которую необходимо использовать с микропроцессором, создается на том же самом кристалле. Так, например, на кристалле 16-разрядного микропроцессора, помимо ОЗУ и устройств ввода — вывода размещаются схемы цифроаналогового преобразователя и электрически программируемое ПЗУ. Разрабатываются также специализированные микро-ЭВМ, ориентирован-

ные на выполнение конкретных задач.

Одним из наиболее важных достижений настоящего времени в области микроэлектроники является реализация БИС и СБИС на основе некоммутированных логических матриц. Эти БИС занимают промежуточное положение между стандартными БИС и дорогими заказными схемами. По-видимому, они станут основным видом логических схем следующего поколения. Логические матрицы представляют полужаказные БИС, на которых можно реализовать большинство схем с произвольной логической структурой, заменяя целые блоки, выполненные в настоящее время на логических микросхемах малой и средней степени интеграции. Они позволяют разработчикам ЭВМ усовершенствовать существующие архитектурные решения, не увеличивая габариты аппаратуры и не изменяя программного обеспечения.

Матричные БИС, расширяющие элементную базу ЭВМ, позволяют эффективно реализовать широкую номенклатуру функциональных схем заказных БИС и ориентированы в основном на высокопроизводительные ЭВМ. Методы проектирования матричных БИС во многом близки к методам проектирования функциональных узлов для ЭВМ третьего поколения и дают наиболее удачное техническое решение проблемы расширения номенклатуры БИС, при котором базовый матричный кристалл превращается в БИС конкретного типа с помощью аппаратной «настройки» межэлементных соединений по заданной функциональной схеме. При изготовлении матричных БИС используется один общий комплект фотомасштаблов для создания полупроводниковой структуры базового матричного кристалла и меняются лишь фотомасштаблы металлизации соединений для БИС каждого типа. Этот метод позволяет наиболее полно автоматизировать все этапы проектирования БИС. При использовании базового матричного кристалла и автоматизированной системы трассировки межэлементных соединений могут быть достигнуты относительно низкая стоимость и незначительная длительность изготовления заказных БИС широкой номенклатуры.

Существуют три разновидности некоммутированных логических матриц: программируемые в условиях эксплуатации, подобно кристаллам ПЛМ; базовые кристаллы; кристаллы со стандартными логическими элементами.

Наибольший интерес представляют базовые кристал-

лы. К ним относятся два типа: матрицы среднего и высокого быстродействия — МОП, КМОП, И²Л и ТТЛШ; сверхбыстродействующие матрицы эмиттерно-связанных логических схем (ЭСЛ).

Наибольшее распространение в настоящее время получили КМОП матрицы. Так, например, разработана матрица на 5000 вентилях с задержкой менее 3 нс на вентиль.

Важным достижением является создание на матричных БИС некоторых вариантов мини-ЭВМ. Центральный процессор такой системы реализован на одном матричном кристалле ($4,5 \cdot 10^3$ компонентов) с машинным циклом 100 нс. На матрице размещено 4923 логических схемы и сделано 10 000 соединений.

Основной тенденцией развития БИС ЗУ в настоящее время является повышение степени интеграции приборов с одновременным улучшением их энергетических и динамических характеристик. Особенно ярко об этом свидетельствуют создание и освоение в производстве динамических ЗУПВ на *n*-МОП-структурах информационной емкостью 256 К бит и временем выборки 100 нс. Таким образом, для микросхем памяти впервые была достигнута сверхбольшая степень интеграции. СБИС динамического ЗУПВ размещена на кристалле площадью 42 мм² и изготовлена по технологии молибденово-поликремниевых затворов, по методу непосредственного пошагового репродуцирования. Сверхвысокая степень интеграции была достигнута также при создании статических ЗУПВ, ПЗУ, программируемого ПЗУ и ЗУ на цилиндрических магнитных доменах. Так, СБИС программируемых ПЗУ МНОП типа достигли информационной емкости 64 К бит и времени выборки 200 нс; биполярные СБИС ОЗУ — 64 К бит и времени выборки 50 нс; СБИС биполярных ПЗУ достигли уровня 256 К бит; ЦМД ЗУ преодолели барьер 1 Мбит.

Что касается сверхскоростных БИС, то в настоящее время начинают появляться логические микросхемы на арсениде галлия с относительно высокой плотностью упаковки. Разработаны следующие типы ИС на арсениде галлия: логические микросхемы на полевых транзисторах с обеднением (буферизованная логика), логические схемы на полевых транзисторах с диодами Шотки и логические схемы на полевых транзисторах с обогащением (логика с непосредственными связями). Во всех указанных схемах используются полевые транзисторы со

структурой металл — полупроводник, однако при изготовлении схем с непосредственной связью применяются обычные МДП-транзисторы и полевые транзисторы с управляющими $p-n$ -переходами и гетеропереходами. Уже созданы достаточно сложные схемы. Например, БИС умножителя двух 8-разрядных чисел, содержащая 1008 вентиля и выполняющая умножение за 5,3 с. Это примерно в 10 раз превышает быстродействие аналогичных БИС, выполненных на кремнии. Создана также сверхбыстродействующая однокристалльная микро-ЭВМ, по своим показателям существенно превосходящая аналогичные микро-ЭВМ на кремниевых кристаллах.

Еще более высокое быстродействие может быть достигнуто в микросхемах на переходах Джозефсона. Логика на переходах Джозефсона будет обладать непревзойденным произведением мощности на время задержки, однако для устранения задержек в монтажных соединениях потребуется использовать микросхемы с сверхбольшой степенью интеграции. Кроме того, не менее сложным будет решение проблем монтажа и сборки в корпуса этих микросхем, работающих при температурах, близких к абсолютному нулю.

Для серийного выпуска приборов с высокими показателями необходимо расширять возможности полупроводниковой технологии. Признаком прогрессивной технологии является ее способность к конкуренции с другими технологиями, позволяющими получить БИС с более высоким быстродействием или плотностью упаковки. Практика показала, что технология КМОП-схем начала вытеснять технологию n -канальных МОП БИС, которые в свою очередь конкурируют с биполярными приборами; биполярная технология, по которой производятся ЭСЛ приборы, может завоевать часть областей применения, отводимых арсенид-галлиевым схемам; схемы на арсениде галлия с малыми геометрическими размерами, работающие при низких температурах, смогут приблизиться по быстродействию к приборам на переходах Джозефсона, которым пока по этому показателю нет равных.

В настоящее время полупроводниковой промышленностью получены образцы БИС и СБИС с субмикронными размерами вентиля. Чтобы выпускать такие приборы в серийном производстве, нужны новые методы, технологические процессы, оборудование и материалы. К настоящему времени уже выполнена часть таких работ. К наиболее важным методам относятся:

новые методы литографии (оптические и неоптические), позволяющие экспонировать элементы размером 1—2 мкм и менее;

замена жидкостного травления на один из методов сухого травления (ионно-лучевое травление, травление в плазме и ионно-реактивное травление);

использование низкоомных силицидов и тугоплавких металлов для замены межсоединений из высокоомного поликремния;

применение многослойных резистов для компенсации неровностей поверхности пластин;

неоптические методы проверки ширины линий и точности совмещения последовательности слоев;

Все эти методы позволяют резко уменьшить размеры, снизить их стоимость и улучшить параметры.

Приложение

В настоящее время наибольшей популярностью у разработчиков аппаратуры пользуются микросхемы, выполненные на транзисторно-транзисторной логике (ТТЛ). Это обусловлено достаточно высоким быстродействием, относительно низкой стоимостью, а также широкой номенклатурой этих микросхем.

Для сравнения в табл. П1 приведены параметры изготовленных по различной технологии микросхем.

В табл. П2 приведены серии микросхем, выполненные по ТТЛ- и ТТЛШ-технологии, а также номенклатура микросхем, входящих в серии и их основные параметры. На базе ТТЛШ-технологии в настоящее время разработано три микропроцессорных комплекта БИС серий К589, КР1802, КР1804.

Функциональный состав серии К131: элементы И—НЕ, И—ИЛИ—НЕ, JK-триггер, D-триггер.

Функциональный состав серии К155: элементы И—НЕ, D-триггер, JK-триггер, декадные счетчики, двоично-десятичные счетчики, счетчики-делители с постоянным перепрограммируемым коэффициентом пересчета, сумматоры, сдвиговые регистры, мультиплексоры, арифметическо-логическое устройство, оперативные запоминающие устройства, одновибратор, дешифраторы, преобразователи, многофункциональные элементы.

Функциональный состав серии К134: элементы И—НЕ, ИЛИ—НЕ, многоцелевой элемент, JK-триггер, D-триггер, переключатели каналов, мультиплексоры, дешифраторы, арифметическо-логическое устройство, генератор переноса.

Функциональный состав серии К599: элементы И—НЕ, И—ИЛИ—НЕ, приемники сигналов, расширители по ИЛИ.

Т а б л и ц а П I

Параметры	Технология					
	МОП	МОП	КМОП	ТТЛ	ЭСЛ	И ² Л
Площадь, занимаемая вентиляем, мкм ²	8—12	6—8	10—30	20—60	20—50	4—6
Задержка распространения сигнала, нс	Более 100	40—100	15—50	3—10	0,5—2	Более 5
Потребляемая мощность в статическом режиме работы, мВт/вентиль	2—3	0,2—0,5	Менее 0,001	1—3	5—15	Менее 0,2
Произведение быстродействия на мощность, пДж	200	10—50	3	10	10	Менее 1
Число стадий маскирования	5	6	7	7	8—9	5—7
Число стадий диффузии	2	3	4	4	4—5	3—4
Легкость сопряжения	Трудное	Примлемое	Легкое	Легкое	Трудное	Примлемое

Т а б л и ц а П 2

Серия	Число элементов		$P_{\text{пот ср}}$ Вт	$t_{\text{зд ср}}$ нс	$K_{\text{раз}}$
	минимальное	максимальное			
K131	14	82	0,1	≥ 15	10
K155	11	2200	0,1	≥ 22	10
K134	9	380	0,01	100	—
K599	27	62	0,1	≥ 15	10
K514	124	504	0,25	—	—
K531	20	625	0,14	5,0	12
K533	32	320	0,1	10	10
K559	28	141	0,5	20	40
K589	196	1366	1,15	100	5
KP1802	—	3500	1,5	210	5
KP1804	—	4200	1,5	110	5
K706	4	44	0,04	100	10
K734	9	179	0,005	100	3

Функциональный состав серии К514: дешифраторы в семисегментные коды, дешифраторы для цифровых шкал.

Функциональный состав серии К531: элементы И—НЕ, И—ИЛИ—НЕ, исключающее ИЛИ—НЕ, *JK*-триггер, *D*-триггер, мультиплексоры, компаратор, арифметическо-логическое устройство, двунаправленный усилитель-формирователь, сдвигающие устройства.

Функциональный состав серии К533: элементы И—НЕ, И—ИЛИ—НЕ, дешифраторы, коммутаторы, счетчики, селектор-мультиплексор, *D*-триггеры, *JK*-триггеры.

Функциональный состав серии К559: магистральный передатчик, магистральный приемник, магистральный приемопередатчик.

Функциональный состав серии К589: центральный процессорный элемент, схема ускоренного переноса, многорежимный буферный регистр, блок приоритетного прерывания, шинные формирователи, многофункциональное устройство.

Функциональный состав серии КР1802: арифметическое устройство, арифметический расширитель, умножитель, схема обмена информацией, схема интерфейсная, периферийный адаптер последовательного интерфейса, программируемая логическая матрица.

Функциональный состав серии КР1804: микропроцессорная секция, схема ускоренного переноса, схема управления последовательностью микрокоманд, схема управления адресом, параллельный регистр.

Функциональный состав серии К706: элементы И—НЕ, И—ИЛИ—НЕ, расширители по ИЛИ.

Функциональный состав серии К734: элементы И—НЕ, *JK*-триггер, мажорирующий элемент, дешифратор, накопительные элементы, переключатели, коммутатор.

Список литературы

1. Наумов Ю. Е. Интегральные логические схемы. — М.: Сов. радио, 1970.
2. Валиев К. А., Кармазинский А. Н., Королев М. А. Цифровые интегральные схемы на МДП-транзисторах/Под ред. проф. К. А. Валиева. — М.: Советское радио, 1971.
3. Букреев И. Н., Мансуров Б. М., Горячев В. И. Микроэлектронные схемы цифровых устройств. — М.: Сов. радио, 1973.
4. Иванов-Есипович Н. К. Технология микросхем. — М.: Высшая школа, 1972.
5. Парфенов О. Д. Технология микросхем. — М.: Высшая школа, 1977.
6. Гребен А. Б. Проектирование аналоговых интегральных схем: Пер с англ./Под ред. Е. Х. Караерова. — М.: Энергия, 1976.
7. Агаханян Т. М., Плеханов С. П. Интегральные триггерные устройства. — М.: Машиностроение, 1978.
8. Алексенко А. Г. Основы микросхемотехники. — М.: Сов. радио, 1977.

Оглавление

Предисловие	3
Введение	4
Глава 1. Технологические процессы изготовления интегральных микросхем	11
1.1. Диффузия	11
1.2. Эпитаксиальный процесс	14
1.3. Окисление	16
1.4. Фотолитография	17
1.5. Осаждение тонких пленок	19
Глава 2. Полупроводниковые интегральные микросхемы	24
2.1. Последовательность изготовления полупроводниковой микросхемы	24
2.2. Методы изоляции элементов	29
2.3. Транзисторы	32
2.4. Диоды	39
2.5. Резисторы	44
2.6. Конденсаторы	52
2.7. Проводящие соединения и контактные площадки	56
2.8. Элементы микросхем на МДП-структурах	58
2.9. Принципы изготовления МДП ИС	64
2.10. Приборы с зарядовой связью	69
2.11. Топология полупроводниковых ИС	74
Глава 3. Гибридные интегральные микросхемы	78
3.1. Принципы изготовления	78
3.2. Подложки	82
3.3. Проводники и контактные площадки	83
3.4. Тонкопленочные резисторы	85
3.5. Тонкопленочные конденсаторы	89
3.6. Тонкопленочные RC -элементы	92
3.7. Тонкопленочные индуктивности	93
3.8. Гибридные толстопленочные микросхемы	94
3.9. Толстопленочные элементы	97
3.10. Компоненты гибридных микросхем	101
3.11. Разработка топологии гибридных микросхем	104
3.12. Совмещенные интегральные микросхемы	107
Глава 4. Сборка интегральных микросхем. Конструктивное исполнение	110
4.1. Сборка полупроводниковых микросхем	110
4.2. Сборка гибридных микросхем	116
Глава 5. Цифровые интегральные микросхемы	120
5.1. Логические элементы	120
5.2. Интегральные микросхемы с непосредственными связями	128
5.3. Диодно-транзисторные микросхемы	132
5.4. Транзисторно-транзисторные микросхемы	135
5.5. Эмиттерно-связанные микросхемы	142
5.6. Микросхемы с инжекционным питанием	145
5.7. Интегральные микросхемы на МДП-транзисторах	148
5.8. Микросхемы средней степени интеграции	154

Глава 6. Аналоговые интегральные микросхемы	168
6.1. Функциональные классы	168
6.2. Дифференциальные усилители	170
6.3. Узкополосные усилители	172
6.4. Усилители низкой частоты	174
6.5. Операционные усилители	177
Глава 7. Большие интегральные схемы	180
7.1. Понятие о больших интегральных схемах	180
7.2. Соединение элементов БИС	181
7.3. Схемотехника и технология БИС	182
7.4. Конструктивно-технологические особенности создания БИС	186
7.5. БИС — функциональные блоки	194
Глава 8. Микропроцессоры	195
8.1. Определение	195
8.2. Структура микропроцессоров	197
8.3. Технология микропроцессоров	202
8.4. Поколения микропроцессоров	203
8.5. Секционированный микропроцессорный комплект серии К589	212
Глава 9. БИС запоминающих устройств	224
9.1. Классификация и параметры ЗУ	224
9.2. Организация полупроводниковых ЗУ	228
9.3. ОЗУ с произвольной выборкой	230
9.4. ОЗУ с последовательной выборкой	244
9.5. Полупроводниковые постоянные запоминающие устройства	248
Глава 10. Функциональная микроэлектроника	252
10.1. Перспективы развития микроэлектроники	252
10.2. Функциональные приборы на четырехслойных структурах	254
10.3. Функциональные приборы, использующие эффекты накопления и задержки носителей	255
10.4. Молекулярная электроника	257
10.5. Оптоэлектроника	258
10.6. Акустоэлектроника	259
10.7. Криогенная электроника	260
10.8. Теплоэлектроника	261
Глава 11. Надежность. Испытание микросхем	261
11.1. Надежность микросхем	261
11.2. Испытания микросхем	270
Заклучение	275
Приложение	281
Список литературы	283

Овечкин Юрий Алексеевич

МИКРОЭЛЕКТРОНИКА

Редактор Е. В. Вязова

Обл. художника С. Н. Голубева

Художественный редактор Н. С. Шейн

Технический редактор К. Г. Игумнова, Л. К. Грачева

Корректор Л. С. Глаголева

ИБ № 107

Сдано в набор 19.03.82 Подписано в печать 7.06.82 Т-10069. Формат 84×108^{1/32}.
Бумага кн.-журн. Гарнитура литературная. Печать высокая. Усл. печ. л. 15,12.
Усл. кр.-отт. 15,12. Уч.-изд. л. 15,6. Тираж 50 000 экз. Изд. № 19740. Зак. № 65.
Цена 75 к.
Издательство «Радио и связь». 101000, Москва, Главпочтамт, а/я 693

Владимирская типография «Союзполиграфпрома» при Государственном
комитете СССР по делам издательств, полиграфии и книжной торговли
600000, г. Владимир, Октябрьский проспект, д. 7

В 1983 ГОДУ
В ИЗДАТЕЛЬСТВЕ «РАДИО И СВЯЗЬ»
ВЫЙДЕТ В СВЕТ

Полупроводниковые приборы и основа их проектирования: Учебник для техникумов/М. Г. Кру-
т я к о в а, В. В. Ю д и н, Н. А. Ч а р ы к о в.

ПОПРАВКА

В каталожной карточке

указана цена 75 к.
должно быть 45 к.

В выпускных данных

указаны: цена 75 к., усл. кр.-отг., 15,12
должно быть: цена 45 к., усл. кр.-отг. 15,33

